下载日志已记录，仅供内部参考

财通证券 CAITONG SECURITIES

光电共封走向量产，封装测试成为关键环节

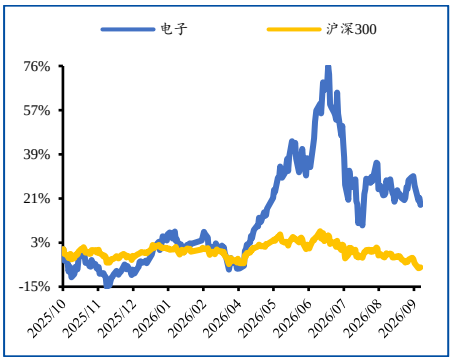
电子

证券研究报告

行业深度分析报告 / 2026.10.08

投资评级:看好（维持）

最近 12 月市场表现



分析师 唐佳
SAC 证书编号：S0160525110002
tangjia@ctsec.com

分析师 詹小瑁
SAC 证书编号：S0160525120008
zhanxm@ctsec.com

相关报告

1. 《光电芯片系列研究一（高速 PD）》2026-09-30
2. 《高热流密度时代，金刚石散热加速迈向产业化》 2026-09-29
3. 《涨价向板厂传导，看好传导带来的业绩弹性》 2026-09-29

核心观点

- **AI 集群扩张推动光互联由可插拔向 CPO 演进。**AI 训练和推理由单机向大规模分布式计算演进，持续推升网络带宽需求：Meta 训练集群规模在不到两年内由 4 千颗 GPU 扩大至 2.4 万颗，并进一步提升至 12.9 万颗。网络侧，Switch ASIC 与 SerDes 同步升级：Broadcom Tomahawk 交换容量由 TH4 的 25.6Tbps 向 51.2Tbps 及 102.4Tbps 提升，SerDes 单通道速率由 50G、100G 升级至 200G。随着速率提升，传统可插拔方案中 ASIC 至前面板的长距离电连接面临更高损耗和功耗压力，光互联因此沿可插拔、LPO/LRO、OBO、NPO 向 CPO 演进，推动光电转换位置持续向 Switch ASIC 靠近。

- **CPO 重构价值链，封装、耦合和测试成为关键增量。**CPO 将 PIC、EIC 组成的光引擎与 Switch ASIC 共同集成，传统独立光模块中的外壳、PCB、前面板高速连接器及部分 DSP 价值有所弱化或转移，而光电异构集成、FAU 高精度耦合和多阶段测试价值提升。规模量产的难点进一步转向良率和一致性控制：以 32 颗光引擎集成为例，若光引擎良率相互独立，即使单颗良率达到 99%，全部合格的理论概率也不到 73%；imec 实验显示，光纤耦合横向偏差超过 1μm 即可能造成部分光耦合器失效。同时，CPO 测试由传统模块成品测试扩展至晶圆/裸 Die KGD、光引擎及完整 CPO 系统，封装、耦合、光电测试成为 CPO 量产的重要价值增量。

- **CPO 进入量产导入期，封装测试市场空间加速打开。**当前 Switch 端 CPO 率先实现产业化突破，Broadcom TH5-Bailly 成为业内首个进入量产阶段的 CPO 方案，NVIDIA Quantum-X Photonics 已进入实际 AI 集群部署，Spectrum-X Photonics 亦于 2026 年进入生产。根据天孚通信港股招股书援引的弗若斯特沙利文数据，全球 CPO 市场规模预计由 2025 年的约 1 亿美元增长至 2030 年的 286 亿美元，CAGR 约 218.7%。Yole 预计全球光子封装市场由 2025 年的 45 亿美元增至 2031 年的 144 亿美元，其中 CPO 相关光子封装市场约 50 亿美元；Teradyne 预计 CPO 测试设备市场由 2026 年的约 1 亿美元增至 2028 年的 3~7 亿美元，长期有望超过 10 亿美元。随着头部平台进入量产，封装、自动耦合及光电测试需求有望加速兑现。

- **投资建议：**建议重点关注光引擎与光连接、先进封装、自动化耦合、光电测试等价值量提升环节。**建议关注：天孚通信、长电科技、盛合晶微、罗博特科、博众精工、联讯仪器。**

- **风险提示：**AI 算力及高速光互联需求不及预期；CPO 产业化进度不及预期；CPO 良率及可靠性不及预期；客户验证及订单转化不及预期；光互联技术路线变化；行业竞争加剧及国产替代不及预期风险。

下载日志已记录，仅供内部参考

内容目录

1 需求端：CPO 带来封装测试升级 6
1.1 AI 集群推动高速互联升级 6
1.1.1 AI 集群扩张推动高速网络需求提升 6
1.1.2 Switch ASIC 升级推动 SerDes 速率提升 8
1.1.3 可插拔架构面临损耗、功耗和密度瓶颈 9
1.2 光互联架构向封装级集成发展 10
1.2.1 光电转换位置逐步向 Switch ASIC 靠近 10
1.2.2 CPO 通过光引擎实现光电转换集成 13
1.2.3 CPO 正在改变传统光模块与半导体封装的边界 15
1.3 CPO 推动封装测试价值量提升 15
1.3.1 CPO 重构光互联的价值分配 15
1.3.2 可靠性和良率影响 CPO 方案的经济性 16
2 技术端：CPO 重构光电封装与测试体系 17
2.1 CPO 实现光电异构集成，高速互连成为挑战 18
2.1.1 PIC 与 EIC 实现高速互连 18
2.1.2 光引擎与 Switch ASIC 实现封装级互连 19
2.2 CPO 光纤耦合成为封装环节难点 21
2.2.1 两种光纤接入方式：边缘耦合与光栅耦合 21
2.2.2 两种对准方式：主动对准与被动对准 22
2.2.3 自动化光纤耦合推动 CPO 规模制造 23
2.3 CPO 高集成度带来散热与可靠性挑战 24
2.3.1 分区散热与系统级散热 24
2.3.2 温度、应力与光学耦合漂移 24
2.3.3 关键封装材料与可靠性设计 25
2.4 CPO 推动测试体系升级 25
2.4.1 封装前测试：EIC、PIC 与 KGD 26
2.4.2 光引擎测试：光电转换与耦合质量 27
2.4.3 封装后及系统测试：性能与可靠性 28
3 产业端：CPO 产业化进程与封测供应链格局 29
3.1 CPO 由验证走向量产，封测市场有望打开空间 29
3.1.1 全球 CPO 产业化头部平台先行 29

下载日志已记录，仅供内部参考

3.1.2 CPO 放量打开封装测试市场空间 30
3.2 CPO 产业链由平台牵引，封装、光学、设备厂商共同参与 31
3.2.1 CPO 产业链由平台厂商牵引 31
3.2.2 封装与光学厂商共同参与 CPO 制造 32
3.2.3 CPO 量产推动自动耦合与光电测试设备导入 33
4 投资建议 33
4.1 天孚通信 33
4.2 长电科技 35
4.3 盛合晶微 36
4.4 罗博特科 37
4.5 联讯仪器 38
4.6 博众精工 40
4.7 关注标的估值情况 41
5 风险提示 41

图表目录

图 1: AI 集群向十万卡以上扩展，网络带宽需求同步增长 6
图 2: GPU 间 All-Reduce 和 All-to-All 集合通信示意图 7
图 3: AI 集群 Scale-up 与 Scale-out 扩展示意图 7
图 4: Switch ASIC 容量、SerDes 速率与光接口速率协同演进 9
图 5: SerDes 速率提升加剧板级电互联损耗 10
图 6: 可插拔方案连接示意图 11
图 7: LRO 方案连接示意图 11
图 8: LPO 方案连接示意图 11
图 9: OBO 方案连接示意图 12
图 10: NPO 方案连接示意图 12
图 11: CPO 方案连接示意图 13
图 12: CPO 的组成示意图 13
图 13: TH5-Bailly CPO 方案 MTBF 超过 250 万小时 17
图 14: CPO 的两级封装包括光引擎封装和系统级封装 17
图 15: EIC 与 PIC 的高速互联方案包括 2D、2.5D、3D 和单片集成等 19
图 16: Quantum-X Photonics CPO 安装方案 20

下载日志已记录，仅供内部参考

图 17: Spectrum-X Ethernet Photonics CPO 安装方案 20
图 18: 先进封装中不同互连载体及集成形式 21
图 19: 边缘耦合与光栅耦合示意图 21
图 20: 边缘耦合光信号传播原理图 22
图 21: 光栅耦合光信号传播原理图 22
图 22: 光纤与 PIC 的对准主要分为主动对准和被动对准两种方式 23
图 23: PIC 与 FAU 自动化光纤耦合流程 23
图 24: CPO 分区液冷结构及冷却液流路 24
图 25: 不同光纤通道的位置偏差对应不同的 PIC 端面翘曲 25
图 26: 硅光晶圆级测试到系统级测试的集成过程 26
图 27: KGD 水平直接影响系统级封装毛利率 26
图 28: Intel Foundry 的高密度模块化测试设备 27
图 29: 基于 Cascade PA300 开发的硅光测试平台 27
图 30: 典型的使用外部激光器的光引擎测试回路 27
图 31: 通过眼图开度检验 PAM4 信号质量 28
图 32: 封装后待测试的 CPO 光模块示意图 29
图 33: 不同光互连技术路线产业化进程 29
图 34: 全球数据通信光互连市场规模及 CPO 市场预测 30
图 35: 全球光子封装市场规模及 CPO 封装增量预测 31
图 36: CPO 产业链横跨光电芯片、光源、晶圆制造、封装测试等多个环节 32
图 37: 天孚通信主要产品解决方案矩阵 34
图 38: 天孚通信 2021-2026H1 营收与归母净利润 34
图 39: 天孚通信 2021-2026H1 销售毛利率与净利率 34
图 40: 天孚通信 2026H1 收入结构 34
图 41: 长电科技封装与测试解决方案矩阵 35
图 42: 长电科技 2021-2026H1 营收与归母净利润 35
图 43: 长电科技 2021-2026H1 销售毛利率与净利率 35
图 44: 长电科技 2026H1 收入结构 35
图 45: 盛合晶微主营业务及产业链位置 36
图 46: 盛合晶微 2022-2026H1 营收与归母净利润 36
图 47: 盛合晶微 2022-2026H1 销售毛利率与净利率 37
图 48: 盛合晶微 2026H1 收入结构 37
图 49: 罗博特科主要产品与解决方案矩阵 37

下载日志已记录，仅供内部参考

图 50：罗博特科 2021-2026H1 营收与归母净利润 37
图 51：罗博特科 2021-2026H1 销售毛利率与净利率 38
图 52：罗博特科 2026H1 收入结构 38
图 53：联讯仪器产品解决方案与代表性客户 39
图 54：联讯仪器 2022-2026H1 营收与归母净利润 39
图 55：联讯仪器 2022-2026H1 销售毛利率与净利率 39
图 56：联讯仪器 2025 年收入结构 39
图 57：博众精工产品与解决方案矩阵 40
图 58：博众精工 2021-2026H1 营收与归母净利润 40
图 59：博众精工 2021-2026H1 销售毛利率与净利率 40
图 60：博众精工 2025 年收入结构 40

表 1: Switch ASIC 与 SerDes 代际持续升级 8
表 2: OIF-224G 高速电接口的不同传输距离 9
表 3: CPO 系统组成及主要功能 14
表 4: CPO 重构光模块价值分配 15
表 5：不同网络方案下 GB300 NVL72 单位机架成本对比 16
表 6: CPO 自动化耦合与光电测试设备主要厂商 33
表 7：关注标的估值情况 41

下载日志已记录，仅供内部参考

1 需求端：CPO 带来封装测试升级

1.1 AI 集群推动高速互联升级

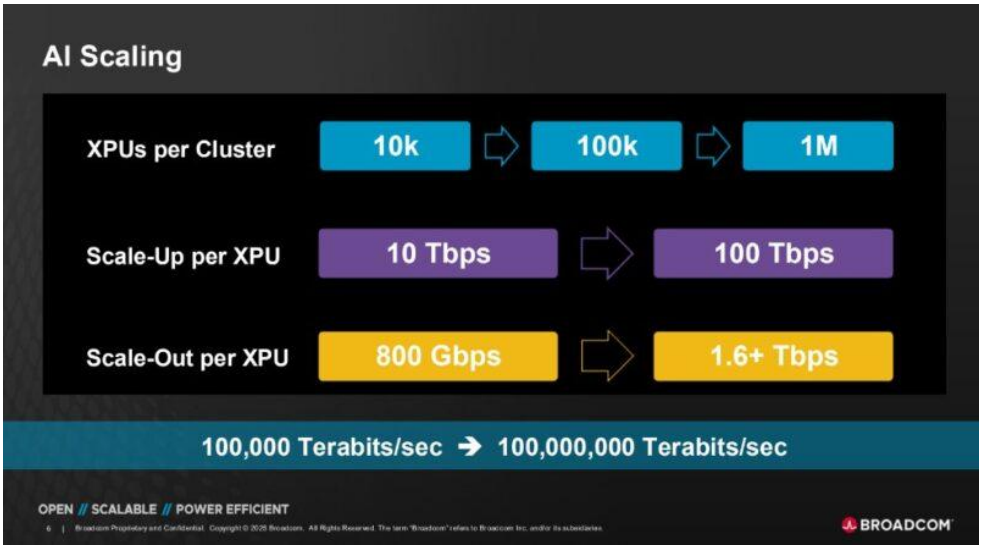
随着 AI 需求的增长和技术的升级，AI 计算集群的规模也在不断扩大，同时推动网络带宽需求、交换芯片容量和高速 SerDes 速率持续升级，而电互连逐渐成为限制网络继续扩展的重要瓶颈。

1.1.1 AI 集群扩张推动高速网络需求提升

大模型计算从单机计算逐步向大规模分布式计算演进：

- **首先，单一集群内的 GPU 数量持续增长。**Meta 披露，其基于 Ethernet/RoCE 构建的训练集群在不到两年内先后由 4 千颗 GPU 扩大至 2.4 万颗 GPU，并进一步扩大至 12.9 万颗 GPU；根据 NVIDIA（英伟达），xAI 于 2024 年建设的 Colossus 将单集群规模提升至 10 万颗 Hopper GPU，并计划进一步将规模扩大一倍，总共达到 20 万颗 Hopper GPU 的处理能力。
- **其次，AI 集群的物理范围也开始突破单一数据中心。**Meta 在 2026 年披露，其 Prometheus 1GW 级 AI 集群横跨多个传统数据中心建筑，需要利用后端聚合网络（BAG）将不同数据中心内的 GPU 资源连接起来。随着 AI 集群向十万卡、甚至百万卡演进，需要高速网络将越来越多的 GPU 连接成一个协同工作的计算系统。

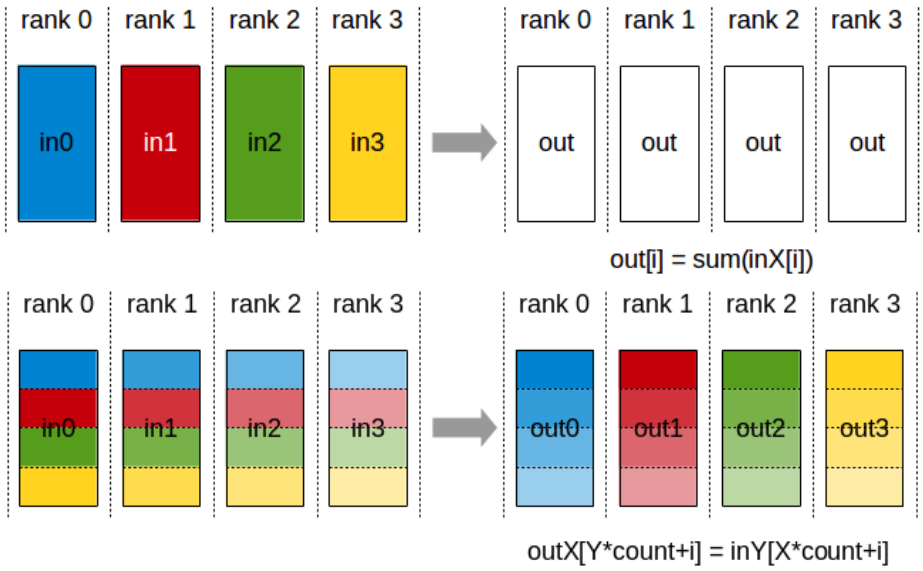
图1: AI 集群向十万卡以上扩展，网络带宽需求同步增长



数据来源：Broadcom，财通证券研究所；注：XPU 泛指 GPU、TPU 及定制 AI 加速器，百万颗 XPU 代表网络架构目标支持规模

分布式计算需要 GPU 在训练和推理过程中持续进行大规模数据交换。数据并行需要不同 GPU 在完成局部计算后同步梯度，模型并行需要位于不同 GPU 上的模型分片交换中间结果，MoE 等架构还会产生不同专家之间的 All-to-All 通信，因此计算与通信贯穿整个模型运行过程。根据 NVIDIA，其集合通信库向 GPU 间通信提供 All-Reduce、All-Gather、Reduce-Scatter 和 All-to-All 等集合通信原语；其中，All-Reduce 需要将所有参与 GPU 的数据完成归约后将结果同步至各 GPU，而 All-to-All 则要求各计算节点分别与其他节点进行数据交换。GPU 规模越大、模型并行方式越复杂，需要跨 GPU 传输的数据量和通信频率也越高。

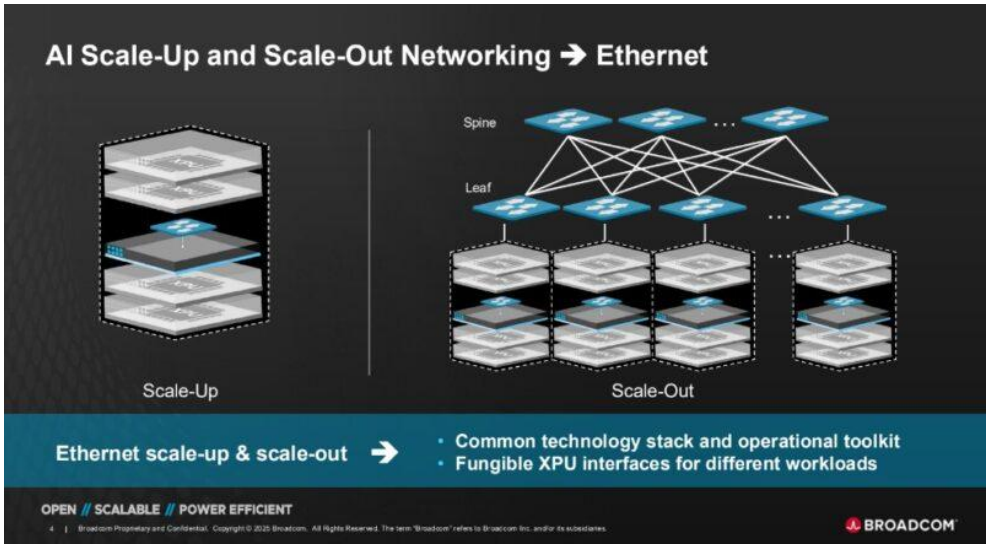
图2: GPU 间 All-Reduce 和 All-to-All 集合通信示意图



数据来源：NVIDIA，财通证券研究所

AI 集群扩展包含 Scale-up 与 Scale-out 两个方向。Scale-up 需要在相对紧密的计算域内连接大量 XPU，以尽可能少的网络 Hop 完成高速、低时延通信；Scale-out 则需要进一步将大量 Scale-up 计算域连接起来，使整个训练任务能够扩展到数万乃至十万颗以上加速器。Broadcom（博通）披露，其 Tomahawk 6 交换芯片在 Scale-up 场景下单颗交换芯片可以连接 512 颗 XPU，实现 Single-hop All-to-All 互联；在 Scale-out 场景下，则可以利用两级交换网络连接 12.8 万颗 XPU。同时，Broadcom 也指出，Scale-out 网络减少交换层级可以降低数据需要经过的网络 Hop 数，从而降低延迟，同时减少光连接数量，并简化负载均衡和拥塞控制。因此，AI 网络升级不仅要求单条链路更快，也要求交换芯片能够连接更多节点，通过更扁平的网络拓扑降低大规模集群的通信开销。

图3: AI 集群 Scale-up 与 Scale-out 扩展示意图



数据来源：Broadcom，财通证券研究所

网络性能直接影响 GPU 利用率和 AI 集群的有效算力。一方面，分布式计算具有明显的同步特征，单个 GPU 完成本地计算后往往需要等待其他 GPU 的数据交换

下载日志已记录，仅供内部参考

完成才能进入下一阶段；另一方面，集群规模扩大后，大量并发数据流还会增加网络拥塞和负载不均衡的概率，因此除了高带宽之外，还需要高网络利用率和稳定的拥塞控制。根据 Meta 对 H100 集群的实测，小规模集群的 All-Gather 通信带宽利用率可以自然达到 90%以上，但未经优化的大规模集群仅为 10%-90%，在进行软件和网络优化之后，大集群通信利用率重新提升至 90%以上。根据 NVIDIA，其 Spectrum-X 以太网在超过 10 万颗 GPU 的实际部署环境中能够实现最高约 95%的网络效率。因此，随着 AI 集群向十万卡甚至百万卡扩张，网络正在由 GPU 之外的配套设施转变为影响整个 AI 集群有效算力的重要基础设施。

1.1.2 Switch ASIC 升级推动 SerDes 速率提升

AI 网络流量增长推动 Switch ASIC 交换容量持续提升。Switch ASIC 主要负责交换机内部的数据接收、转发和输出，当服务器端口由 400G 升级至 800G 和 1.6T 后，如果希望维持相近的端口数量，单颗 Switch ASIC 所需承担的总交换容量也必须同步提升。根据 Broadcom 的产品路线，其 Tomahawk 4 产品于 2019 年实现 25.6Tbps 交换容量，可支持 64×400GbE；Tomahawk 5 于 2022 年进一步达到 51.2Tbps 并支持 64×800GbE；Tomahawk 6 于 2025 年再次翻倍至 102.4Tbps。NVIDIA Spectrum 系列交换芯片交换容量同样不断升级：Spectrum-3 到 Spectrum-6 交换容量从 12.8Tbps 提升至 102.4Tbps。

表1: Switch ASIC 与 SerDes 代际持续升级

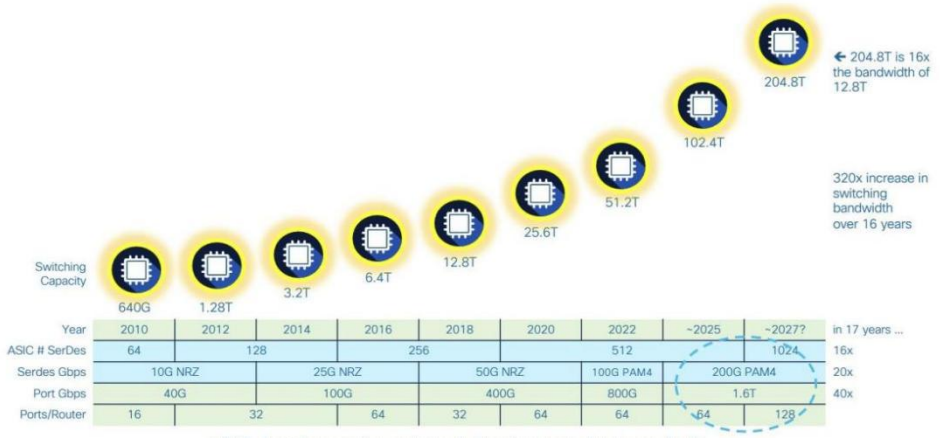
Switch ASIC	发布时间	交换容量	典型端口能力	SerDes 代际
Broadcom Tomahawk 4	2019	25.6T	64×400G / 256×100G	50G PAM4
NVIDIA Spectrum-3	2020	12.8T	32×400G / 64×200G / 128×100G	50G PAM4
Broadcom Tomahawk 5	2022	51.2T	64×800G / 128×400G / 256×200G	100G PAM4
NVIDIA Spectrum-4	2022	51.2T	64×800G / 128×400G	100G PAM4
Broadcom Tomahawk 6	2025	102.4T	64×1.6T / 128×800G / 256×400G / 512×200G	200G PAM4
NVIDIA Spectrum-6	2026	102.4T	128×800G	200G PAM4

数据来源：Broadcom，NVIDIA，财通证券研究所

Switch ASIC 带宽升级依赖 SerDes 单通道速率同步提高。SerDes 的全称是 Serializer / Deserializer，即串行器/解串器，通常位于 Switch ASIC 芯片的 I/O 边缘，主要作用是把 Switch ASIC 芯片内部大量并行数据转换成高速串行数据发送出去，接收端再把高速串行数据还原成并行数据。因此一颗 Switch ASIC 的总带宽可以简单理解为“SerDes 通道数量×单通道有效速率”。Broadcom 披露，Tomahawk 5 芯片配置了 512 路 100G SerDes，而 Tomahawk 6 进一步采用 200G SerDes，在相近 I/O 规模下实现总交换容量再次翻倍。从行业接口标准看，OIF 目前正在推进 CEI-224G 系列接口，并已经进一步启动 CEI-448G 项目，说明高速电 I/O 仍在继续向更高单通道速率演进。

下载日志已记录，仅供内部参考

图4: Switch ASIC 容量、SerDes 速率与光接口速率协同演进



数据来源：Cisco，NANOG 92，财通证券研究所

SerDes 速率越高，高速电信号在 PCB 和封装中的传输难度越大。在更高速率下，PCB 介质损耗、导体损耗、连接器反射和串扰更加突出，较长链路需要依赖更加复杂的均衡和信号恢复才能够保持足够的信号完整性。根据 OIF 当前 CEI-224G 项目定义，面向 Die-to-Die 和 Die-to-Optical-Engine 的 XSR 接口目标距离仅约 50mm，而面向可插拔光模块的 VSR 需要支持约 200mm Host PCB、约 20mm 模块内部链路和一个连接器；MR 与 LR 则进一步延伸至约 500mm 和 1000mm。OIF 在 2026 年进一步推进 448G 接口时，仍将调制、信噪比、FEC、通道损耗、可连接性等列为下一代高速电接口需要解决的关键问题。

表2: OIF-224G 高速电接口的不同传输距离

接口类型	典型场景	目标传输距离	典型结构
CEI-224G-XSR	Die-to-Die / Die-to-OE	50mm	封装内/封装基板
CEI-224G-VSR	Chip-to-Pluggable Module	主机约 200mm，模块约 20mm	PCB + 最多 1 个连接器
CEI-224G-MR	Chip-to-Chip	500mm	PCB + 最多 1 个连接器
CEI-224G-LR	Backplane / Copper Cable	1000mm	PCB/背板 + 最多 2 个连接器

数据来源：OIF，财通证券研究所

1.1.3 可插拔架构面临损耗、功耗和密度瓶颈

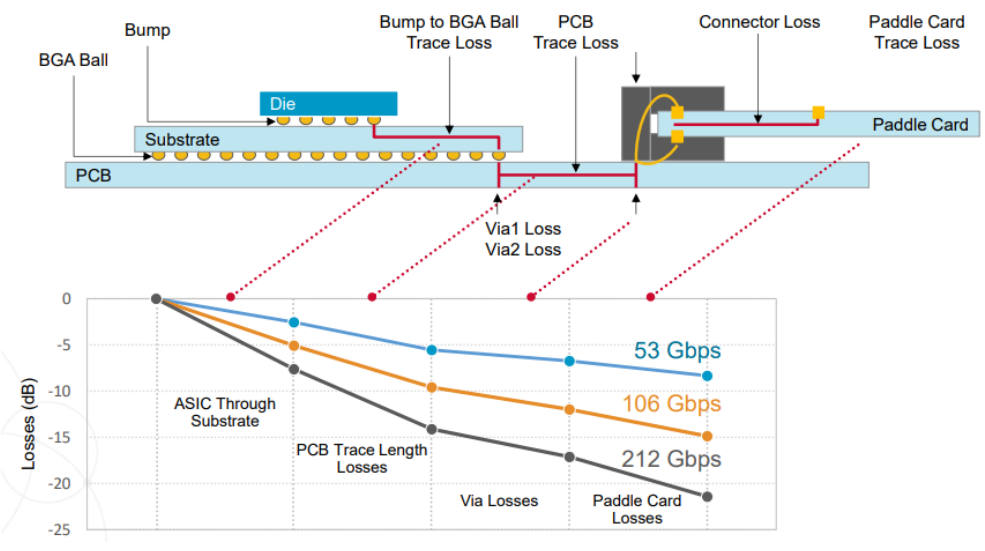
Switch ASIC 到光模块之间有较长电连接，SerDes 持续提速面临信号损耗瓶颈。

- **一方面，信号频率越高，集肤效应越明显，铜走线的导体损耗随之增加。**随着 SerDes 速率提高，电信号中的高频分量增加，电流会更多集中在铜走线表面，实际参与导电的截面积减小、交流电阻上升。根据 Analog Devices，导体的集肤深度随频率平方根下降，单位长度交流电阻则大致随频率平方根上升，因此高速信号通过相同长度的铜走线时集肤效应越明显，信号衰减也更明显。

- **另一方面，ASIC 封装、PCB 走线、过孔和连接器等多段损耗沿链路累积，进一步推高通道插入损耗。**在传统可插拔架构中，数据从 Switch ASIC 输出后，需要依次经过 ASIC 封装、主板 PCB、过孔和前面板连接器，再进入光模块完成电光转换。NVIDIA 指出，这段高速电连接通常长约 14-16 英寸，更长的电连接会增加信号失真的风险。根据 Broadcom，随着 SerDes 速率由 53Gbps 提升至 106Gbps 和 212Gbps，上述各环节产生的累计通道损耗明显增大，进一步压缩高速电信号的有效传输距离。因此，随着 SerDes 进一步提速，系统需要尽可能缩短 Switch ASIC 与光电转换位置之间的电连接。

下载日志已记录，仅供内部参考

图5: SerDes 速率提升加剧板级电互联损耗



数据来源：Broadcom，财通证券研究所

较长电连接不仅直接增加电路动态功耗，还会通过提高补偿电路复杂度进一步提升系统功耗：

- **一方面，较长 PCB 走线会增加电互连的等效电容和负载，从而提高动态功耗。**根据 MIT 数字集成电路分析与设计，数字电路动态功耗可以简化为：$P=\alpha CV^2f$，其中 α 是开关活动因子、C 为等效负载电容、V 为电压、f 为开关频率；随着 SerDes 工作频率提高、传输距离延长带来的等效负载电容增加，电路驱动功耗相应上升。

- **另一方面，高速信号通过较长电路传输后会产生衰减和失真，需要在发送端和接收端进行补偿和恢复。**发送端和接收端需要利用均衡、时钟恢复及 DSP 等方式重新恢复信号。NVIDIA 披露，一颗 1.6Tbps 传统可插拔光模块功耗约为 30W，其中 DSP 功耗占比超过一半。因此，电通道越长、速率越高，相应的信号调理复杂度和功耗压力也越大。

Switch ASIC 总带宽持续翻倍，前面板光模块端口密度和散热空间成为物理瓶颈。在可插拔架构下，光模块需要封装在金属壳体内，通过高速电连接器插入交换机前面板的插槽，并配置相应的散热结构，因此前面板能够容纳的端口数量有明确的物理上限。根据 OSFP MSA，标准 OSFP 采用 8 条高速电通道，可以支持最高 1.6T 传输速率，1U 面板最多支持约 36 个 OSFP 端口；OSFP MSA 随后推出 16 通道的 OSFP-XD，将面板带宽密度相对传统 OSFP 提高一倍。可插拔形态本身仍在不断通过提高单模块速率和增加通道数来延长生命周期，但当 Switch ASIC 总 I/O 能力继续翻倍时，模块体积、连接器和散热所占空间仍将成为系统设计需要长期面对的约束。

1.2 光互联架构向封装级集成发展

1.2.1 光电转换位置逐步向 Switch ASIC 靠近

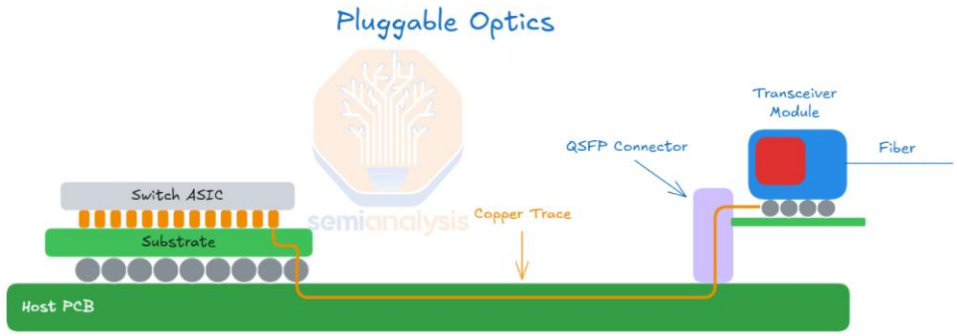
可插拔架构在高速率下面临损耗、功耗和密度瓶颈，光互联技术逐步减少信号调理环节、缩短高速电连接，以推动光电转换位置由前面板向 Switch ASIC 靠近：

- **传统可插拔方案（Retimed Pluggable）：**可插拔架构下，光模块采用标准化接口安装在交换机前面板，单个模块发生故障后可以独立拔插和更换，因此

下载日志已记录，仅供内部参考

维护起来较为便利。但与此同时，Switch ASIC 与光模块相互独立，高速电信号需要先从 ASIC 经过主板 PCB 等电连接传输至前面板，再由光模块完成电光转换；根据 SemiAnalysis，传统可插拔方案中 ASIC 至前面板光模块之间的电连接距离通常约为 15-30cm，需要依靠支持较长距离传输的 SerDes 完成高速信号传输。随着 SerDes 速率提高，较长电通道带来的信号衰减和失真进一步增加，因此还需要更强的信号恢复能力。根据 Ethernet Alliance，传统可插拔方案在发送和接收方向均配置 DSP 进行重定时，能够提高主机侧和通道侧对信号损伤的容忍度，但代价是增加模块功耗和时延。

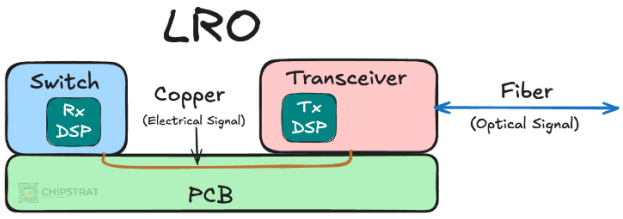
图6: 可插拔方案连接示意图



数据来源：SemiAnalysis，财通证券研究所

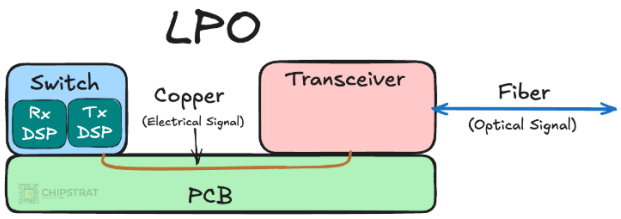
- **线性接收光学（LRO）和线性可插拔光学方案（LPO）：**根据 Chipstrat，LRO（Linear Receive Optics）在光模块的发送端保留了重定时 DSP，接收端则完全采用模拟方式工作，接收信号的均衡和信号恢复能力交由 Switch ASIC 承担；LPO（Linear Pluggable Optics）更彻底地取消了光模块内部的 DSP，进一步降低了整个收发系统的功耗和延迟，但与此同时系统的容错能力也会下降。根据 Ethernet Alliance，LRO 与 LPO 仍采用 QSFP、QSFP-DD、OSFP 等传统可插拔封装，其中 LPO 方案的光模块功耗可以达到同类可插拔方案的一半左右，而 LRO 方案则在降低一定功耗的同时保留一定的信号处理能力。但是，LRO/LPO 方案并没有缩短 Switch ASIC 和前面板之间的高速电连接，本质是优化可插拔方案中的信号处理方式。

图7: LRO 方案连接示意图



数据来源：Chipstrat，财通证券研究所

图8: LPO 方案连接示意图



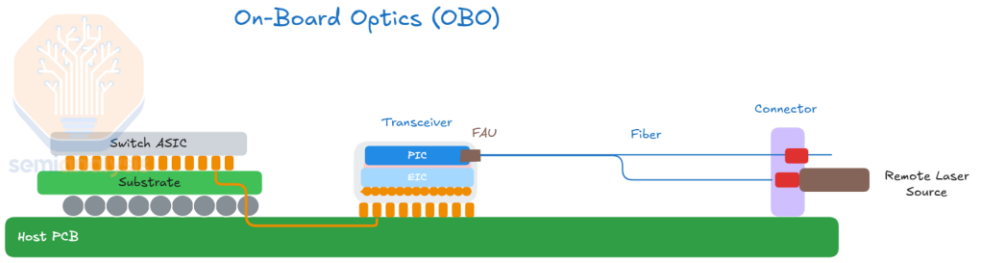
数据来源：Chipstrat，财通证券研究所

- **板载光学方案（OBO）：**根据 SemiAnalysis，OBO（On-Board Optics）将光模块从前面板移动到设备内部的 PCB 上，光纤从板上的光模块引出到前面板，因此前面板不再需要放置完整的可插拔收发器。相较前面板可插拔方案，OBO 方案能够更加灵活地选择光模块在 PCB 上的位置，在一定程度上缩短 Switch ASIC 至光模块的电连接，并将光纤连接器和光模块的物理位置分离。然而 Rockley Photonics 研究团队披露，OBO 方案虽然缩短了 Switch ASIC 至光模块的电连接，但电通道性能未得到足够的改善。根据 ASE（日月光）2026

下载日志已记录，仅供内部参考

年的技术分析，传统可插拔方案的光互联能效约为 20~30pJ/bit，OBO 约为 20pJ/bit，不足以带来显著的功耗下降。因此，随着 SerDes 继续提速，光引擎还需要进一步向 Switch ASIC 靠近。

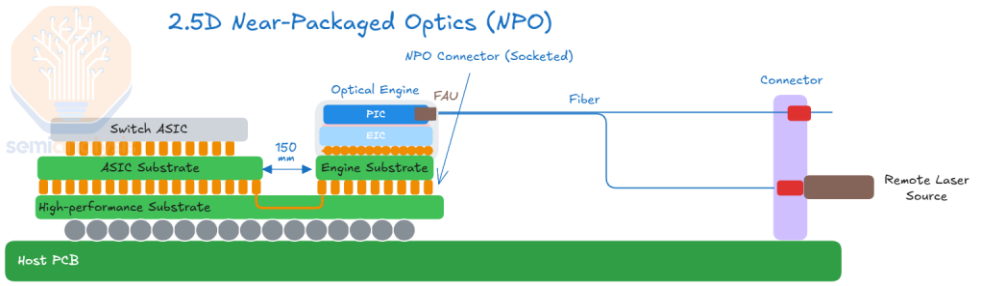
图9: OBO 方案连接示意图



数据来源：SemiAnalysis，财通证券研究所

- **近封装光学方案（NPO）：**NPO（Near-Package Optics）通过封装基板或极短 PCB 通道实现 Switch ASIC 与光引擎之间的高速电连接。根据 OIF，一种典型的 NPO 架构是将已经完成封装的 ASIC 和光引擎安装在共同的高性能基板上，并通过 Socket 连接，使光引擎在组装和返修过程中仍能够拆卸。同时，OIF 还专门推出了 CEI-112G-XSR+接口以支持 NPO 架构，通过在传统 XSR 基础上适当增加电接口传输距离，使不同厂商的 ASIC 与光引擎能够在不显著增加功耗的情况下实现开放互联。因此，NPO 可以理解为在电互连性能和模块可维护性之间的折中方案，但光引擎还未与 Switch ASIC 共同封装。

图10: NPO 方案连接示意图

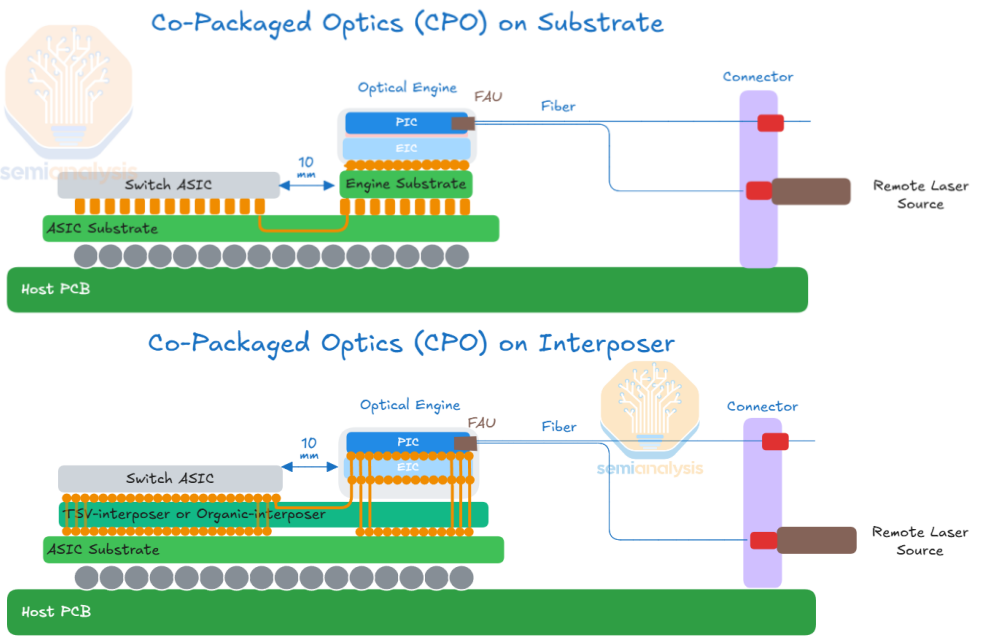


数据来源：SemiAnalysis，财通证券研究所

- **共封装光学方案（CPO）：**根据 OIF 定义，CPO（Co-Packaged Optics）将主动光学组件安装到与 ASIC 共同的封装基板上，通过光引擎与主机 ASIC 的封装级连接，可以降低高速电通道损耗和阻抗不连续，从而可以使用更高速度、更低功耗的片上 I/O 接口。Broadcom 同样将 CPO 定义为在单一封装基板上实现光学元件与硅芯片的异构集成，其核心目的就是解决下一代系统的带宽和功耗问题。SemiAnalysis 披露，未来光引擎还会与 ASIC 安装到同一中介层上，有望进一步缩短电连接距离。因此，CPO 实现了光互联架构的重要变化，成为了 Switch ASIC 封装体系的一部分。

下载日志已记录，仅供内部参考

图11: CPO 方案连接示意图

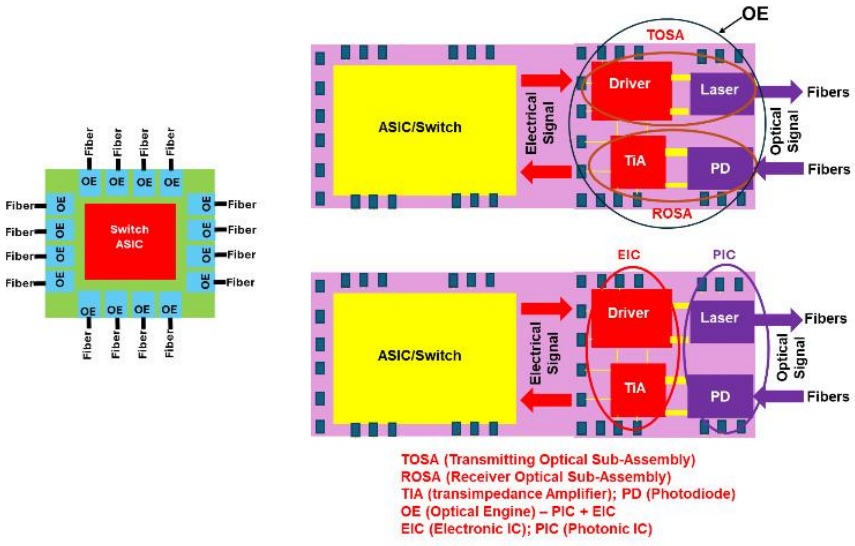


数据来源：SemiAnalysis，财通证券研究所

1.2.2 CPO 通过光引擎实现光电转换集成

CPO 将传统可插拔光模块中的光电转换功能转移至 Switch ASIC 附近，并将相关功能重新划分为光引擎、激光器和光纤互联等单元，共同构成新的光电系统。根据 Teradyne，典型 CPO 将 ASIC 与多颗光引擎共同封装在同一个封装基板上，其中光引擎主要包括 EIC 电子集成电路和 PIC 光子集成电路。激光器可以集成在光引擎内，也可以作为外置激光源通过光纤向光引擎供光。PIC 通过 FAU 光纤阵列单元与内部光纤精密耦合，内部光纤再经前面板光连接器与外部光缆相连。从功能上看，一个完整的 CPO 系统主要由 Switch ASIC、EIC、PIC、FAU、激光器、封装基板、散热结构等部件组成：

图12: CPO 的组成示意图



数据来源：John H. Lau，《Co-Packaged Optics - Heterogeneous Integration of Chiplets (Switch, Photonic IC, and Electronic IC)》，Journal of Microelectronics and Electronic Packaging，财通证券研究所

下载日志已记录，仅供内部参考

- **Switch ASIC 是 CPO 系统的数据交换核心。**CPO 没有改变 Switch ASIC 的基本功能，ASIC 内部仍由 SerDes 完成高速数据输入输出；区别在于 SerDes 输出之后不再经过较长 PCB 连接至前面板，而是在 ASIC 周围直接连接多颗光引擎。以 Broadcom Bailly 为例，一颗 51.2T Switch ASIC 周围配置 8 颗 6.4T 光引擎，从而将 ASIC 巨大的总 I/O 带宽拆分到多颗并行工作的光引擎中。

- **光引擎内部以 PIC 和 EIC 为核心。**PIC（Photonic Integrated Circuit）主要负责光学处理，常集成调制器 Modulator、光探测器 PD、光波导 Waveguide 等光学器件，在发送端利用调制器将电数据加载到光载波上，接收端则利用光探测器把光信号转成电信号。EIC（Electronic Integrated Circuit）主要承担高速电子驱动和接收功能，通常包括驱动 Driver、跨阻放大器 TIA 及相关电子控制电路。根据 OIF，EIC 中的驱动常用于驱动激光器以及调制器，TIA 主要将光探测产生的微弱电流信号转换成可用电压信号。

- **激光器负责向 PIC 提供光源，按集成位置主要分为内置激光器和外置激光器。**内置激光器集成在光引擎内部或与 PIC 共同封装，光源至调制器的传输路径较短，能够减少光纤连接环节和耦合损耗，但是激光器需要与高功耗 Switch ASIC 共享封装附近的热环境，发生故障后也较难单独更换。外置激光源（ELS）则将激光器部署在 Switch 封装之外，通过光纤向 PIC 输入连续光，再由片上调制器将数据信号加载到光载波上；这种方案改善了激光器的工作温度和可维护性，但会增加光纤连接、耦合损耗及光路管理复杂度。NVIDIA 披露，其 CPO 交换机将故障风险相对较高的激光器布置在前面板可插拔 OSFP ELS 模块中，使激光器能够快速诊断和独立更换。

- **FAU 与光纤连接器共同构成 PIC 至机外光缆的光纤连接通道。**其中 FAU 负责芯片端的精密耦合，光纤连接器负责不同光纤段之间的可插拔连接。根据 AGC，CPO 中的光学耦合发生在 PIC 与 FAU 之间，主要采用边缘耦合和光栅耦合两种方式：边缘耦合从 PIC 侧面传输光信号，光栅耦合则从 PIC 表面垂直导入或导出光信号；FAU 通过高精度排列和固定多根光纤，实现多个光通道与 PIC 的集中耦合。因此 CPO 不仅需要完成芯片间电互连，还需要在封装边缘完成高精度光纤耦合。根据 ASE，CPO 的组装过程涉及多种组件，包括激光器、光学元件、光纤阵列单元等，而可拆卸 FAU 在实现量产时仍需要解决亚微米级对准精度和重复连接一致性问题，这也使光纤耦合成为 CPO 区别于传统纯电先进封装的重要工艺。

表3: CPO 系统组成及主要功能

部件	主要功能
Switch ASIC	完成数据交换，并通过高速 SerDes 接口与光引擎进行电信号收发
EIC	集成驱动电路、跨阻放大器及相关控制电路，负责 Switch ASIC 与 PIC 之间的高速电信号处理
PIC	集成调制器、光波导、光探测器及光纤耦合器等光子器件
光引擎	集成 EIC 与 PIC，完成发送端电光转换和接收端光电转换
激光器	为 PIC 提供连续光载波，可集成在光引擎内部，也可作为外置激光源供光
FAU/光纤连接器	FAU 负责 PIC 与内部光纤的精密耦合，光纤连接器负责内部光纤与外部光缆的连接
封装基板/中介层	承载 Switch ASIC 与光引擎，并实现芯片间高速电互连、供电及机械支撑
散热结构	实现 Switch ASIC 与光引擎的热管理

数据来源：Nature Reviews Electrical Engineering，ASE，NVIDIA，财通证券研究所

下载日志已记录，仅供内部参考

1.2.3 CPO 正在改变传统光模块与半导体封装的边界

CPO 推动半导体封装边界进一步向光学延伸。台积电披露，其规划 2025 年先将 COUPE 用于小型可插拔方案，再进一步与先进封装结合实现 CPO；到 2026 年，台积电进一步推进 COUPE-on-Substrate CPO 方案。相比独立光模块，光引擎进入 ASIC 共封装后，PIC、EIC 以及光学接口开始与先进封装技术深度结合，光互联开始向封装内部的光电异构集成演进。

CPO 也打破了传统半导体与光模块相对独立的制造分工。以 NVIDIA 公开的 CPO 制造体系为例，台积电负责 EIC 与 PIC 集成，SPIL 承担晶圆凸点处理、晶圆测试、组装和测试；Lumentum、Coherent 和住友等参与 ELS 装配、光学对准和测试；富士康与 Fabrinet 则进一步负责系统级 CPO 组装和测试。因此，CPO 正在推动晶圆制造、先进封装、光学装配和系统测试等环节逐步形成一条新的产业链。

1.3 CPO 推动封装测试价值量提升

1.3.1 CPO 重构光互联的价值分配

独立光模块中的部分价值被相应削弱或转移。当传统可插拔光模块向 CPO 方案演进，独立模块外壳、模块 PCB 以及前面板插槽和高速连接器的需求将相应减少；同时，随着 ASIC 与光引擎之间的高速电连接距离缩短，原本用于补偿较长电通道损耗的 DSP 功能也会部分削弱或重新整合至 ASIC/EIC 侧。与此同时，PIC、EIC、激光器等核心光电功能仍然存在，光模块功能由独立产品形态拆解为多个封装级和系统级功能模块。

先进封装、光纤耦合和测试成为主要的价值承接环节。光引擎进入 Switch ASIC 封装后，PIC/EIC 需要完成更高密度的异质集成，PIC 还需要直接建立与光纤的低损耗光学连接。ASE 披露，其面向硅光的 FOPoP 先进封装方案通过 3D 集成缩短 PIC 与控制芯片之间的电连接，电连接长度可缩短至原来的 1/3、带宽密度最高提升约 8 倍，并支持将激光器、光学器件及 FAU 的预对准结构纳入封装平台。**与此同时，测试也从传统光模块成品测试扩展至晶圆、光引擎和最终 CPO 产品多个阶段。**Teradyne 披露，其 2026 年推出的 Photon 100 测试平台即同时面向晶圆、光引擎和 CPO 成品测试，并将光学、电学仪器及自动化能力集成至统一量产平台。

表4: CPO 重构光模块价值分配

部件或环节	传统可插拔方案	CPO 方案	价值变化趋势
光模块外壳/PCB	每个光模块独立配置	独立模块需求减少	下降
前面板插槽/电连接器	承担模块插拔和高速电连接	光引擎进入 ASIC 封装内互连	下降
DSP	负责均衡、重定时和信号恢复	功能简化或并入 ASIC/EIC	弱化/转移
PIC/EIC	集成在独立光模块中	高密度集成为光引擎	重构
光引擎	光电功能集成于光模块内	成为封装级功能单元并靠近 ASIC	重构
激光器	分散配置于光模块中	光引擎内置或外置集中供光	重构
FAU/光纤连接器	承担模块级光纤连接	承担封装级高密度光互联	提升
先进封装	ASIC 与光模块分立封装	ASIC、EIC、PIC 异质集成	提升
光纤对准与连接	模块内部组装工序	PIC 与 FAU 直接精密耦合	提升
测试	以器件和模块成品测试为主	覆盖晶圆、光引擎及系统多个阶段	提升

数据来源：NVIDIA，ASE，Teradyne，财通证券研究所；注：价值量变化趋势为基于 CPO 架构变化、器件形态及制造工序变化的综合判断

下载日志已记录，仅供内部参考

1.3.2 可靠性和良率影响 CPO 方案的经济性

系统级 TCO 决定 CPO 方案的经济性。CPO 取消独立光模块后，可以减少模块 DSP、部分机械结构和分散式光源等 BOM，但与此同时，光引擎、外置光源以及更复杂的 Switch ASIC 封装成本也进入到了系统 TCO（总拥有成本）当中。根据 SemiAnalysis 测算，在 GB300 NVL72 三层网络中，采用 CPO 后光模块成本由约 50 万美元下降至约 7.2 万美元，对应下降 86%；但是交换机成本由 31.3 万美元提升到 56.5 万美元，对应增加 81%；最终总网络成本下降 21%至 66.1 万美元，总集群成本下降约 3%。如果利用 CPO 的高 Radix 进一步将网络从三层压缩至两层，网络成本可进一步下降约 46%，总集群成本降幅扩大至约 7%。可见，CPO 的经济价值一方面来自对传统可插拔光模块的替代，另一方面通过高端口密度和网络扁平化带来系统层面的成本优势。

表5: 不同网络方案下 GB300 NVL72 单位机架成本对比

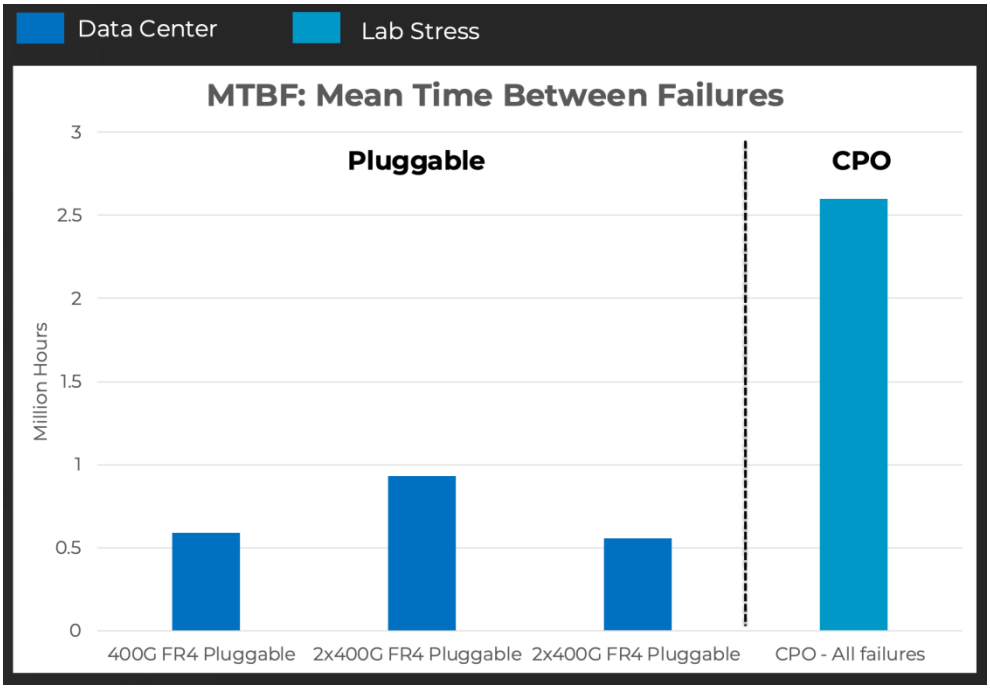
项目	含 DSP 光模块（三层网络）		LPO 光模块（三层网络）		CPO（三层网络）		CPO（两层网络）	
	成本（美元）	成本变化	成本（美元）	成本变化	成本（美元）	成本变化	成本（美元）	成本变化
服务器成本	4,357,943	0%	4,357,943	0%	4,357,943	0%	4,357,943	0%
光模块	499,925	0%	434,146	-13%	71,525	-86%	71,525	-86%
交换机	312,681	0%	312,681	0%	564,821	81%	359,965	15%
光纤、线缆、软件及其他	24,338	0%	24,338	0%	24,338	0%	17,723	-27%
总网络成本	**836,944**	**0%**	**771,164**	**-8%**	**660,684**	**-21%**	**449,213**	**-46%**
其他成本	269,152	0%	269,152	0%	269,152	0%	269,152	0%
总成本	**5,464,039**	**0%**	**5,398,259**	**-1%**	**5,287,779**	**-3%**	**5,076,308**	**-7%**

数据来源：SemiAnalysis，财通证券研究所；注：测算对象为采用 NVIDIA X800-Q3400 后端交换机和 LinkX 光模块的超大规模云服务商 InfiniBand 集群，其中交换机配置 144 个 800G 端口；CPO 仅应用于后端网络；成本折算至每套机架级 72 GPU 服务器

可靠性和可维护性影响 TCO 优势的兑现。CPO 把多个光引擎和高价值的 Switch ASIC 共同封装在一起，单个器件失效可能会同时影响其他端口，且现场更换难度高于传统可插拔光模块，因此如果可靠性不足会通过备件、维修和系统停机等方式影响 TCO 的兑现。根据 Broadcom 在 ECOC 2025 披露的数据，其 CPO 平台 TH5-Bailly 累计完成了 12.89 万小时的高温工作寿命测试，折算约 850 万个 800G 等效设备小时，并且平均故障间隔（MTBF）超过了 250 万小时，优于传统可插拔光模块。在光连接可靠性方面，Broadcom 披露其光纤连接器已经通过 85℃/85%RH 环境下 1000 小时湿热测试，以及-40℃至 85℃环境下 500 次温度循环，并完成机械冲击、振动和粉尘等可靠性验证。不过，SemiAnalysis 提到，用于大规模集群扩展的 CPO 尚未广泛部署，需要通过更大规模、长期的实际运行进一步验证其可靠性和可维护性。

下载日志已记录，仅供内部参考

图13: TH5-Bailly CPO 方案 MTBF 超过 250 万小时



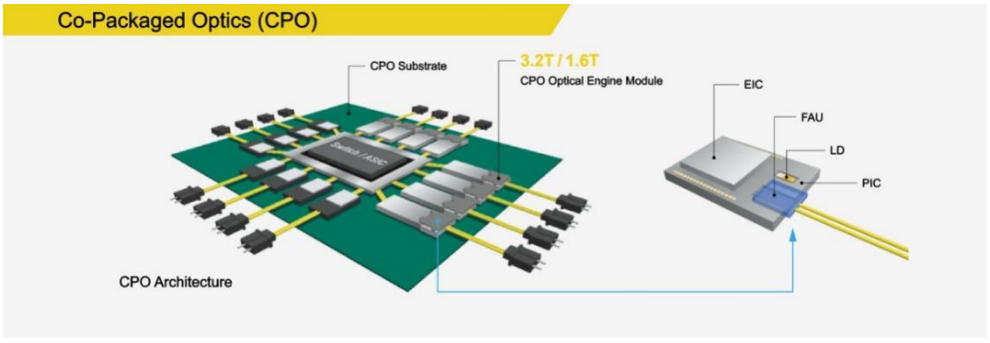
数据来源：Broadcom，财通证券研究所

良率是 CPO 量产的重要影响因素。CPO 需要将多颗光引擎与高价值交换芯片集成，整体良率取决于各器件和各道工序的累积结果：以 32 颗光引擎集成为例，即使单颗良率达到 99%，全部合格的理论概率也不到 73%，且尚未考虑光纤耦合和封装损耗。imec 在晶圆级集成试验中观察到，光纤耦合横向对准偏差超过 1 微米就可能造成部分光耦合器失效。根据 Teradyne，光引擎需要在集成之前完成良品筛选，避免不良器件继续进入更昂贵的共封装环节；NVIDIA 也采用封装前筛选光引擎、组装末端自动接入光纤的方式，确保只有合格的光引擎进入最后封装。因此，前置测试、提高光耦合对准精度和自动化组装，是控制良率的主要手段。

2 技术端：CPO 重构光电封装与测试体系

CPO 封装可以分为光引擎封装和系统级共封装两个层级。首先将 PIC 与 EIC 封装为光引擎，再将多颗光引擎与 Switch ASIC 进行系统级共封装。随着光电器件由独立模块进入共同封装，**高速电互连、光纤耦合、热管理以及多阶段测试**成为影响 CPO 性能和量产良率的核心技术。

图14: CPO 的两级封装包括光引擎封装和系统级封装



数据来源：GMT Global，财通证券研究所

下载日志已记录，仅供内部参考

2.1 CPO 实现光电异构集成，高速互连成为挑战

2.1.1 PIC 与 EIC 实现高速互连

PIC 与 EIC 互连方案演进的核心是缩短电连接距离。PIC 与 EIC 通常采用不同材料和制造工艺，拆分为独立芯片有利于分别选择最合适的制程并提高良率，但同时引入额外的高速电接口。根据 2026 年 Nature Electronics 综述，当前 PIC 与 EIC 共封装主要包括 2D、2.5D、3D 以及单片集成等方案，核心是不断缩短 PIC 和 EIC 之间的物理距离，降低寄生电容、电感和接口损耗，从而提升带宽密度和能效；但不同方案在技术成熟度、制造可行性、热管理、能效、可实现的带宽和成本上存在明显差异：

- **2D 是最早期的平面连接方案。**2D 方案将 EIC 和 PIC 并排安装于共同基板上，主要通过引线键合或倒装芯片实现连接，工艺与现有 CMOS 封装兼容性较高，但平面布局导致电连接较长，寄生电容和电感随速率提高逐渐影响信号完整性；此外，高速应用中，由于芯片边缘的 I/O 密度有限，可用的通道数量和布线灵活性也受到了限制。

- **2.5D 方案通过升级互连载体缩短 PIC 与 EIC 的电连接。**2.5D 方案则在 PIC/EIC 与封装基板之间引入硅或者玻璃中介层，芯片通过微凸点或者 TSV 连接至中介层，形成更加短而密集的互连，能够实现低损耗的信号传输和较低的功率消耗，尤其是 TSV 技术，能够形成低电阻、低电感的垂直连接并支持 100Gbps 以上信号传输。不过，2.5D 封装方案需要较高的制造成本，同时还会增加热管理的复杂性，所以还可以在仅需要高速连接的地方引入局部硅桥，降低成本的同时提高设计的灵活性。

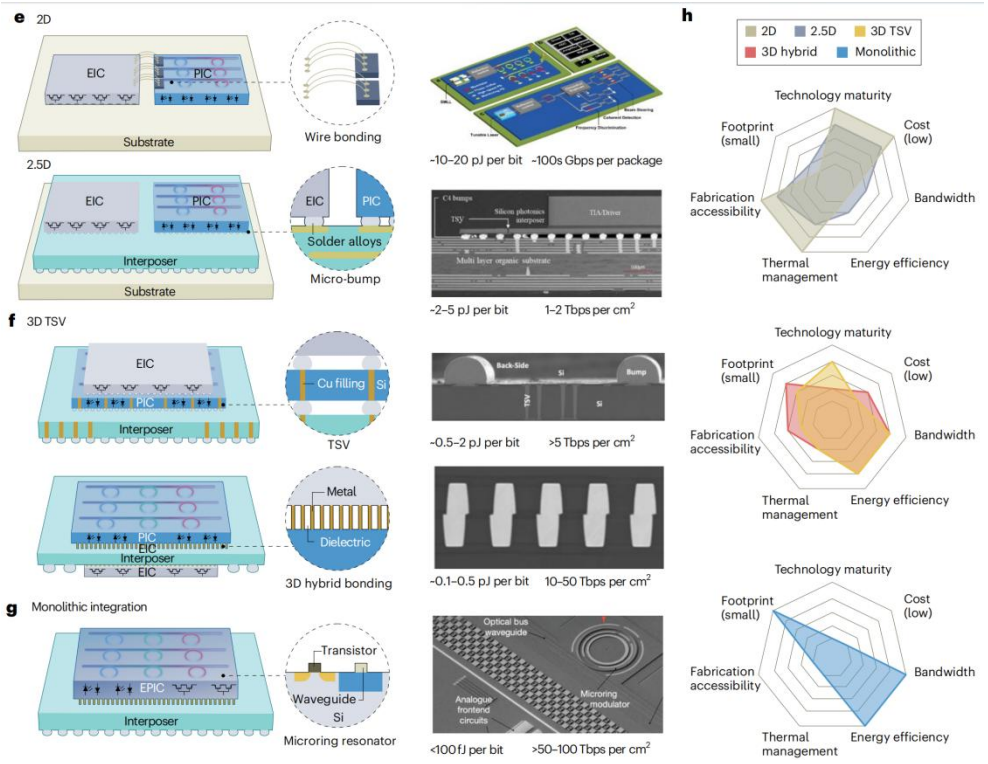
- **3D 集成通过垂直堆叠进一步提高 PIC 与 EIC 的互连密度。**3D 方案将 EIC 直接堆叠于 PIC 上方或下方，通过 TSV 和混合键合形成垂直连接。传统 3D 堆叠主要采用微凸点焊接，这种方法不仅限制了芯片之间的间距（通常大于 10μm），而且会引入寄生电容。混合键合方案则取消微凸点，通过介质层中的 Cu-Cu 直接接触进一步缩短互连，这种无凸点接口通过缩小间距来提高带宽密度，同时由于消除了微凸点引起的寄生电容，能效也进一步提高。

- **单片集成是 PIC 和 EIC 进一步融合的长期方向。**2D、2.5D、3D 封装方案仍然需要分别制造 PIC 和 EIC 再进行封装互联，而单片集成直接在同一基板和统一工艺流程中制造光波导、调制器、探测器和晶体管等器件。通过消除各组件之间的接口以及组装后的对准工作，单片集成能够最大限度地减少寄生损耗，提高集成密度。由于不存在连接接口和微凸点，因此光子与电子信号在传输过程中不会出现阻抗不匹配和反射损失，从而实现光子域与电子域之间的无缝信号传递。

不同集成方案在成熟度、性能、成本和可扩展性方面都存在不同的权衡。根据 Nature Electronics 对不同方案的比较，2D 封装方案简单且成本低，但带宽有限；2.5D 封装在密度、可制造性和成本方面表现中等；而 3D 封装方案的带宽密度和能效水平大幅提升，但代价是降低了成品率并提高了热管理的复杂度。单片集成方案虽能带来最高的性能和能效，但前提是需要在材料集成和工艺优化方面取得突破，从而将 PIC 和 EIC 无缝集成到同一制造生态系统中。

下载日志已记录，仅供内部参考

图15: EIC 与 PIC 的高速互联方案包括 2D、2.5D、3D 和单片集成等



数据来源：Byungsoo Kim, Soo Ho Choi, Georgii Zograf et al.，《Co-packaged optics for high-performance computing and artificial intelligence》，Nature Electronics，财通证券研究所

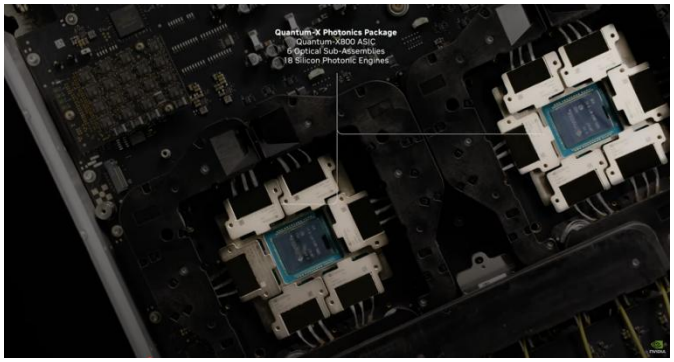
2.1.2 光引擎与 Switch ASIC 实现封装级互连

光引擎与 Switch ASIC 的封装主要涉及安装方式和互连载体两个维度。PIC/EIC 完成光引擎内部集成后，还需要进一步与 Switch ASIC 建立高速电连接：第一个维度是光引擎以什么方式安装到共同封装中，目前主要包括 Socket 连接和回流焊两种方式，核心是在可维护性与封装密度之间取舍；第二个维度是 ASIC 与光引擎之间的高速信号通过什么结构完成互连，可以采用普通封装基板、扇出 RDL、局部硅桥和中介层等不同载体，核心是在互连性能与制造成本之间取舍。

第一个维度是光引擎与共同封装之间的安装方式。根据 OIF，光引擎可以通过焊球或者铜柱阵列进行回流焊，也可以利用 LGA 等可拆卸接口采用 Socket 连接。**回流焊可采用表面贴装工艺直接安装光引擎，集成密度高但返修能力有限；Socket 则需要额外压紧和固定结构，占用更多封装面积，但能够保留一定的拆卸和返修能力。**因此，两类方案主要是在高密度集成和模块化维护之间进行取舍。NVIDIA 的两种平台分别利用了以上两种安装方式：Quantum-X Photonics 平台首先将 3 颗 1.6T 硅光引擎集成为一个光学子组件，再通过 Socket 电气接口与 Switch ASIC 封装连接，一颗 Switch ASIC 配置 6 个光学子组件，以提高模块化和现场维护能力；而 Spectrum-X Ethernet Photonics 平台则将 32 颗 3.2T 硅光引擎通过回流焊直接安装到封装基板上，形成 512 路 200Gbps 高速电通道，以减少中间接口并提高封装带宽密度。

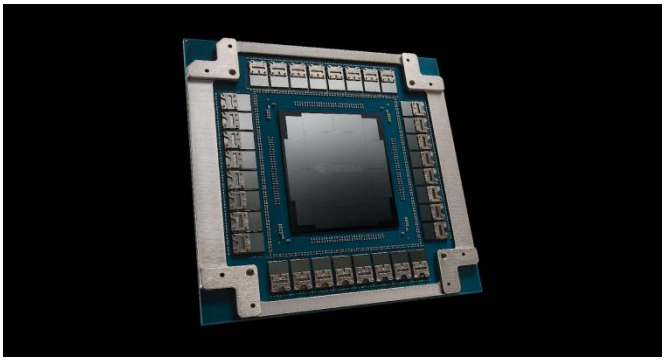
下载日志已记录，仅供内部参考

图16: Quantum-X Photonics CPO 安装方案



数据来源：NVIDIA，财通证券研究所

图17: Spectrum-X Ethernet Photonics CPO 安装方案



数据来源：NVIDIA，财通证券研究所

第二个维度是光引擎与 Switch ASIC 之间的互连载体。根据 OIF，CPO 定义为光学器件与主 ASIC 安装在同一封装基板上形成的共同封装，并指出将光引擎靠近 ASIC 能够降低高速电通道损耗和阻抗不连续。根据台积电，在实际先进封装中，可以通过中介层、局部硅互连或扇出 RDL 等方式提高芯片间布线能力。

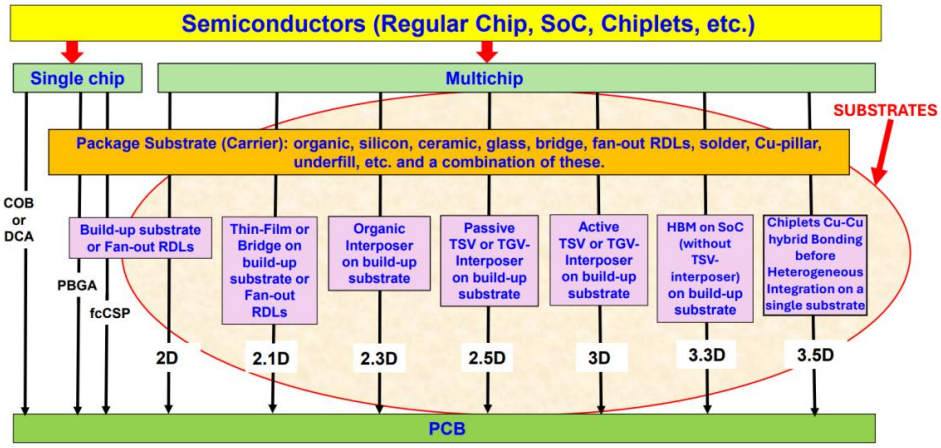
- **封装基板方案：**Switch ASIC 与光引擎并排安装于封装基板上，高速信号直接通过基板内部走线完成连接，因此结构和制造流程相对简单。OIF 的 CEI-448G Framework 指出，ASIC 与光引擎位于同一先进封装内时，电连接通常仅为数毫米至数厘米，较短且质量较高的封装通道有利于降低接口功耗和复杂度。因此，当封装基板的线宽线距、信号损耗和布线能力能够满足 I/O 需求时，直接基板互连是结构最简单的实现方式。

- **中介层方案：**当普通封装基板难以承载大量细间距高速 I/O 时，可以在 ASIC 与光引擎下方增加中介层，使多个裸芯片先连接到中介层，再利用其中的高密度金属布线完成互连。例如，台积电的 CoWoS-S 平台采用大面积硅中介层为多个裸芯片提供高密度互连，目前硅中介层面积最高已经扩展到光罩面积的约 3.3 倍；Intel Foveros-S 平台同样采用多个 Chiplet 并排安装于硅中介层的结构。因此，中介层方案的核心优势是在整个多芯片区域提供统一、高密度的布线能力，但大面积中介层本身的制造、良率和多级互连也会增加成本和工艺复杂度。

- **扇出 RDL 方案：**扇出型方案将 Switch ASIC 和光引擎重新布置在模塑结构中，再利用多层铜 RDL 完成芯片之间的细间距连接，其核心是直接用精细 RDL 承担高速信号布线，从而避免使用完整硅中介层。相比普通封装基板，RDL 可以实现更细的线宽和线距，提高芯片间互连密度；相比完整硅中介层，又能够降低对大面积硅的依赖。例如，台积电 CoWoS-R 采用 RDL 中介层，其官方披露的最小布线间距为 4μm，对应 2μm 线宽/线距；Intel Foveros-R 同样采用 RDL 中介层，并将其定位于兼顾复杂多芯片集成和成本敏感型应用。

- **局部硅桥方案：**交换 ASIC 与光引擎之间真正需要最高布线密度的区域主要集中在相邻芯片边缘的大量高速 I/O 接口，因此可以仅在这些关键区域嵌入小尺寸硅桥。高速信号通过硅桥上的细间距金属走线完成连接，其余供电、低速信号和机械支撑仍由封装基板或较粗间距的重布线层承担，从而在降低整体硅用量的同时实现局部高密度互连。例如，Intel 的 EMIB 平台把硅桥嵌入封装基板，在相邻芯片边缘之间提供高密度连接；台积电 CoWoS-L 则在 RDL 内部嵌入局部硅互连，并利用多层亚微米铜线实现芯片间高密度布线。

图18: 先进封装中不同互连载体及集成形式



数据来源：John H. Lau，《Current Advances and Outlook of Advanced Packaging》，Journal of Electronic Packaging，财通证券研究所

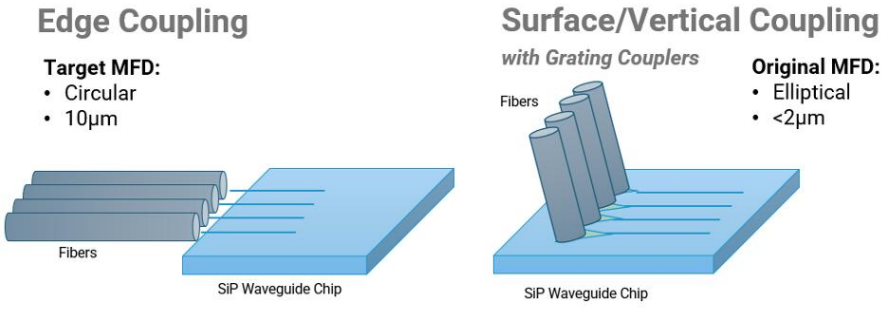
2.2 CPO 光纤耦合成为封装环节难点

光纤耦合是 CPO 实现片上光信号输入和输出的关键环节。单模光纤尺寸通常在微米量级，例如康宁披露其 SMF-28 Ultra 单模光纤在 1310nm 和 1550nm 波长下的 MFD（模式场直径）分别为 9.2μm 和 10.4μm；而根据 IEEE JSTQE，典型 SOI 光波导的芯层截面仅为约 450nm×220nm，两者直接连接会因模式失配产生较大的耦合损耗。同时，CPO 需要在有限封装空间内完成多通道光纤组装，imec 将高密度 CPO 光学接口的核心要求概括为低损耗、宽频带、低偏振敏感性，同时还需要兼顾组装良率和可扩展性。

2.2.1 两种光纤接入方式：边缘耦合与光栅耦合

光纤接入 PIC 主要可以通过边缘耦合和表面耦合两种方式实现。两种方式最大的区别在于光信号的进入方向：边缘耦合将光纤沿芯片平面方向对准 PIC 端面，再通过模式转换结构将光导入片上波导；光栅耦合则在 PIC 表面制作光栅结构，将来自芯片上方的光信号折转进入片上波导。SENKO 披露，边缘耦合能够支持更宽的光波长范围和较低的封装高度，但对错位容差较小，精密对准难度更高，且耦合密度受到芯片端面宽度限制；光栅耦合（表面耦合）则具有更大的错位容差和更高的耦合密度，有利于简化对准并形成紧凑的光纤阵列，但在可支持带宽和封装高度方面存在一定局限。

图19: 边缘耦合与光栅耦合示意图



PRO	CON
Bandwidth	Misalignment tolerance
Low profile (height)	Coupling density (width)

PRO	CON
Misalignment tolerance	Bandwidth
Coupling density (width)	Low profile (height)

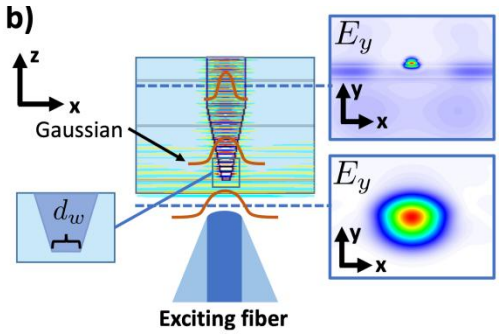
数据来源：SENKO，财通证券研究所

下载日志已记录，仅供内部参考

- **边缘耦合的优势是低损耗和高带宽，但对光纤对准和芯片端面要求较高。**单模光纤中的光场尺寸明显大于硅光波导，若直接将两者连接，由于模式尺寸不匹配会产生较大光损，因此边缘耦合通常在 PIC 端面设置渐变波导等模式转换结构，将光纤中的较大光场逐步压缩至片上波导尺寸。AGC 指出，边缘耦合沿芯片水平方向传输光信号，能够实现高效率、宽带宽传输，但需要较高的光纤位置对准精度；光纤与 PIC 之间的模式尺寸、数值孔径以及位置偏差都会直接影响最终耦合效率。

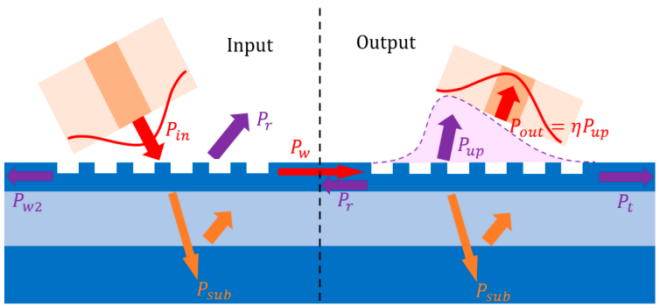
- **光栅耦合的优势是能够从 PIC 表面接入光纤，方便高密度布局和晶圆级测试。**当光沿片上波导水平传播时，周期排列的光栅齿会将部分光向芯片上方散射，并使其在特定方向相干叠加后进入光纤；反向传输时，来自上方光纤的光也可以经光栅转入片上波导。根据 imec，晶圆测试时可以将单模光纤近乎垂直地放置在晶圆表面的光栅耦合器上方；由于耦合区域位于晶圆上表面，因此晶圆在尚未切割时即可进行光学测试。imec 同时指出，光纤相对光栅耦合器的位置偏差仍会增加插入损耗，因此光栅耦合虽然提高了表面接入和晶圆级测试的便利性，但仍需对光纤位置进行精确控制。

图20: 边缘耦合光信号传播原理图



数据来源：Jens Richter，《Ultra-high-Q inverted silica microtoroid resonators monolithically integrated into a silicon photonics platform》，RWTH Aachen University，财通证券研究所

图21: 光栅耦合光信号传播原理图



数据来源：Lirong Cheng, Simei Mao, Zhi Li et al.，《Grating Couplers on Silicon Photonics: Design Principles, Emerging Trends and Practical Issues》，Micromachines，财通证券研究所

2.2.2 两种对准方式：主动对准与被动对准

光纤与 PIC 的对准主要可以分为主动对准和被动对准两种方式。主动对准是在光路导通的情况下，一边测量耦合光功率，一边微调光纤位置，直到找到最佳耦合点；被动对准则不依赖实时光功率，而是根据芯片上的定位标记、V 形槽等预先设计好的位置基准，直接将光纤移动到目标位置。根据 ficonTEC，主动对准通常是在被动预对准之后增加的精细对准步骤，前者能够实现亚微米级精度，但对准速度相对较慢；后者主要依赖机器视觉和结构位置关系完成快速预定位。

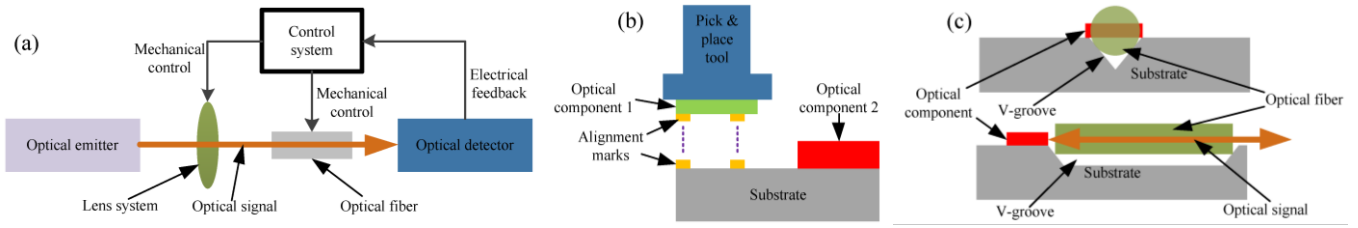
- **主动对准通过实际光学信号寻找光损耗最低的耦合位置。**根据 PHIX，主动对准时需要让光实际通过 PIC 中的波导，再调整光纤或光学器件的位置，并以光学损耗最低的位置作为最终对准位置；PHIX 还建议在 PIC 中设计专门的对准波导，通过这些光波导回路确定最佳对准位置；对于光栅耦合的 FAU 对准，由于需要调整的自由度较少、对准容差更宽，还可以减少所需的对准回路数量。虽然主动对准的对准精度较高，但每次装配都需要导通光路并寻找最佳位置，因此对准时间相对较长。

- **被动对准通过机器视觉和几何位置关系确定器件位置。**根据 ficonTEC，其被动对准流程利用多个相机和机器视觉算法识别器件位置，并通过自动几何标定将图像空间转换为运动平台坐标，从而完成器件导引和预对准，不需要像

下载日志已记录，仅供内部参考

主动对准一样利用光功率搜索轨迹寻找最佳位置。ASE 披露，其在 FOPoP 平台中已经采用针对激光器、光学器件和 FAU 设计的预对准结构，能够实现亚微米级精度，同时改善光学耦合性能和组装效率。由此来看，被动对准能够减少耗时的光学搜索过程，但对定位结构、机器视觉以及器件制造精度提出更高要求。

图22: 光纤与 PIC 的对准主要分为主动对准和被动对准两种方式



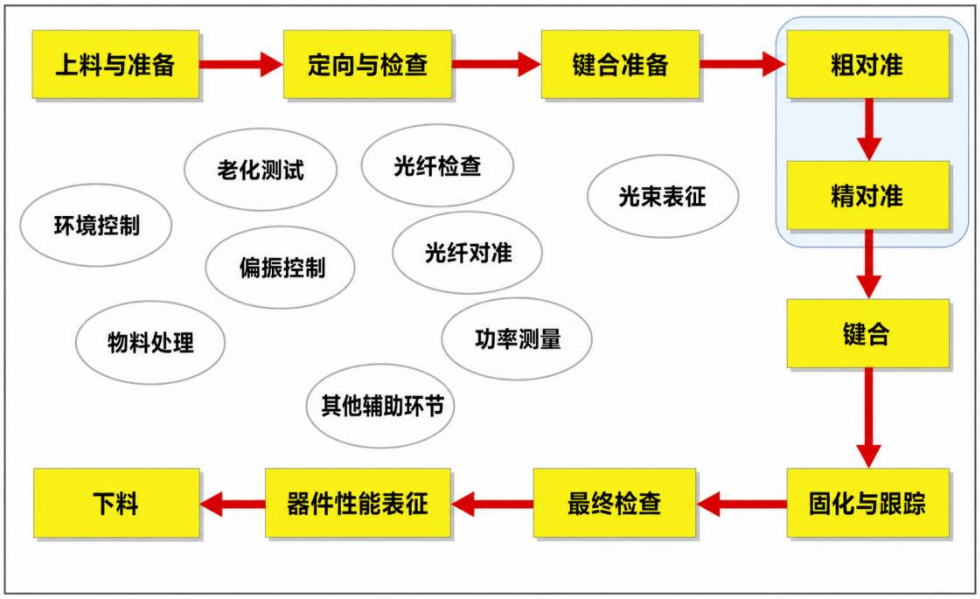
数据来源：Yiheng Qin, Matiar M.R. Howlader, M. Jamal Deen，《Low-Temperature Bonding for Silicon-Based Micro-Optical Systems》，Photonics，财通证券研究所；注：（a）主动对准（b）使用对准标记的被动对准（c）利用 V 形槽的被动对准

2.2.3 自动化光纤耦合推动 CPO 规模制造

自动化光纤耦合包括上料、预对准、精对准和固定等多道工序。ficonTEC 披露，典型的光纤自动化耦合流程包括：上料与准备、定向与检查、键合准备、粗对准、精对准、键合、固化与跟踪、最终检查、性能表征和下料等。根据 VLC Photonics 与 ficonTEC 在 2025 年展示的自动化 PIC 装配流程，设备首先可以从不同载盘中自动加载 PIC，随后完成光纤及 FAU 的双侧自动装配，并支持水平和垂直方向上的光学耦合；光纤完成对准后，设备进一步完成环氧胶点胶和固化，从而形成从器件上料、光学耦合到光纤固定的连续自动化流程。

自动化耦合的核心是保证精度的同时提高对准效率。根据 ficonTEC，一方面，主动对准需要搜索最佳耦合位置，因此预对准可以缩小后续搜索范围、减少对准时间；另一方面，光纤完成对准后，键合和固化过程可能导致位置偏移，因此可以通过在键合过程中持续监测相关参数并进行位置修正来减少位移。

图23: PIC 与 FAU 自动化光纤耦合流程



数据来源：ficonTEC，财通证券研究所

下载日志已记录，仅供内部参考

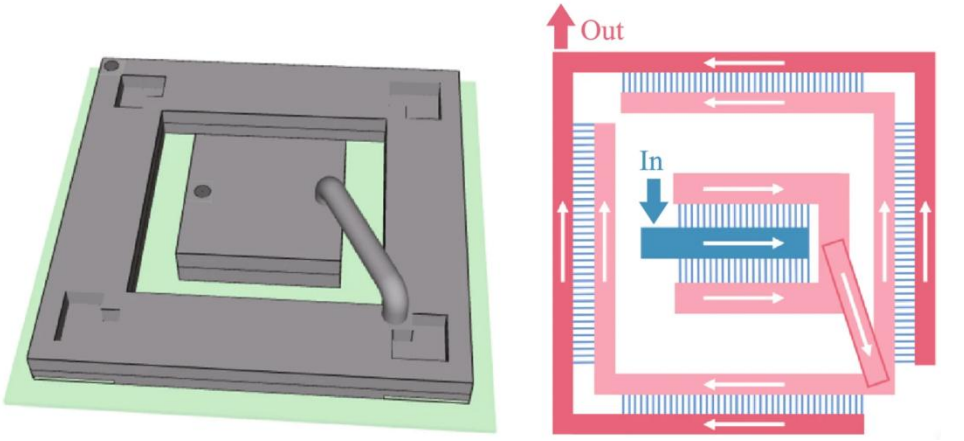
2.3 CPO 高集成度带来散热与可靠性挑战

2.3.1 分区散热与系统级散热

CPO 需要降低高功耗 ASIC 与周围光引擎之间的热串扰。多颗光引擎进入 Switch ASIC 周围后，两类器件共享有限的封装空间。IEEE EPS 指出，这种结构会提高系统中心区域的热密度，而 ASIC 与光引擎之间的热串扰会直接影响系统性能和可靠性，因此需要在封装设计中重点控制；2.5D/3D CPO 封装可以利用导热通孔，并分别为光引擎和 ASIC 设置散热盖，从而形成相对分离的热传导路径。

随着 CPO 封装功耗和热流密度继续提升，系统级散热进一步向液冷升级。封装内部的分区散热主要解决 ASIC 和光器件之间的相互热影响，但整个 CPO 封装产生的热量最终仍需要传递至外部冷却系统。NVIDIA 的 Quantum-X Photonics 和 Spectrum-X Photonics CPO 交换机均引入液冷设计，以满足高密度 CPO 交换系统的散热需求。

图24: CPO 分区液冷结构及冷却液流路



数据来源：Senhan Wu, Song Wen, Huimin He et al.,《Simulation and experimental investigation of liquid-cooling thermal management for high-bandwidth co-packaged optics》，Frontiers of Optoelectronics，财通证券研究所

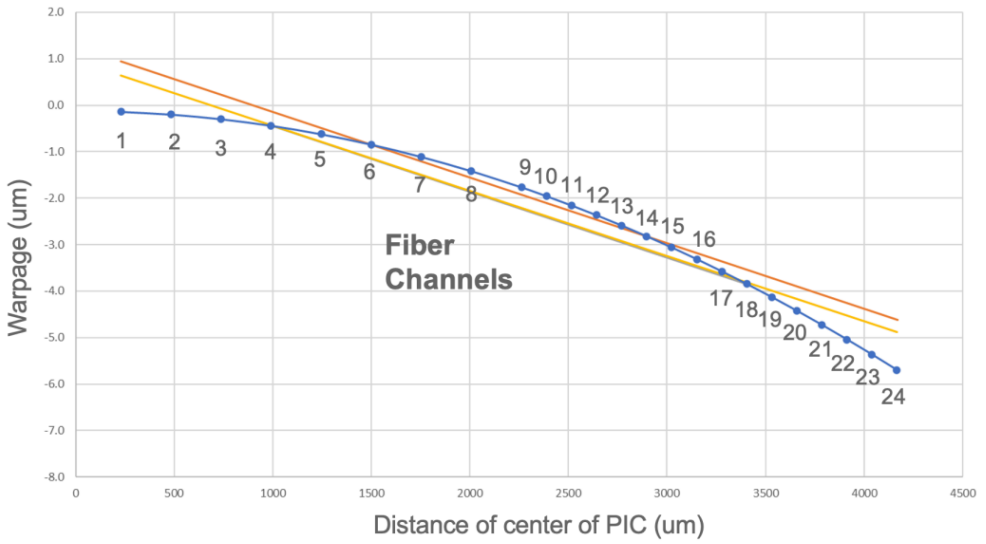
2.3.2 温度、应力与光学耦合漂移

温度变化会改变部分光器件的工作状态。根据 IEEE EPS，光调制器通常依赖干涉或谐振效应，其中谐振型调制器对温度变化较为敏感，而激光器同时受到温度变化和绝对工作温度限制，因此光器件与高功耗电子芯片共同封装后需要更加严格的温度控制。NVIDIA 在 CPO 量产中也专门针对微环调制器的热敏感性进行工艺和控制优化；对于温度更加敏感的激光器，则将外置激光源部署在与主交换机分离的独立温控环境中，以降低波长漂移和高温带来的老化风险。

温度变化还会通过材料热膨胀失配引起封装翘曲，并进一步影响光纤耦合。CPO 需要在大尺寸封装中同时集成 ASIC、光引擎、封装基板和光纤阵列，不同材料的热膨胀系数存在差异，温度变化后容易产生机械应力和翘曲。IEEE EPS 指出，典型 CPO 需要使用超过 80×80mm 的大尺寸基板容纳 Switch ASIC 和 8-16 颗光引擎，而不同组件之间的热膨胀系数失配会增加封装翘曲和机械应力；与此同时，单颗光引擎可能需要连接 24-72 根甚至更多光纤，芯片或封装翘曲会直接影响光纤阵列的耦合效率和连接可靠性。根据 ASE，在实际 CPO 组装流程中封装基板翘曲和共面度控制是关键环节，需要针对边缘耦合和光栅耦合协调封装结构与翘曲。

下载日志已记录，仅供内部参考

图25: 不同光纤通道的位置偏差对应不同的 PIC 端面翘曲



数据来源：Sandeep Razdan, Matt Traverso, Anthony Torza,《Co-Packaged Optics Integration for Hyperscale Networking》, IEEE Electronics Packaging Society，财通证券研究所

2.3.3 关键封装材料与可靠性设计

CPO 材料设计的核心是同时控制高速损耗、热阻、封装翘曲和光学位置稳定性。由于 CPO 同时存在高速电互连、高功耗芯片和亚微米级光纤耦合，不同材料不仅决定电学和散热性能，还会通过热膨胀和机械形变影响整个封装的长期稳定性，因此需要针对不同位置选择相应的材料体系：

- **封装基板和 RDL 介质材料需要优先保证高速信号传输。**根据 ASE，FOPoP 平台用于 EIC/PIC 集成，其中先进材料可以改善高温条件下的翘曲表现，而扇出聚酰亚胺材料能够在较宽高频范围内保持相对稳定的介电常数；在网络应用中，该平台能够控制 10GHz 以上频段的电气损耗，并将 PIC 与控制芯片之间的电连接缩短至原来的约 1/3。

- **热界面材料主要解决芯片与散热结构之间的导热问题。**Indium Corporation 指出，TIM（热界面材料）选择需要综合考虑导热率、可压缩性、界面热阻、工作温度和长期可靠性，并将 TIM 分别应用于裸芯片至散热盖、裸芯片至散热器以及散热盖至散热器等不同界面；其 Heat-Spring 系列进一步采用可压缩金属 TIM，其中 HSx 型号专门面向较大的热膨胀系数失配、弯曲裸芯片和封装翘曲场景，并能够适应约 5-10mil 的界面非平整度。

- **光纤固定材料需要保持光纤和 PIC 的位置稳定。**SENKO 披露，其面向 PIC 和 CPO 开发的 Metallic PIC Connector 采用 KOVAR/INVAR 金属框架，使其热膨胀系数与 PIC 基底相匹配，以提高不同温度条件下的尺寸稳定性并保持光纤与芯片之间的对准；其用于固定光纤的环氧胶同样采用与光纤相匹配的热膨胀特性，从而降低温度变化对光纤固定位置的影响。

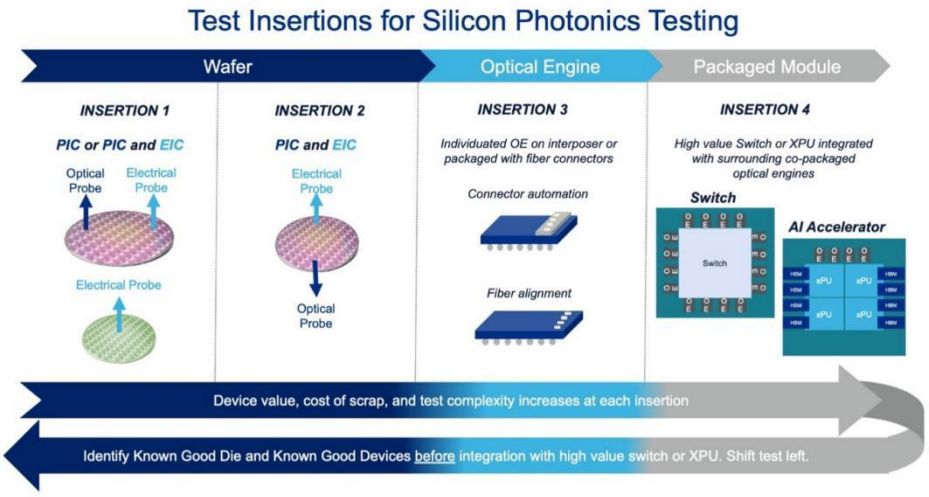
2.4 CPO 推动测试体系升级

CPO 测试贯穿晶圆、光引擎和最终系统多个制造阶段。IEEE HIR 指出，面向数据中心的光器件通常需要设置三个测试节点：首先在晶圆制造阶段进行晶圆级测试，其次在多芯片组装后进行光引擎测试，最后对完整模块进行系统级测试；三个阶段分别负责晶圆级器件筛选、光引擎良品筛选以及完整组件性能验证。多次

下载日志已记录，仅供内部参考

测试会增加测试耗材、接口和测试时间成本，因此需要借鉴成熟的硅芯片测试体系，通过自动化、标准化和测试内容优化，在保证产品质量的同时控制测试成本。

图26: 硅光晶圆级测试到系统级测试的集成过程

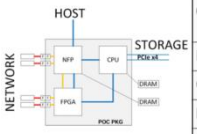


数据来源：Semi Engineering，财通证券研究所

2.4.1 封装前测试：EIC、PIC 与 KGD

KGD 的主要作用是防止坏的裸片进入封装环节。KGD 是 Known-Good-Die 的缩写，OCP 旗下的 ODSA 白皮书把 KGD 定义为经过晶圆或裸片测试、可直接用于同质或异质集成的裸片，并指出 KGD 水平会直接影响系统级封装的毛利率。Intel Foundry 也指出，随着单个封装中的芯粒数量增加，需要在最终装配前通过晶圆测试和独立裸片分选交付 KGD。考虑到 CPO 后续还要投入 EIC-PIC 键合、光纤耦合、封装基板和整机测试等成本，如果直到成品测试阶段才发现缺陷，损失的是已经完成大部分加工的高价值封装。

图27: KGD 水平直接影响系统级封装毛利率



Chiplet	Qnty	Chiplet ASP	Chiplet Cost	Chiplet Margin w/o scrap		Actual Yield	Negotiated Yield	Scrap Cost	Chiplet Margin with scrap	
FPGA	1	$10.00	$2.50	$7.50	75%	96%	98%	$48	$6.54	65%
CPU	1	$20.00	$3.00	$17.00	85%	96%	98%	$48	$16.04	80%
NFP	1	$10.00	$2.50	$7.50	75%	96%	98%	$48	$6.54	65%
DRAM	2	$4.00	$1.40	$2.60	65%	96%	98%	$48	$1.64	41%

2% less yield leads to:
-10% margin loss
-5% margin loss
2.5% margin loss per 1% delta in actual vs negotiated yield
-24% margin loss
12% margin loss per 1% delta in actual vs negotiated yield.

数据来源：OCP，财通证券研究所

EIC 封装前测试以电学晶圆分选为主。Intel Foundry 披露，其晶圆分选通过探针台和测试机对晶圆上的每颗裸片执行电学测试，晶圆切割后还可通过独立裸片分选进一步提高进入装配环节的 KGD 比例。在 PIC 与 EIC 采用晶圆级混合键合的方案中，Teradyne 将 UltraFLEXplus 半导体 ATE 与 ficonTEC 的光学对准、光学探测和晶圆处理系统集成，用于混合键合 PIC/EIC 晶圆的量产测试。由此来看，EIC 测试本身主要沿用半导体电学测试体系，但当 EIC 与 PIC 在晶圆阶段完成集成后，测试设备需要进一步具备电学 ATE 与光学测试系统协同工作的能力。

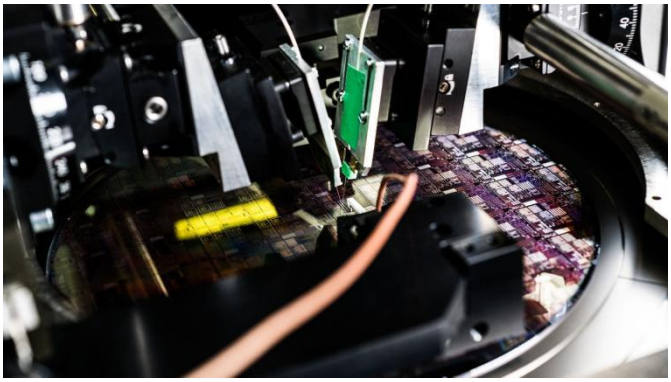
下载日志已记录，仅供内部参考

图28: Intel Foundry 的高密度模块化测试设备



数据来源：Intel Foundry，财通证券研究所

图29: 基于 Cascade PA300 开发的硅光测试平台



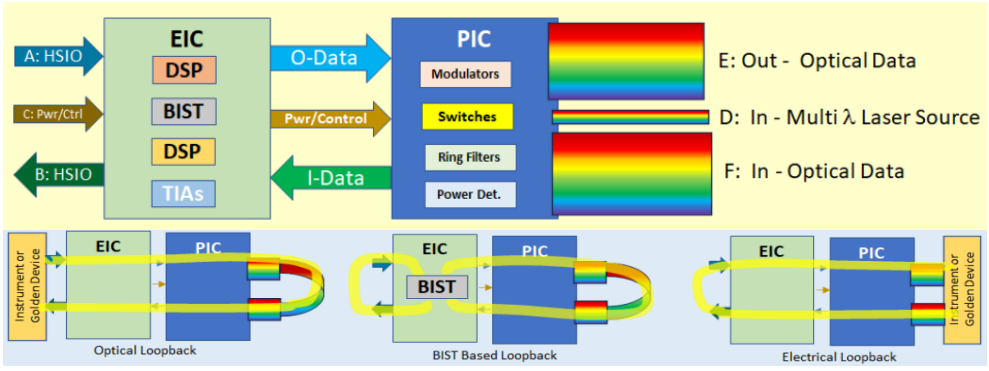
数据来源：imec，财通证券研究所

PIC 封装前测试需要同时建立光学和电学测试接口。首先是要建立稳定的测试光路，imec 发现光纤位置、输入光偏振、连接器损耗和晶圆载台平整度均会影响测量结果；其自动寻光算法将光纤至晶圆插入损耗的测量波动控制在 0.07dB 以内，而光纤端部高度每变化 1μm，参考光栅耦合器的测量损耗约变化 0.05dB。**在稳定光路基础上，**CEA-Leti 通过光纤和集成光栅耦合器输入 1.3μm 或 1.55μm 光信号，并结合电流及高频探针测试波导、WDM、调制器和光探测器等器件。对于片上集成激光器的 PIC，Intel 进一步通过晶圆级测试和激光老化形成公司所称的“真正的光子 KGD”。所以，PIC 封装前测试不仅要建立稳定的光学接口，还要根据 PIC 集成的无源和有源器件配置相应的光学、电学及老化测试内容。

2.4.2 光引擎测试：光电转换与耦合质量

首先，光引擎测试需要确认 PIC 和 EIC 组装后的接口和光电链路正常。IEEE 2024《异质集成路线图》指出，PIC 和 EIC 在封装前已经分别完成测试，因此光引擎阶段的两个核心目标，一是确认 EIC 与 PIC 之间的数据和控制接口在组装后没有失效，二是确认两个芯片能够通过封装后已经无法直接接触的内部接口正常通信。为减少需要外部接触的高速接口数量和测试成本，可以进一步利用光学回路、电学回路以及 EIC 内部 BIST（内建自测试）完成测试，其中 BIST 可以产生高速数据并检查返回数据，同时计算 BER，电学和光学回路还可以并行执行以缩短测试时间。

图30: 典型的使用外部激光器的光引擎测试回路



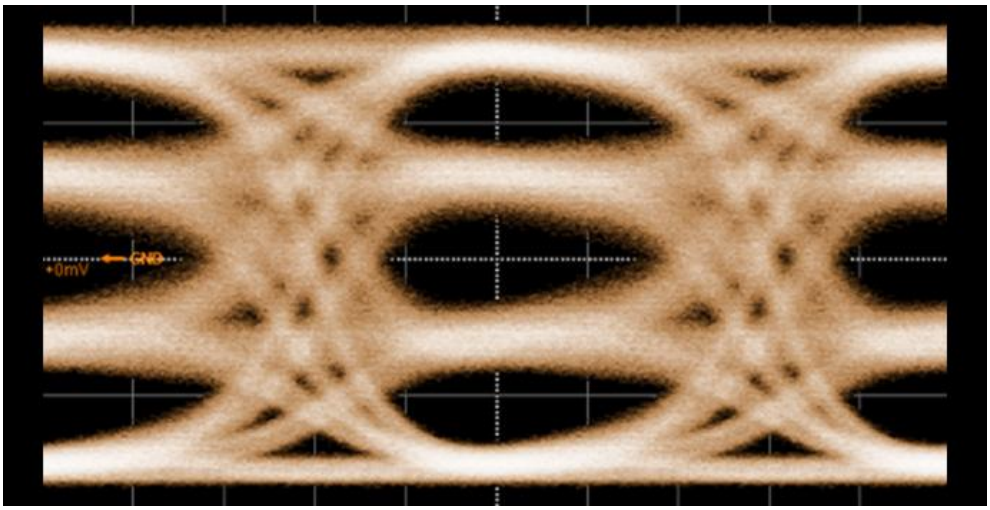
数据来源：IEEE，财通证券研究所

其次，光引擎还需要分别验证发送端和接收端的高速光电性能。IEEE HIR 将输入激光波长和功率、数据速率、供电电压、调制器及滤波器调谐、发送端光功率与偏振、接收端灵敏度以及工作温度列为光引擎需要调节或测量的主要参数，并将

下载日志已记录，仅供内部参考

BER 和眼图开度列为判断光引擎性能的重要指标。**在发送端，**高速光接口可以通过采样示波器测量 PAM4 眼图、幅度、抖动、通道时延偏差和 TDECQ 等指标；Anritsu 的 MP2110A 已经支持最高 1.6T、200G/lane 相关光接口测试，并可以同时测量最多 4 条光通道。**在接收端，**Keysight 的 N4917DJCA 方案面向 800G 和 1.6T 光接口开展受扰光接收机测试，可自动完成受扰 PAM4 信号校准、接收灵敏度和抖动容限测试，并通过 BERT、光参考发射机、可调激光器和光衰减器等设备组成自动测试系统。

图31: 通过眼图开度检验 PAM4 信号质量



数据来源：Anritsu，财通证券研究所

最后，多通道光学连接的重复性是光引擎量产测试的难点。IEEE HIR 指出，光引擎测试时需要将光纤或 FAU 稳定对准光栅耦合器或边缘波导，可重复、可复现的光纤连接是测试准确性的关键，对于封装级别的光连接，需要达到机械公差小于 0.5μm，并且径向精度优于 8 度；随着光端口数量增加，同时保持多根光纤稳定对准的难度还会进一步提高。**由此来看，光引擎测试不仅增加了传统半导体 ATE 之外的光学测量，还需要解决多通道光纤接入、光电仪器协同等问题。**

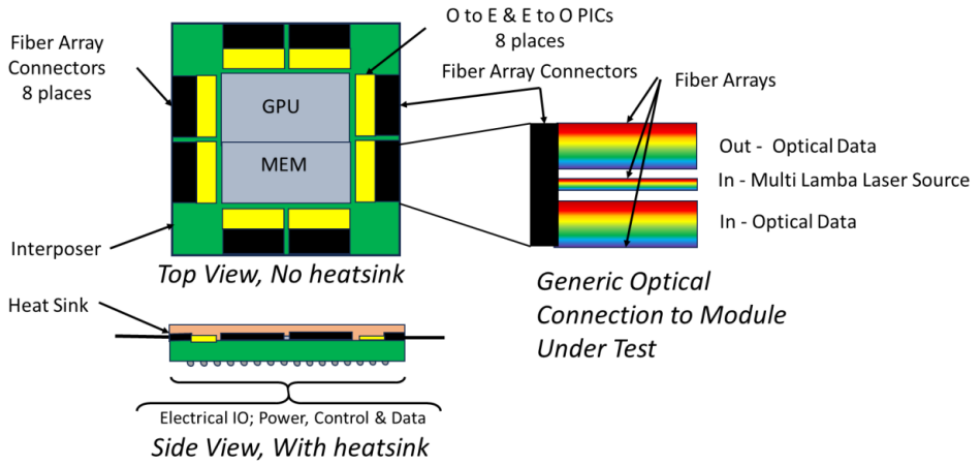
2.4.3 封装后及系统测试：性能与可靠性

CPO 完成共封装后需要重新验证整体性能。异构集成中的缺陷可能来自单颗芯粒，也可能产生于后续封装和组装过程，晶圆堆叠和裸片堆叠等工艺可能会进一步引入新的缺陷；因此在 PIC 晶圆测试和光引擎测试之后，仍然需要系统级模块测试确认整个组装体的最终良率。Semiconductor Engineering 进一步指出，晶圆级测试能够提前筛除不良器件，但无法模拟不同器件集成到最终系统后的联合工作状态，因此 CPO 封装级测试仍需要接入电学和光学接口，验证完整系统的端到端性能。

通过可靠性测试进一步验证完整 CPO 在环境变化和长期运行的性能稳定性。首先是环境应力测试：IBM 在 ECTC 2025 构建了完整的 CPO 模块，并按照 JEDEC 进行温度循环、低温和高温存储以及高温高湿等可靠性应力测试，并在应力测试后重新测量 PIC-光波导-连接器的光链路损耗，以判断环境应力是否造成光学性能退化。**其次还要考察长期运行中的链路稳定性：**Broadcom 披露，Meta 在高温实验室环境中对其 CPO 平台累计完成 100 万 400G 等效端口设备小时运行，期间没有出现一次链路短暂中断，验证了其 CPO 平台的长期可靠性。

下载日志已记录，仅供内部参考

图32: 封装后待测试的 CPO 光模块示意图



数据来源：IEEE，财通证券研究所

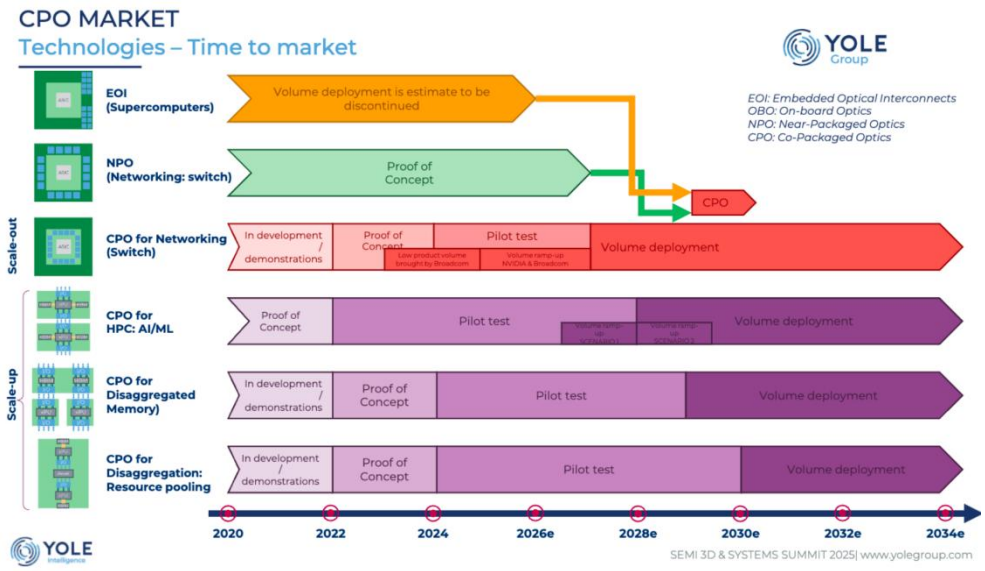
3 产业端：CPO 产业化进程与封测供应链格局

3.1 CPO 由验证走向量产，封测市场有望打开空间

3.1.1 全球 CPO 产业化头部平台先行

CPO 正由试点验证逐步进入量产导入，不同应用场景产业化节奏存在明显差异。根据 Yole 对不同光互联技术产业化时间的梳理，面向网络交换的 CPO 目前已经由概念验证逐步进入试点测试和量产爬坡阶段，其中 Broadcom 和 NVIDIA 成为当前推动量产进程的主要厂商，预计后续将进一步向规模部署演进。相比之下，面向 HPC/AI、内存解耦和资源池化等 Scale-up 场景的 CPO 整体仍更多处于概念验证和试点测试阶段，规模部署时间相对更晚。由此来看，当前 Switch 侧 CPO 率先进入量产导入阶段，计算侧及更广泛的 Scale-up Optical I/O 路线则随后跟进。

图33: 不同光互连技术路线产业化进程



数据来源：Yole，财通证券研究所

- **Broadcom 推动 CPO 从技术验证走向规模制造。**Broadcom 的 CPO 路线目前已经迭代至第三代产品：2021 年第一代 TH4-Humboldt 主要用于推动产业链

下载日志已记录，仅供内部参考

积累早期制造经验；到第二代 TH5-Bailly，公司已经将其定义为首个进入量产的 CPO 方案，将自动化测试和可规模制造作为这一代产品的重点，并且在 Delta Electronics 和 Micas Networks 协助下导入量产。在此基础上，Broadcom 又于 2025 年推出第三代 TH6-Davisson，将单通道速率提升至 200Gbps、交换容量提升至 102.4Tbps，并且已向早期客户和合作伙伴送样。

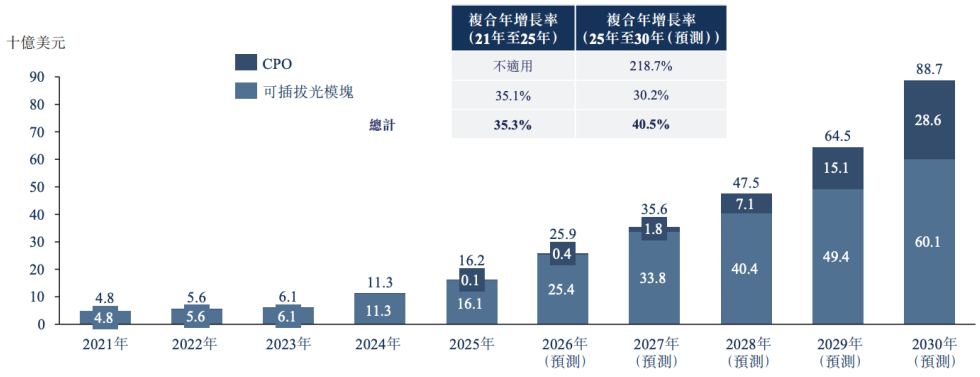
- **NVIDIA 推动 CPO 加速进入 AI 集群部署。**NVIDIA 于 2025 年同时推出面向 InfiniBand 网络的 Quantum-X Photonics 和面向以太网的 Spectrum-X Photonics 两条 CPO 交换机产品线；其中，Quantum-X Photonics 产业化进展相对领先，Lambda 于 2026 年 3 月披露，其采用 Quantum-X Photonics CPO 交换机构建的 AI 集群已经覆盖超过 1 万颗 NVIDIA GB300 GPU，并投入生产运行。与此同时，Spectrum-X Photonics 也于 2026 年进入生产，根据 TrendForce，截至 2026 年 7 月已经开始向部分合作伙伴出货，预计下半年进一步扩大产能。

- **CPO 产业化向更多技术路线和应用场景扩展。**交换侧，Marvell 于 2026 年推出 102.4Tbps Teralynx T100，并提供包括 CPO 在内的多种封装配置，目前 T100 已进入客户送样阶段；计算侧，Ayar Labs 则将 CPO 进一步延伸至 AI Scale-up 互联，公司已将其方案定义为可投入生产，并于 2026 年融资 5 亿美元用于扩大高量生产和测试能力。由此来看，CPO 已经不再局限于 Broadcom 和 NVIDIA 等少数头部平台，更多交换芯片和计算互联厂商正开始进入产品导入和量产准备阶段，但不同路线的产业化成熟度仍存在明显差异。

3.1.2 CPO 放量打开封装测试市场空间

CPO 市场规模有望随头部平台放量快速扩张。随着 Broadcom、NVIDIA 等厂商陆续推进 CPO 量产和客户导入，CPO 正由早期产品验证逐步进入商业化放量阶段。根据天孚通信港股招股书援引的弗若斯特沙利文数据，2025 年全球 CPO 市场规模仅约 1 亿美元，预计 2026-2027 年分别增长至 4 亿美元和 18 亿美元，并于 2030 年达到 286 亿美元，对应 2025-2030 年 CAGR 约 218.7%；同期全球数据通信光互连市场预计由 2025 年的 162 亿美元增长至 2030 年的 887 亿美元，CPO 有望由当前占比较低的新兴方案成长为光互连市场的重要组成部分。

图34: 全球数据通信光互连市场规模及 CPO 市场预测



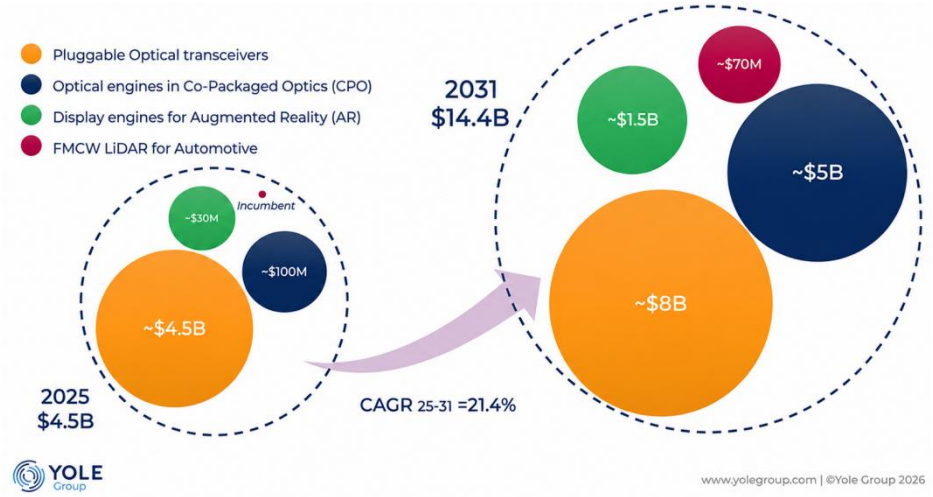
数据来源：天孚通信港股招股书，弗若斯特沙利文，财通证券研究所

CPO 有望成为光子封装市场重要的增量需求。与传统可插拔光模块相比，CPO 将光学器件进一步向 Switch ASIC 及 XPU 靠近，使光引擎内部的芯片集成、光纤耦合和光学装配与先进半导体封装更深度融合，封装也因此成为规模制造过程中价值量较高的环节。根据 Yole《Photonics Packaging 2026》，2025 年全球光子封装市场约 45 亿美元，预计到 2031 年增长至 144 亿美元，2025-2031 年 CAGR 约

下载日志已记录，仅供内部参考

21.4%，AI 数据中心中的 CPO 和高速光收发器将成为主要增长驱动力之一；其中，Yole 预计 CPO 相关光子封装市场到 2031 年约 50 亿美元。在 2026-2027 年 CPO 产业化拐点阶段，光子封装相关价值量可能约占 CPO 价值量的 50%，随着产业成熟及硅光芯片价值占比提升，到 2031 年这一比例预计降至约 35%。这意味着随着 CPO 需求放量，光电异构集成、光学装配及光纤耦合等封装制造环节同样有望形成较为显著的新增价值量。

图35: 全球光子封装市场规模及 CPO 封装增量预测



数据来源：Yole，Anysilicon，财通证券研究所

CPO 规模量产将进一步打开数亿美元级新增测试设备市场。CPO 测试目前仍处于量产导入初期，但随着光引擎出货增长以及测试由晶圆、光引擎进一步延伸至完整 CPO，相关量产设备需求开始快速形成。Teradyne 预计，当前 CPO 测试设备市场规模约 1 亿美元，到 2028 年有望增长至 3 亿至 7 亿美元；公司认为，2028 年市场规模主要取决于 2027 年 Scale-out CPO 量产爬坡速度，而随着后续 Scale-up 网络进一步采用 CPO，长期测试设备市场规模还有望超过 10 亿美元。Advantest 同样认为 2026 年是硅光测试部分进入量产的第一年，并预计后续两年市场需求有望连续实现翻倍以上增长。

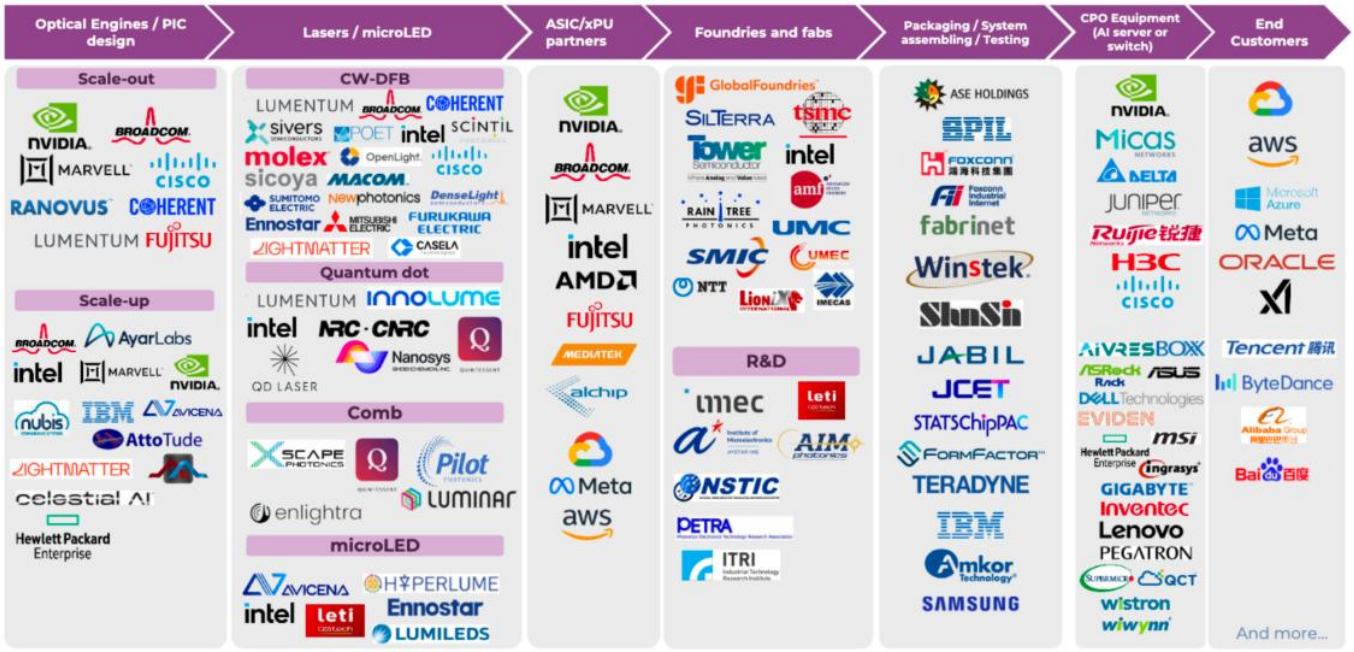
3.2 CPO 产业链由平台牵引，封装、光学、设备厂商共同参与

3.2.1 CPO 产业链由平台厂商牵引

CPO 产业链由平台厂商牵引，各类光电器件形成协同供应。传统可插拔架构下，交换芯片与光模块相对独立，光模块厂商可以围绕标准化接口完成产品设计和制造；CPO 则将光引擎进一步集成至 ASIC/XPU 附近，使主芯片、PIC/EIC、激光器、光纤连接及封装接口需要在产品开发阶段进行更加紧密的协同。根据 Yole 对 CPO 硅光产业链的梳理，Broadcom、NVIDIA、Marvell 等平台厂商同时参与 ASIC/XPU 以及光引擎/PIC 相关环节，Coherent、Lumentum 等专业光器件厂商则进一步提供光引擎、激光器等核心光学器件。TechInsights 指出，CPO 正在推动传统光收发器产业链由相对线性的采购模式向多方协同开发转变，晶圆制造、ASIC 设计、硅光、OSAT、激光器及精密设备厂商之间的合作进一步加深。因此，CPO 逐步形成平台厂商主导架构、专业光电厂商协同参与的供应体系。

下载日志已记录，仅供内部参考

图36: CPO 产业链横跨光电芯片、光源、晶圆制造、封装测试等多个环节



数据来源：Yole，财通证券研究所

CPO 量产进一步把晶圆制造、先进封装、光学组装和测试连接成完整制造链。从产品实现过程看，光电芯片完成设计后仍需要经过硅光晶圆制造、光电器件封装、激光及光纤组件组装、系统集成和多阶段测试，才能最终形成可部署的 CPO 系统，因此产业链同时连接了传统半导体制造与光通信制造体系。当前头部产品的量产已经开始体现这种跨环节协同：NVIDIA 将 Spectrum-X Ethernet Photonics 的量产明确归因于与半导体及系统生态的深度协同，产业链覆盖硅光制造、芯片级封装与测试、激光模块以及系统组装等环节。可见 CPO 产业化带来的重要变化，是把原本相对分立的半导体制造和光学制造进一步融合。

3.2.2 封装与光学厂商共同参与 CPO 制造

先进封装厂商加快进入 CPO 制造环节。台积电正在将硅光制造与先进封装进一步结合，其 COUPE 平台由早期硅光集成逐步向 CPO 演进，2026 年 COUPE-on-Substrate 方案开始进入生产；SPIL 则已经进入 NVIDIA Spectrum-X Ethernet Photonics 量产体系，承担芯片级封装、组装和测试等环节。与此同时，ASE 通过 FOPoP 等平台布局 PIC/EIC 集成以及激光器、光学器件和 FAU 封装。国内方面，长电科技依托 XDFOI 平台构建 PIC/EIC 异构集成及光引擎与 ASIC 共封装能力，其硅光引擎产品已完成客户样品交付并通过验证。

CPO 中的核心光学组件仍由专业厂商承接。CPO 改变了传统独立光模块的产品形态，但外置激光源、光纤、连接器及微光学等功能仍需要专业光学制造，并随着光引擎向 ASIC 靠近转向更高密度的组件形态。NVIDIA 披露，Lumentum、Sumitomo 和 Coherent 参与 ELS 组装、光学对准及测试，Browave、Corning、SENKO、TFC Communication 和 Coherent 则参与光纤、连接器及微光学组件供应。Broadcom 方面，Corning 已经宣布与其合作开发先进的光纤和连接器技术，包括将在 TH5-Bailly 平台上提供相关组件，表明部分 CPO 光连接组件已经随头部平台进入实际交付阶段。国内方面，天孚通信已形成高速光引擎设计与封装、FAU 光纤阵列设计与制造等技术平台，其 2026 年半年报披露，公司已成为全球头部 AI 算力基础设施厂商 CPO 解决方案核心合作伙伴。

下载日志已记录，仅供内部参考

3.2.3 CPO 量产推动自动耦合与光电测试设备导入

自动化耦合设备由工艺验证走向量产导入。CPO 由研发验证走向规模制造后，耦合设备不仅需要实现高精度光学对准，还需要将上料、光功率搜索、多通道均衡、点胶和固化等工序进一步自动化。罗博特科披露，其收购的 ficonTEC 已进入 Broadcom CPO 制造体系，2024 年披露已交付 14 台 CPO 耦合设备；自 2025 年配合核心客户完成了双面晶圆测试设备及晶粒测试设备的开发和验证后，公司又相继取得多笔量产化订单。国内自主设备方面，博众精工控股子公司中南鸿思已推出直接面向 CPO/NPO 光引擎的自动耦合设备，可完成共晶贴片、高精度光学耦合、自动化测试和自动化装配，2026 年进一步获得客户 NPO 和 CPO 光引擎自动耦合设备订单，目前相关设备已完成设计并进入交付阶段。

表6: CPO 自动化耦合与光电测试设备主要厂商

设备环节	主要功能	海外代表厂商	国内代表厂商
硅光晶圆及裸 Die 测试设备	晶圆级光学探测、KGD 筛选	FormFactor、Advantest、MPI Corporation	联讯仪器、燕麦科技、杰普特
高精度键合/贴装设备	高精度芯片贴装、键合及光电异构集成	ASMPT、BESI、EV Group	华卓精科、青禾晶元、北方华创
自动化光纤耦合设备	FAU/PIC 高精度对准、贴装、点胶固化	ficonTEC、ASMPT	博众精工（中南鸿思）、罗博特科（ficonTEC）
光引擎测试设备	光电性能测试、发射接收测试、参数筛选	Teradyne、Advantest	联讯仪器
完整 CPO 测试设备	CPO 模块测试、系统级测试、可靠性验证	Teradyne、Advantest	联讯仪器（布局）

数据来源：FormFactor，Teradyne，Advantest，MPI Corporation，ASMPT，BESI，EV Group，ficonTEC，联讯仪器，燕麦科技，杰普特，华卓精科，青禾晶元，北方华创，中南鸿思，罗博特科，财通证券研究所

光电测试设备由晶圆测试向多阶段量产测试延伸。随着硅光器件由晶圆进一步组装为光引擎并最终进入 CPO，海外设备厂商已经围绕不同制造阶段建立量产测试能力：FormFactor 重点提供硅光晶圆及裸片级自动光学探测平台，并于 2026 年推出面向高量制造的 TRITON 集成测试单元；Teradyne 通过 Photon 100 将光电测试覆盖晶圆、光引擎和完整 CPO 等主要测试插点；Advantest 则基于 V93000 平台推进硅光及 NPO/CPO 的量产光电联合测试，并与 OpenLight 合作开发面向光引擎高量制造的光电测试方案。**国内测试设备则开始由硅光晶圆向 CPO 光引擎环节延伸：**根据燕麦科技 2026 年半年报，其硅光晶圆检测设备已向海外晶圆厂完成新增订单的交付，并配套优质客户进行技术迭代及新一代产品研发；杰普特 2026 年半年报亦披露其新一代硅光晶圆测试系统已于 2026H1 取得小批量订单；联讯仪器 2026 年半年报披露，其已形成硅光晶圆测试及光芯片 KGD 等产品布局，其中面向 CPO/NPO 光引擎裸 Die 测试的 OE 芯片 KGD 分选系统已通过行业客户验证并实现收入，而面向 CPO 全环节的高速光电混合 ATE 已初步完成技术预研。

4 投资建议

4.1 天孚通信

全球领先的光互连一站式平台型技术企业，垂直整合构建多层次光器件产品矩阵。天孚通信长期深耕光互连领域，依托高复用的技术平台和产业链垂直整合能力，为客户提供覆盖无源光器件、有源光器件及光模块代工服务的一站式光互连解决方案，产品及解决方案涵盖多通道高速光引擎封装集成、高密度光互连集成、精密微光学组件等，并进一步拓展至激光雷达、生物光子等应用领域。公司围绕精密陶瓷、工程塑料、复合金属、光学玻璃等底层材料，以及亚微米级高精密光耦

下载日志已记录，仅供内部参考

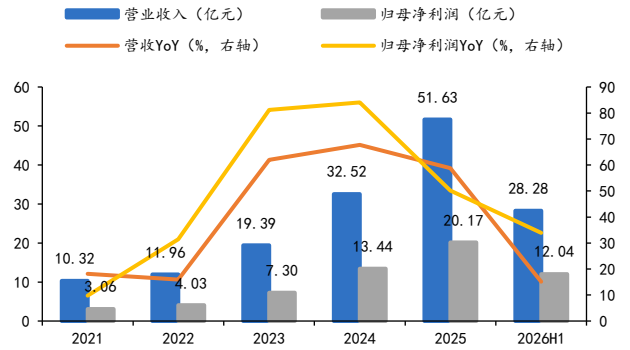
合等精密制造工艺，已经形成高速光引擎设计与封装、FAU 光纤阵列设计与制造等十大核心技术平台和八大光互连解决方案。

图37: 天孚通信主要产品解决方案矩阵



数据来源：公司官网，财通证券研究所

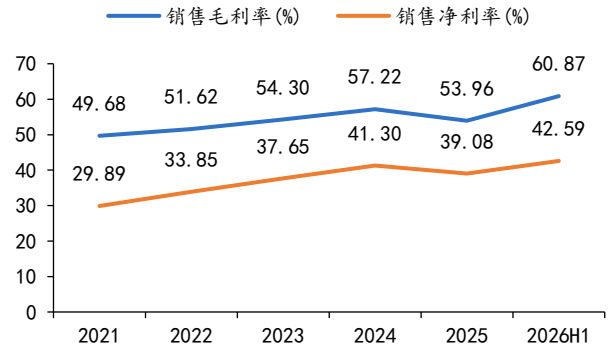
图38: 天孚通信 2021-2026H1 营收与归母净利润



数据来源：iFinD，财通证券研究所

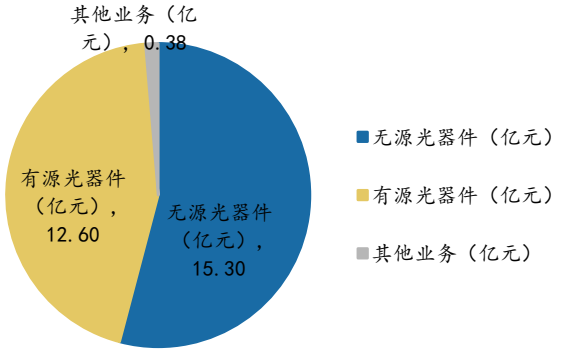
AI 数据中心需求推动业绩持续增长，2026H1 盈利能力进一步提升。2025 年公司实现营业收入 51.63 亿元，同比+58.79%；归母净利润 20.17 亿元，同比+50.15%，延续较快增长。2026H1 公司实现营业收入 28.28 亿元，同比+15.15%；归母净利润 12.04 亿元，同比+33.92%；经营活动现金流净额 10.01 亿元，同比+64.57%，利润和经营性现金流增速均高于收入增速。分产品看，2026H1 公司无源光器件实现收入 15.30 亿元，同比+77.40%，毛利率 71.90%，有源光器件实现收入 12.60 亿元，同比-19.57%，毛利率 47.03%，其中有源业务阶段性受到个别关键物料供给紧缺对提产的影响。公司表示，2026H1 收入增长主要受益于全球人工智能行业加速发展与数据中心建设带来的高速光器件需求增长。

图39: 天孚通信 2021-2026H1 销售毛利率与净利率



数据来源：iFinD，财通证券研究所

图40: 天孚通信 2026H1 收入结构



数据来源：iFinD，财通证券研究所

CPO 推动光连接由模块级向封装级升级，公司有望承接新增价值。传统可插拔光模块向 CPO 演进后，DSP、模块 PCB 及外壳等部分价值有所弱化，但 PIC 与外部光纤之间仍需要通过 FAU、微光学组件及高精度耦合形成稳定的光连接，同时光引擎由独立模块内部功能单元转变为靠近 ASIC 的封装级核心组件，与公司长期积累的高速光引擎设计与封装、FAU 光纤阵列设计与制造以及亚微米级高精密光耦合能力高度契合。公司 2026 年半年报披露，其在硅光、CPO/NPO 等新技术方向持续投入研发，已有解决方案服务不同客户；同时，公司是全球首家交付 800G 及 1.6T 光引擎的供应商，也是全球头部 AI 算力基础设施厂商 CPO 解决方案核心

下载日志已记录，仅供内部参考

合作伙伴。我们认为，随着 CPO 由头部平台量产导入逐步向规模部署演进，公司有望凭借光引擎、FAU 和精密光学制造能力进一步提升其产业链价值份额。

4.2 长电科技

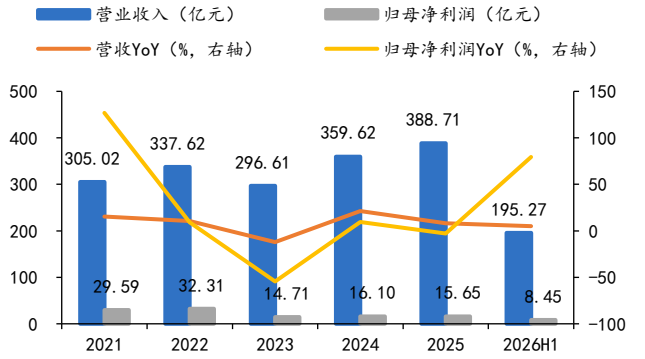
全球领先的集成电路成品制造与技术服务商，先进封装平台能力持续完善。长电科技面向全球半导体客户提供微系统集成、设计仿真、晶圆中测、芯片及器件封装、成品测试和产品认证等一站式芯片成品制造服务，在中国、韩国和新加坡拥有八大生产基地，封装技术覆盖晶圆级封装、2.5D/3D 封装、系统级封装、倒装芯片封装、引线键合封装等，终端应用覆盖汽车电子、人工智能、高性能计算、高密度存储、网络通信、智能终端、工业与医疗、功率与能源等领域。公司拥有行业领先的半导体先进封装技术，如 SiP、WL-CSP、FC、eWLB/ECP、PiP、PoP 及 XDFOI 系列等，其中自主研发的 XDFOI 芯粒高密度多维异构集成平台已经实现规模量产，可实现 Chiplet 高密度异构集成。

图41: 长电科技封装与测试解决方案矩阵



数据来源：公司官网，财通证券研究所

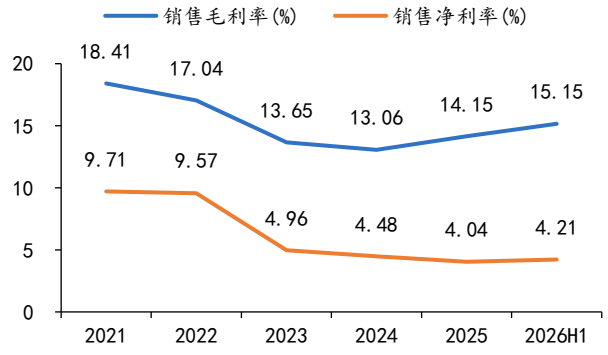
图42: 长电科技 2021-2026H1 营收与归母净利润



数据来源：iFinD，财通证券研究所

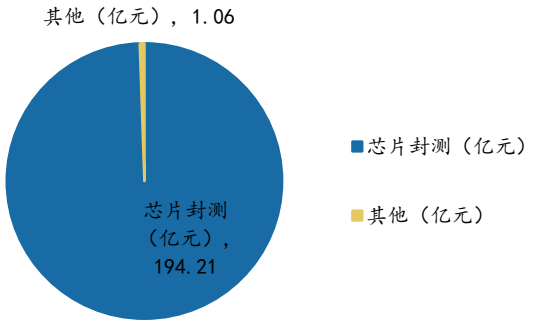
AI 及高性能计算需求带动业务结构优化，2026H1 盈利能力明显改善。2025 年公司实现营业收入 388.71 亿元，同比+8.09%；归母净利润 15.65 亿元，同比-2.75%，收入保持增长，但受部分原材料成本上升、新建工厂产品导入及产能爬坡等因素影响，利润有所承压。进入 2026 年，公司经营质量明显改善，2026H1 实现营业收入 195.27 亿元，同比+4.96%；归母净利润 8.45 亿元，同比+79.41%；经营活动现金流净额 29.64 亿元，同比+26.75%；利润增速高于收入增速，毛利率和经营性现金流持续改善。从应用结构看，2026H1 运算电子收入占比提升至 30.1%，同比增长 40.4%，业务结构持续向高附加值和高成长性方向优化。

图43: 长电科技 2021-2026H1 销售毛利率与净利率



数据来源：iFinD，财通证券研究所

图44: 长电科技 2026H1 收入结构



数据来源：iFinD，财通证券研究所

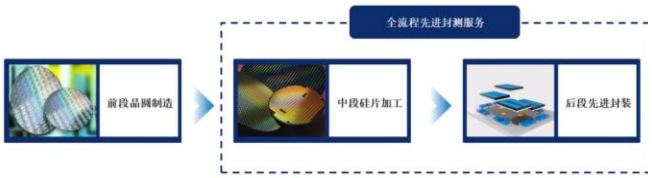
下载日志已记录，仅供内部参考

CPO 推动封装边界向光电异构集成延伸，公司相关产品已进入客户验证阶段。在 CPO 领域，公司依托 XDFOI 平台构建 PIC 与 EIC 异构集成以及光引擎与交换、运算 ASIC 的共封装能力，基于该平台开发的硅光引擎产品已完成客户样品交付并通过验证，目前正在封装集成、热管理及可靠性验证等环节与多家客户开展合作。相比传统先进封装，CPO 进一步引入 PIC、EIC、光引擎及光纤接口，对高密度异构集成、热管理、可靠性和测试能力提出更高要求，与公司现有先进封装技术平台具有较强协同性。我们认为，随着 CPO 由交换侧率先进入量产导入，并逐步向更广泛的 AI 计算互联场景延伸，公司封装业务有望由传统电子芯片封装进一步向光电异构集成拓展。

4.3 盛合晶微

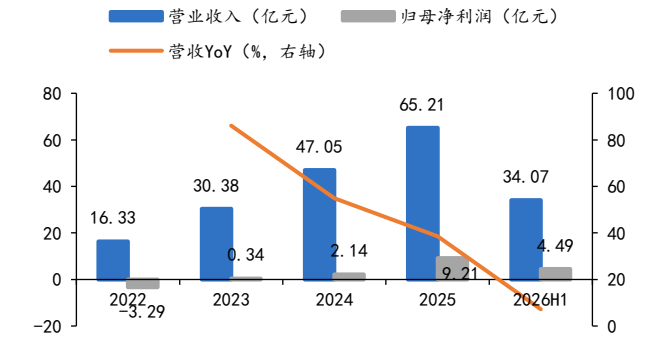
全球领先的集成电路晶圆级先进封测企业，三大业务协同发展。盛合晶微主要从事集成电路先进封装制造服务，围绕中段硅片加工、晶圆级封装及芯粒多芯片集成封装构建完整业务体系，产品主要面向高性能运算、人工智能、数据中心、自动驾驶、智能手机、消费电子、5G 通信等领域。**在中段硅片加工领域，**公司是中国大陆最早开展并实现 12 英寸 Bumping 量产的企业之一，也是第一家能够提供 14nm 先进制程 Bumping 服务的企业；**在晶圆级封装领域，**基于领先的中段硅片加工能力，公司快速实现了 12 英寸大尺寸晶圆级扇入型封装（WLCSP）的研发及产业化，目前已经规模量产 22nm 及以上制程产品；**在芯粒多芯片集成封装领域，**公司拥有可全面对标全球最领先企业的技术平台布局，尤其对于业界最主流的基于硅通孔中介层（TSV Interposer）的 2.5D 集成，公司是中国大陆量产最早、生产规模最大的企业之一。

图45: 盛合晶微主营业务及产业链位置



数据来源：公司公告，财通证券研究所

图46: 盛合晶微 2022-2026H1 营收与归母净利润

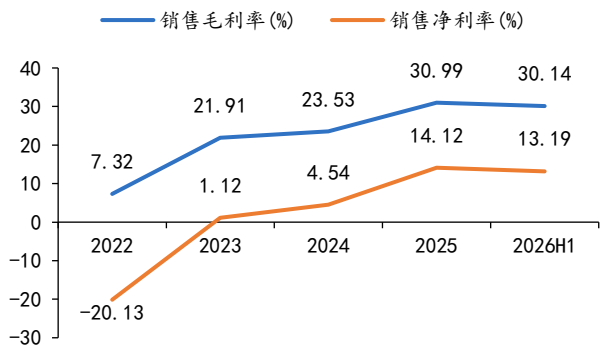


数据来源：iFinD，财通证券研究所

AI 及高性能计算需求推动业务增长，芯粒多芯片集成封装成为收入核心。2025 年公司实现营业收入 65.21 亿元，同比+38.59%；归母净利润 9.21 亿元，同比+330.84%，收入增长主要受高性能运算、智能手机、消费电子及网络通信等需求拉动，盈利能力则受益于业务规模扩大及高毛利率芯粒多芯片集成封装业务占比提升。进入 2026 年，公司经营规模保持增长，2026H1 实现营业收入 34.07 亿元，同比+7.20%；归母净利润 4.49 亿元，同比+3.33%。分业务看，中段硅片加工、晶圆级封装和芯粒多芯片集成封装收入分别同比+13.55%、+10.60%和+2.61%，其中芯粒多芯片集成封装收入占比达到 53.66%，成为公司最主要的收入来源。

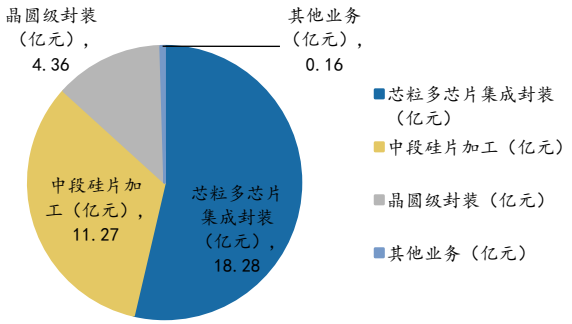
下载日志已记录，仅供内部参考

图47: 盛合晶微 2022-2026H1 销售毛利率与净利率



数据来源：iFinD，财通证券研究所

图48: 盛合晶微 2026H1 收入结构



数据来源：iFinD，财通证券研究所

CPO 推动先进封装向光电异构集成延伸，已启动 SmartPoser-CPO 技术开发。根据公司 2026 年半年报，公司现有 SmartPoser-Si、RDL、BD 及 3DIC 等平台已覆盖硅中介层、RDL、硅桥、微凸块及混合键合等关键先进封装技术，为进一步集成 PIC、EIC 等光电芯片提供技术基础。SmartPoser-CPO 光电合封项目目前处于开发阶段，预计总投资 1.91 亿元，阶段目标包括实现全流程可靠性通过及不同技术路线产品点亮；同期 SmartPoser-INTP 硅基载板平台同时面向 CPO 共封装光学等应用。随着 CPO 由技术验证向量产导入推进，公司有望依托既有 2.5D/3DIC 及硅基互连能力，进一步拓展光电异构封装市场。

4.4 罗博特科

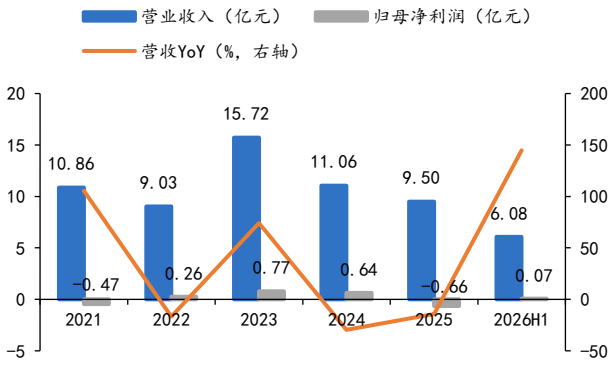
全球领先的高精密智能制造设备供应商，并购 ficonTEC 打开第二增长曲线。罗博特科是一家全球领先的高精密智能制造设备供应商，其自动化设备与智能工厂一站式解决方案，是制造光学和硅光器件，以及光伏电池的核心支撑。2025 年公司完成对德国 ficonTEC 的收购，进一步进入光电子及半导体自动化封装测试领域；ficonTEC 主要面向光子器件提供微组装及测试设备，覆盖硅光芯片、量子器件、光模块、激光雷达、大功率激光器、光学传感器、生物传感器的封装和测试等应用。公司光电子及半导体产品矩阵已经覆盖高速晶圆/晶粒/芯片测试设备、硅光模组及 CPO 模组测试设备，以及光子器件集成耦合、键合（Bond）超高精度贴片等设备，形成从精密组装、光学耦合到测试的自动化设备平台。

图49: 罗博特科主要产品与解决方案矩阵



数据来源：公司官网，财通证券研究所

图50: 罗博特科 2021-2026H1 营收与归母净利润

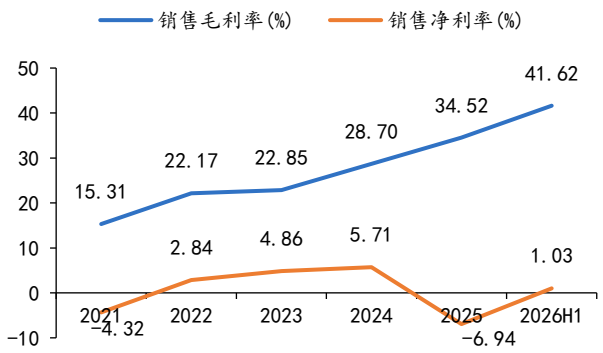


数据来源：iFinD，财通证券研究所

下载日志已记录，仅供内部参考

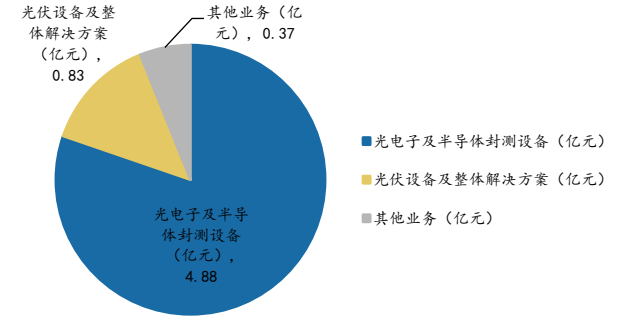
光电子及半导体业务快速放量，业务结构优化推动 2026H1 实现扭亏为盈。2025 年公司实现营业收入 9.50 亿元，同比-14.14%；归母净利润-0.66 亿元，较上年同期下降 204.00%，主要受光伏行业深度调整、下游资本开支收缩影响，其中光伏业务收入同比下降 56.25%，而并表后的光电子及半导体业务成为新的业绩支撑。进入 2026 年，公司业务结构加速切换，2026H1 实现营业收入 6.08 亿元，同比+144.82%；归母净利润 655.68 万元，实现扭亏为盈；经营活动现金流净额 2.33 亿元，同比明显改善。报告期内，光电子及半导体封测设备实现收入 4.88 亿元，同比大幅增长，占主营业务收入比重提升至 81.16%；该业务毛利率达到 42.91%，同比提升 8.14pct，主要受标准化量产设备占比提高、并购协同、规模效应及下游需求旺盛等因素推动，光电子及半导体业务已成为公司核心增长驱动力。

图51: 罗博特科 2021-2026H1 销售毛利率与净利率



数据来源：iFinD，财通证券研究所

图52: 罗博特科 2026H1 收入结构



数据来源：iFinD，财通证券研究所

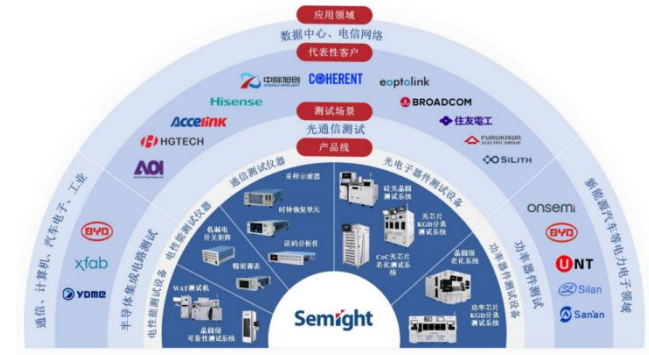
CPO 设备由开发验证进入量产订单阶段，自动化耦合与测试成为重要成长方向。CPO 规模制造需要在亚微米级精度下完成光学对准、光纤耦合、芯片贴装及多阶段测试，对设备精度、自动化程度和量产重复性提出更高要求。2025 年，ficonTEC 配合核心客户完成双面晶圆测试设备及晶粒测试设备的开发和验证；进入 2026 年，公司已相继取得上述设备的多笔量产化订单，部分订单已经完成交付及收入确认，CPO 设备由前期研发验证开始向实际量产需求兑现。2026 年半年报披露，公司光电子及半导体业务尚未确认收入的在手订单约 24.52 亿元，创历史新高；同时公司仍在持续推进硅光晶圆测试、光纤阵列装配以及 CPO ELS 标准化组装平台等研发项目。我们认为，公司凭借 ficonTEC 在全球光电子设备领域的客户、技术和量产经验，有望充分受益于 CPO 产业化带来的设备需求增长。

4.5 联讯仪器

国内领先的高端测试仪器设备企业，电子测量仪器与半导体测试设备双轮驱动。联讯仪器主要从事电子测量仪器和半导体测试设备的研发、制造、销售及服务，面向高速通信和半导体等领域提供高速率、高精度、高效率的核心测试仪器设备。公司电子测量仪器主要包括通信测试仪器和电性能测试仪器，其中通信测试产品覆盖采样示波器、时钟恢复单元、误码分析仪、光模块测试仪、快速波长计及高速线缆测试仪等，可满足 100G、400G、800G 及 1.6T 高速光模块的眼图、误码等测试需求；半导体测试设备则进一步覆盖光电子器件、功率器件及半导体电性能测试，已形成 CoC 光芯片老化测试系统、光芯片 KGD 分选测试系统、硅光晶圆测试系统、OE 芯片 KGD 分选测试系统、晶圆级老化系统及 WAT 测试机等产品矩阵，测试对象由传统光模块逐步向光芯片、硅光晶圆及裸 Die 延伸。

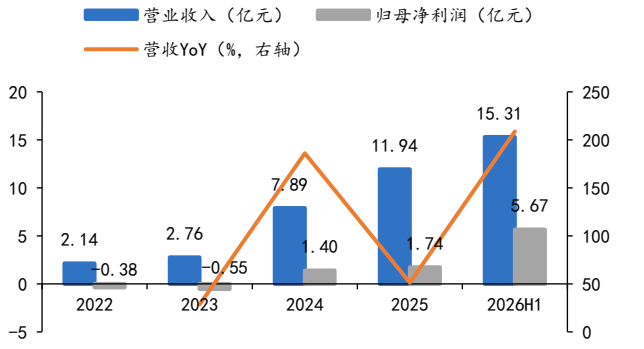
下载日志已记录，仅供内部参考

图53: 联讯仪器产品解决方案与代表性客户



数据来源：公司公告，财通证券研究所

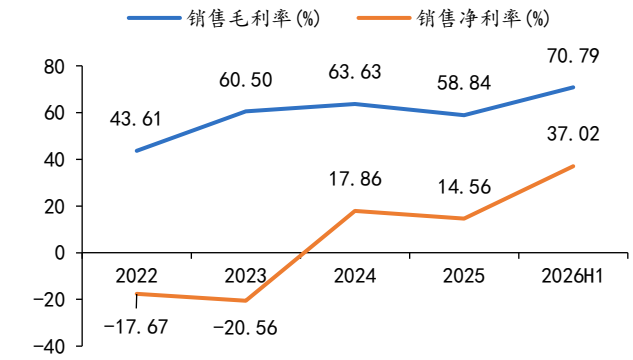
图54: 联讯仪器 2022-2026H1 营收与归母净利润



数据来源：iFinD，财通证券研究所

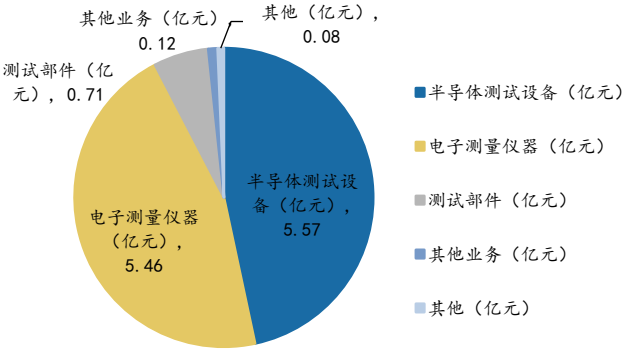
AI 算力需求带动光通信测试设备快速放量，2026H1 收入利润实现高速增长。2025 年公司实现营业收入 11.94 亿元，同比+51.41%；归母净利润 1.74 亿元，同比+23.60%。进入 2026 年，全球算力需求提升及数据中心建设加速进一步带动光模块、光芯片厂商扩产，2026H1 公司实现营业收入 15.31 亿元，同比+208.71%；归母净利润 5.67 亿元，同比+903.00%；经营活动现金流净额 5.48 亿元，由上年同期净流出转为大幅净流入。与此同时，公司高附加值测试产品持续放量，综合毛利率由 2025 年度的 58.84%提升至 2026H1 的 70.79%，盈利能力显著改善。公司上半年研发投入 2.50 亿元，同比+83.34%，并持续推进下一代高速通信测试仪器、CPO 测试及存储芯片测试等产品研发。

图55: 联讯仪器 2022-2026H1 销售毛利率与净利率



数据来源：iFinD，财通证券研究所

图56: 联讯仪器 2025 年收入结构



数据来源：iFinD，财通证券研究所

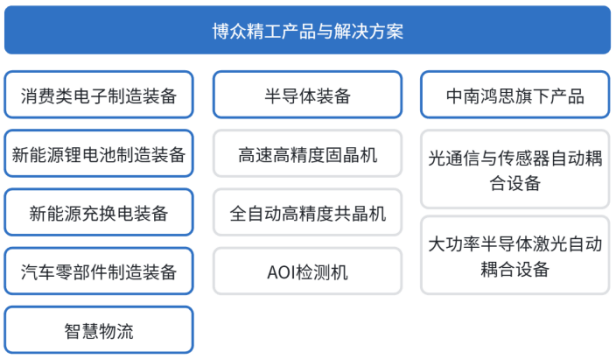
CPO 测试向光引擎及光电混合测试延伸，公司相关设备已实现收入。CPO 需要在晶圆、裸 Die、光引擎及最终系统等多个制造阶段增加光电测试插点，对高速信号处理、光学测量和精密运动控制能力提出更高要求。目前公司已布局光芯片裸 Die/CoC 测试和硅光 PIC 晶圆测试，面向 CPO/NPO 光引擎裸 Die 测试开发的 OE 芯片 KGD 分选测试系统已于 2026H1 实现收入，并持续与国内外知名 CPO 厂商开展对接合作；与此同时，公司拟进一步启动高速光电混合测试 ATE 项目，目前已初步完成技术预研，目标是将电学和光学测试集成至统一自动化平台，满足 CPO 全环节光电混合量产测试需求。我们认为，公司凭借硅光晶圆、光芯片 KGD 及 OE 芯片测试布局，有望成为国内 CPO 测试设备国产替代的重要参与者。

下载日志已记录，仅供内部参考

4.6 博众精工

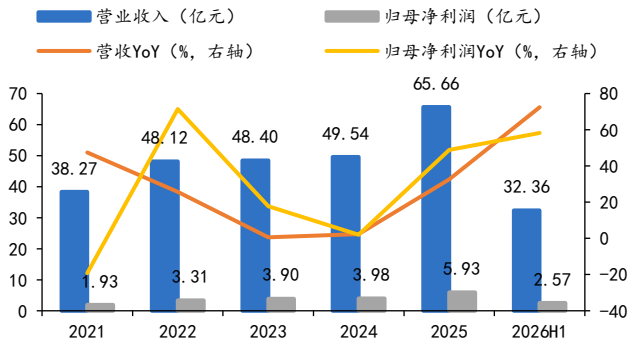
智能制造装备平台型企业，业务向半导体及光通信领域持续拓展。博众精工深耕智能制造装备领域，主要从事自动化设备、自动化柔性生产线及工装夹（治）具等产品的研发、设计、生产、销售和技术服务，并可为客户提供智能工厂整体解决方案。公司自动化设备的下游应用主要包括消费电子产品制造业、新能源汽车制造业、半导体制造业等。半导体领域，公司聚焦于开发满足先进封装工艺要求的固晶（包含共晶）和 AOI 检测设备，重点关注先进封装、光电子、AI 算力等领域；公司推出的全自动高精度共晶机已经在光通讯领域形成批量销售，并出口至海外。2026 年公司完成对中南鸿思的战略并购，进一步补齐光电子自动化耦合封装能力；中南鸿思已形成光通信与传感器件耦合封装、大功率半导体激光器耦合封装两大产品体系，覆盖 30 余款设备，累计交付超过 2,000 台（套），产品进一步覆盖 800G/1.6T 硅光模块、CPO/NPO、ELS 以及硅光芯片耦合测试等场景。

图57: 博众精工产品与解决方案矩阵



数据来源：公司官网，财通证券研究所

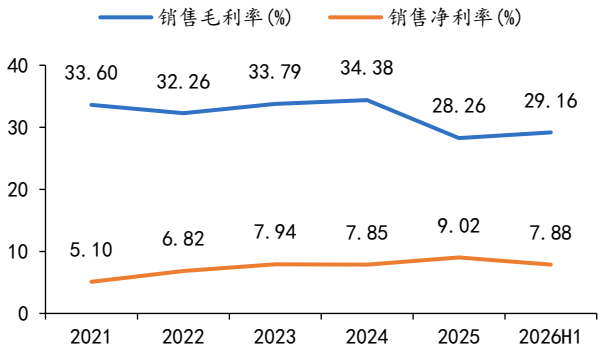
图58: 博众精工 2021-2026H1 营收与归母净利润



数据来源：iFinD，财通证券研究所

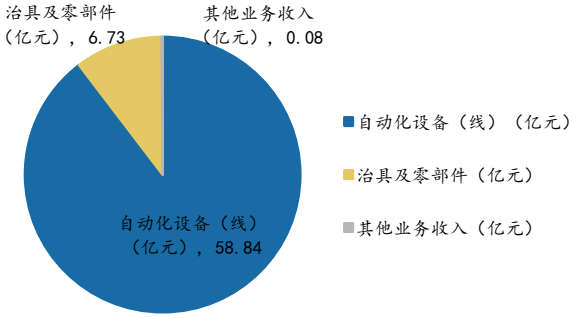
下游订单增长推动经营规模快速扩张，半导体业务开始贡献新的增长动能。2025 年公司实现营业收入 65.66 亿元，同比+32.53%；归母净利润 5.93 亿元，同比+48.91%，收入利润均保持较快增长。进入 2026 年，公司经营规模进一步扩张，2026H1 实现营业收入 32.36 亿元，同比+72.44%；归母净利润 2.57 亿元，同比+58.18%，主要受益于订单规模增长及投资收益增加。分业务看，2026H1 新能源业务收入 17.05 亿元，占比 52.68%；半导体业务收入 2.22 亿元，同比+519.45%，占收入比重提升至 6.86%，半导体业务进入加速放量阶段。

图59: 博众精工 2021-2026H1 销售毛利率与净利率



数据来源：iFinD，财通证券研究所

图60: 博众精工 2025 年收入结构



数据来源：iFinD，财通证券研究所

下载日志已记录，仅供内部参考

并购中南鸿思补齐光学耦合能力，公司向 CPO 光模块全流程自动化延伸。相比传统高速光模块，CPO 进一步提高 FAU 与 PIC 之间光学对准精度及多工序协同要求。并购中南鸿思后，公司将自身在共晶贴片、自动化测试和整线集成方面的能力，与中南鸿思的高精度光学耦合技术结合，形成“共晶贴片、高精度光学耦合、自动化测试、自动化装配”的完整工艺链路。在 800G/1.6T 高速光模块场景，公司已实现 PCBA、FA/Lens 自动上料以及加电、耦合、点胶固化、端面清洁检测等工序的自动化贯通；面向下一代 NPO/CPO 场景，公司披露，2026 年已获得客户 NPO 及 CPO OE 自动耦合设备订单，相关设备已完成设计并进入交付阶段。我们认为，随着 CPO 由验证向量产导入演进，公司有望依托中南鸿思的光学耦合技术进一步向光模块封装自动化整体解决方案延伸。

4.7 关注标的估值情况

建议重点关注光引擎与光连接、先进封装、自动化耦合、光电测试等价值量提升环节。**建议关注：天孚通信、长电科技、盛合晶微、罗博特科、博众精工、联讯仪器。**

表7: 关注标的估值情况

代码	公司	总市值（亿元）	归母净利润（亿元）				PE			
			2025A	2026E	2027E	2028E	2025A	2026E	2027E	2028E
300394.SZ	天孚通信	2,564	20.18	35.88	56.23	83.57	78	71	46	31
600584.SH	长电科技	1,120	15.70	22.09	28.58	34.28	42	51	39	33
688820.SH	盛合晶微	1,974	9.21	11.22	17.50	23.78	/	176	113	83
300757.SZ	罗博特科	897	-0.66	1.25	2.72	6.41	/	730	335	142
688097.SH	博众精工	177	5.92	8.00	10.54	13.27	28	22	17	13
688808.SH	联讯仪器	2,158	1.74	13.18	27.73	42.16	/	164	78	51

数据来源：iFinD，财通证券研究所；注：长电科技盈利预测采用财通证券研究所预测，2026E-2028E PE 根据 2026 年 10 月 8 日收盘总市值及对应年度预测归母净利润计算；其余公司盈利预测及 PE 采用 iFinD 一致预期，数据截止时间为 2026 年 10 月 8 日。

5 风险提示

AI 算力及高速光互联需求不及预期风险：CPO 需求增长主要受 AI 算力基础设施建设、GPU/XPU 集群扩张及高速网络升级驱动。若全球云厂商及 AI 基础设施资本开支放缓，AI 集群建设规模低于预期，或 800G、1.6T 及更高速率光互联需求增长不及预期，可能导致交换芯片、光模块及 CPO 相关产品需求放缓，影响产业链公司订单和业绩增长。

CPO 产业化进度不及预期风险：当前 CPO 仍处于由头部平台量产导入向规模部署演进阶段，不同厂商及应用场景产业化成熟度存在较大差异。若 Broadcom、NVIDIA 等头部平台量产爬坡、客户导入或后续规模部署节奏慢于预期，或 Scale-up 等新增应用场景商业化进度低于预期，可能影响 CPO 市场空间及封装、耦合、测试等相关需求释放。

CPO 良率及可靠性不及预期风险：CPO 需要在高价值 ASIC 周围集成 PIC、EIC、FAU 及光源等多类光电器件，对异构集成、亚微米级光学耦合、散热、封装翘曲及测试提出更高要求。若量产过程中封装良率、光学耦合一致性、长期可靠性或可维护性改善不及预期，可能推高制造和运维成本，并削弱 CPO 相较传统可插拔方案的系统 TCO 优势。

客户验证及订单转化不及预期风险：目前国内部分 CPO 产业链产品仍处于研发、样品、客户验证或量产导入阶段，包括硅光引擎、光电异构封装、自动耦合设备、光电测试设备及高功率 CW 光源等。若客户认证周期长于预期、产品验证进度不

下载日志已记录，仅供内部参考

及预期，或前期样品和设备订单未能顺利转化为批量订单及收入，可能影响相关公司的 CPO 业务贡献和业绩弹性。

光互联技术路线变化风险：高速光互联仍处于快速迭代阶段，可插拔光模块持续向 1.6T 及更高速率升级，同时 LPO、LRO、NPO、OBO 等技术路线也在持续演进。若传统可插拔方案在功耗、成本和信号完整性方面改善超预期，或其他技术路线凭借可维护性、成本等优势获得更广泛采用，可能延缓 CPO 在部分应用场景中的渗透速度。

行业竞争加剧及国产替代不及预期风险：CPO 涉及硅光芯片、先进封装、精密光学耦合、高端测试及激光器等多个技术壁垒较高的环节，海外厂商在技术积累、客户资源和量产经验方面仍具有较强优势。若海外龙头加快技术迭代和产能扩张，或国内厂商技术突破、客户导入及规模交付进度不及预期，可能影响国产产业链公司的市场份额提升及盈利能力改善。

下载日志已记录，仅供内部参考

信息披露

● 分析师承诺

作者具有中国证券业协会授予的证券投资咨询执业资格，并注册为证券分析师，具备专业胜任能力，保证报告所采用的数据均来自合规渠道，分析逻辑基于作者的职业理解。本报告清晰地反映了作者的研究观点，力求独立、客观和公正，结论不受任何第三方的授意或影响，作者也不会因本报告中的具体推荐意见或观点而直接或间接收到任何形式的补偿。

● 资质声明

财通证券股份有限公司具备中国证券监督管理委员会许可的证券投资咨询业务资格。

● 公司评级

以报告发布日后 6 个月内，证券相对于市场基准指数的涨跌幅为标准：
买入：相对同期相关证券市场代表性指数涨幅大于 10%；
增持：相对同期相关证券市场代表性指数涨幅在 5%～10%之间；
中性：相对同期相关证券市场代表性指数涨幅在-5%～5%之间；
减持：相对同期相关证券市场代表性指数涨幅小于-5%；
无评级：由于我们无法获取必要的资料，或者公司面临无法预见结果的重大不确定性事件，或者其他原因，致使我们无法给出明确的投资评级。
A 股市场代表性指数以沪深 300 指数为基准；中国香港市场代表性指数以恒生指数为基准；美国市场代表性指数以标普 500 指数为基准。

● 行业评级

以报告发布日后 6 个月内，行业相对于市场基准指数的涨跌幅为标准：
看好：相对表现优于同期相关证券市场代表性指数；
中性：相对表现与同期相关证券市场代表性指数持平；
看淡：相对表现弱于同期相关证券市场代表性指数。
A 股市场代表性指数以沪深 300 指数为基准；中国香港市场代表性指数以恒生指数为基准；美国市场代表性指数以标普 500 指数为基准。

● 免责声明

本报告仅供财通证券股份有限公司的客户使用。本公司不会因接收人收到本报告而视其为本公司的当然客户。
本报告的信息来源于已公开的资料，本公司不保证该等信息的准确性、完整性。本报告所载的资料、工具、意见及推测只提供给客户作参考之用，并非作为或被视为出售或购买证券或其他投资标的邀请或向他人作出邀请。
本报告所载的资料、意见及推测仅反映本公司于发布本报告当日的判断，本报告所指的证券或投资标的价格、价值及投资收入可能会波动。在不同时期，本公司可发出与本报告所载资料、意见及推测不一致的报告。
本公司通过信息隔离墙对可能存在利益冲突的业务部门或关联机构之间的信息流动进行控制。因此，客户应注意，在法律许可的情况下，本公司及其所属关联机构可能会持有报告中提到的公司所发行的证券或期权并进行证券或期权交易，也可能为这些公司提供或者争取提供投资银行、财务顾问或者金融产品等相关服务。在法律许可的情况下，本公司的员工可能担任本报告所提到的公司的董事。
本报告中所指的投资及服务可能不适合个别客户，不构成客户私人咨询建议。在任何情况下，本报告中的信息或所表述的意见均不构成对任何人的投资建议。在任何情况下，本公司不对任何人使用本报告中的任何内容所引致的任何损失负任何责任。
本报告仅作为客户作出投资决策和公司投资顾问为客户提供投资建议的参考。客户应当独立作出投资决策，而基于本报告作出任何投资决定或就本报告要求任何解释前应咨询所在证券机构投资顾问和服务人员的意见。
本报告的版权归本公司所有，未经书面许可，任何机构和个人不得以任何形式翻版、复制、发表或引用，或再次分发给任何其他人，或以任何侵犯本公司版权的其他方式使用。