下载日志已记录，仅供内部参考

电子行业深度报告

玻璃基板：以透明之芯，拓工艺之界

2026 年 10 月 09 日

- **AI 算力需求推动先进封装升级，玻璃基板有望成为下一代封装核心材料。**随着生成式 AI、高性能计算等应用快速发展，芯片集成度、互连密度以及封装尺寸持续提升，传统有机载板和硅中介层逐渐面临尺寸、热稳定性、高频信号传输等方面的瓶颈。玻璃基板凭借低热膨胀系数、高平整度、低介电损耗以及支持大尺寸面板级制造等优势，有望成为突破先进封装瓶颈的重要方案。当前玻璃基板主要应用方向包括玻璃中介层、玻璃芯板、HBM 临时载板以及 CPO 光电共封装平台，其中玻璃中介层和 CPO 光互连具备较高成长潜力。
- **先进封装需求持续扩张，玻璃基板产业链有望迎来多环节价值量提升。**当前 AI 芯片主要采用 2.5D/3D 先进封装以及 Chiplet 异构集成方案，HBM 堆叠数量提升推动中介层面积持续扩大，进一步提升对高性能封装材料的需求。玻璃基板产业链覆盖玻璃材料、TGV 通孔制造、RDL 再布线、光学结构以及检测设备等环节，其中玻璃原片、TGV/RDL 工艺和 AOI 检测是产业化关键环节。随着技术成熟和客户验证推进，产业链价值量有望沿材料、制造、设备及检测环节逐步释放。
- **海外龙头加速布局，国内企业积极推进技术突破，产业化进程仍处于早期阶段，国产化成长可期。**海外方面，英特尔、康宁、三星等企业围绕玻璃基板、玻璃芯板及 CPO 光互连持续布局，推动玻璃材料从传统封装载体向光电融合平台延伸。国内企业围绕玻璃基封装载板、TGV 加工以及特种玻璃材料开展研发和验证，部分企业已进入送样测试或小规模应用阶段。考虑到玻璃基板仍面临良率、设备工艺、客户导入周期等挑战，产业规模化放量仍需持续观察。
- **投资建议：**玻璃基板凭借低热膨胀系数、高平整度、低介电损耗及大尺寸面板级制造等优势，有望突破传统有机载板与硅中介层在热稳定性、高频传输和封装尺寸方面的瓶颈，成为下一代 AI 算力芯片先进封装的核心材料。当前产业链仍处于产业化早期，我们认为需要重点关注玻璃原片环节、玻璃基板加工及设备环节、玻璃基板 AOI 检测环节等。**建议关注：1）加工环节：**京东方 A、TCL 科技、沃格光电、蓝思科技、水晶光电、惠科股份、蓝特光学、舜宇光学；**2）设备环节：**帝尔激光、大族激光、东威科技、微导纳米、华工科技、盛美上海、德龙激光、芯碁微装、三孚新科；**3）材料环节：**凯盛科技、彩虹股份、旗滨集团、戈碧迦、天承科技、鼎龙股份、三孚新科、美迪凯；**4）封测环节：**通富微电、长电科技等。
- **风险提示：**玻璃基板技术研发及产业化进程不及预期；先进封装需求增长不及预期；下游客户验证及商业化导入进度不及预期；行业竞争加剧。

重点公司盈利预测、估值与评级

代码	简称	股价（元）	EPS（元）			PE（X）			评级
			2026E	2027E	2028E	2026E	2027E	2028E	
000725	京东方 A	5.5	0.25	0.32	0.45	22	17	12	推荐
000100	TCL 科技	4.63	0.34	0.46	0.60	14	10	8	推荐

资料来源：Ifind，国联民生证券研究所预测；

（注：股价为 2026 年 10 月 8 日收盘价）

推荐　维持评级



分析师　薛宏伟
执业证书：S0590526060002
邮箱：xuehongwei@glms.com.cn
研究助理　李静远
执业证书：S0590126070007
邮箱：lijingyuan@glms.com.cn

相对走势



相关研究

1. 半导体超级周期系列：长存 IPO：国产供应链有望迈入兑现期-2026/09/22
2. 电子行业点评：从 1.6T 光模块到 NPO，光通信加速散热方案系统升级-2026/09/20
3. 电子行业专题报告：ABF 膜：先进封装核心材料受益于 AI 服务器放量-2026/09/18
4. 半导体行业点评：物理 AI 加速落地-2026/09/01
5. 电子行业事件点评：玻璃基板有望迎来新催化：AI 算力驱动下一代先进封装变革-2026/08/31

下载日志已记录，仅供内部参考

投资聚焦

研究背景

AI 算力需求正推动先进封装向更大尺寸、更高集成度方向加速演进，传统有机基板与硅中介层在热稳定性、高频信号传输及封装尺寸方面的物理瓶颈日益凸显。玻璃基板凭借低热膨胀系数、高平整度、低介电损耗及支持大尺寸面板级制造等独特优势，有望成为突破下一代先进封装瓶颈的核心材料方案。本报告系统梳理玻璃基板的应用场景、技术路线及产业化节奏，为投资者把握这一新兴赛道提供前瞻性研判。

区别于市场的观点/方法

本报告系统拆解玻璃基板不同落地场景及产业进展节奏，通过对不同技术路线及落地场景的差异化分析，我们认为玻璃中介层与 CPO 玻璃基平台在量产潜力方面具备相对优势。此外，本报告对产业链三大良率卡点（玻璃原片配方壁垒、TGV/RDL 全流程稳定性、AOI 光学检测精度）进行了深度拆解，为产业链国产化突破提供了参考路径。

近期催化

英特尔于 2026 年展示整合 EMIB 技术的厚芯玻璃基板样品并与蓝思科技达成战略合作；台积电 CoPoS 面板级封装规格确定为 310×310mm，计划 2027 年试产、2028 年下半年量产；康宁推出 GlassBridge 技术概念并在 OFC 2026 展示相关方案，持续拓展玻璃材料在 CPO 光互连中的应用边界。

结论与建议

玻璃基板凭借低热膨胀系数、高平整度、低介电损耗及支持大尺寸面板级制造等独特优势，正成为突破传统有机载板和硅中介层物理瓶颈的关键材料。在 AI 算力需求增长推动下，先进封装向更大尺寸、更高集成度加速演进，玻璃基板有望从玻璃中介层、玻璃芯板到 CPO 光电共封装平台等多场景渗透。

建议根据产业链主要卡点，沿三大环节布局：一是玻璃原片环节，具备玻璃配方、熔制成型及热膨胀系数调控能力的企业将率先受益；二是玻璃基板加工及设备环节，掌握 TGV 通孔制造、RDL 精细布线和面板级封装工艺的厂商具备核心竞争力；三是 AOI 光学检测环节。

下载日志已记录，仅供内部参考

建议关注：1）加工环节：京东方 A、TCL 科技、沃格光电、蓝思科技、水晶光电、惠科股份、蓝特光学、舜宇光学；**2）设备环节：**帝尔激光、大族激光、东威科技、微导纳米、华工科技、盛美上海、德龙激光、芯碁微装、三孚新科；**3）材料环节：**凯盛科技、彩虹股份、旗滨集团、戈碧迦、天承科技、鼎龙股份、三孚新科、美迪凯；**4）封测环节：**通富微电、长电科技等。

下载日志已记录，仅供内部参考

目录

1 先进封装发展历程复盘：小型化&集成化 5
1.1 历史复盘：半导体封装技术持续演进，先进封装成为提升芯片性能的重要路径 5
1.2 全球先进封装主流技术&竞争格局梳理 9
2 玻璃基板有望成为下一代先进封装核心方案 17
2.1 传统硅中介层与有机载板面临瓶颈，玻璃基板破局在即 17
2.2 从中介层到光电平台：玻璃基板的多种应用潜力 20
2.3 GlassBridge：玻璃桥开启 CPO 光互连新路径 25
3 玻璃基板产业链拆分及良率主要卡点 28
3.1 玻璃基板产业链覆盖材料、制造及下游应用环节 28
3.2 卡点 1：玻璃原片技术壁垒 29
3.3 卡点 2：TGV & RDL 环节 31
3.4 卡点 3：AOI 光学检测环节 33
4 产业化进程：海外厂商产业化进展较快，国内企业加速追赶 35
4.1 海外：头部企业的布局&量产节奏 35
4.2 国内：国内头部企业的布局&量产节奏 39
5 投资建议 44
6 风险提示 45
插图目录 46
表格目录 47

下载日志已记录，仅供内部参考

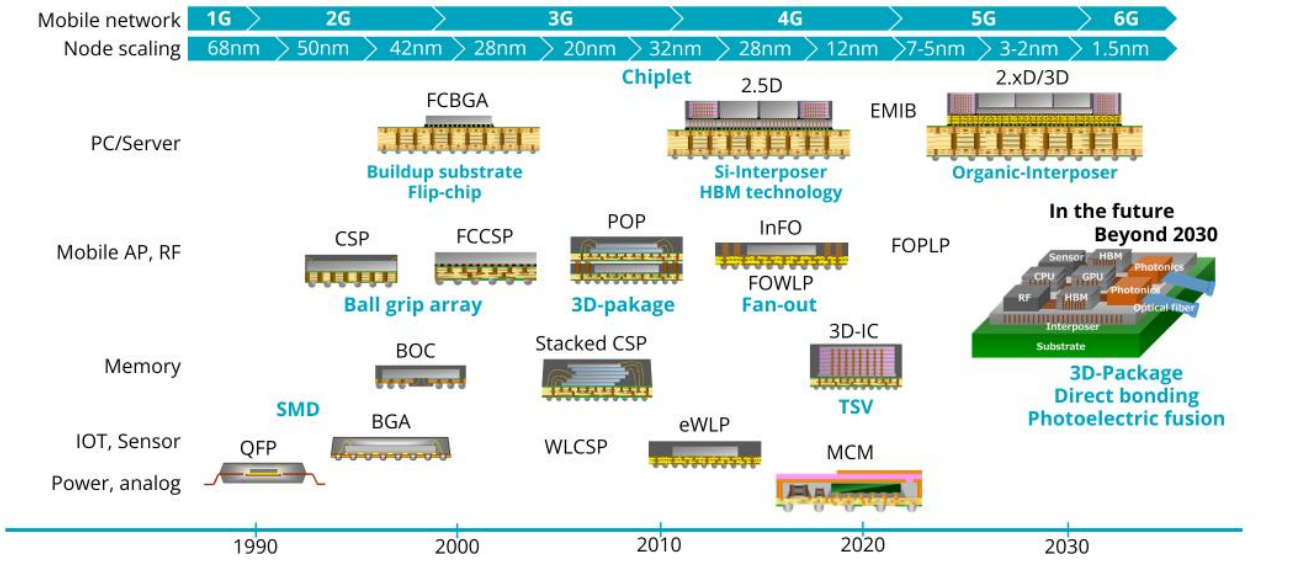
1 先进封装发展历程复盘：小型化&集成化

1.1 历史复盘：半导体封装技术持续演进，先进封装成为提升芯片性能的重要路径

半导体封装技术的发展围绕提升芯片集成密度以及满足电子设备小型化需求展开。随着芯片性能提升和电子产品轻薄化发展，封装技术逐渐由早期的芯片保护和电气连接功能，演变为提升系统性能的重要技术环节，并经历了从传统封装、高密度封装到先进封装的持续演进过程。

20 世纪 60 年代至 90 年代，DIP（Dual Inline Package，双列直插式封装）、QFP（Quad Flat Package，方形扁平封装）等传统封装技术成为主流，主要承担芯片保护以及芯片与外部电路连接等基础功能。但随着便携式设备向小型化和高速化发展，传统引线框架封装的引脚间距不断缩小，端子变形和短路风险随之增加，逐渐难以满足高密度集成需求。20 世纪 90 年代末至 2000 年代，BGA（Ball Grid Array，球栅阵列封装）、CSP（Chip Scale Package，芯片级封装）等高密度封装技术逐渐普及，推动封装连接端子由封装四周布置，逐步转向封装底部的面阵列布置。

图1：先进封装历史发展趋势



资料来源：Resonac，国联民生证券研究所

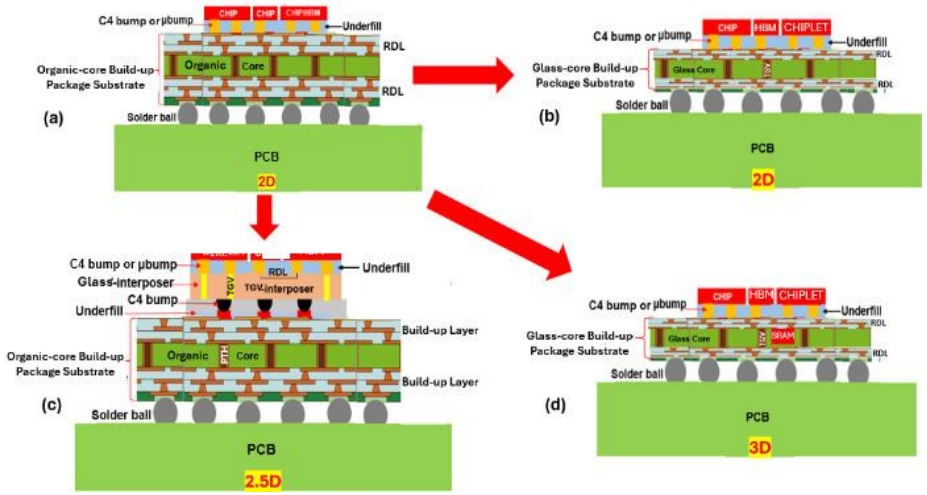
进入 21 世纪后，随着以手机为代表的电子设备向多功能化发展，系统级封装（SiP，System-in-Package）逐步受到重视，通过在单一封装内集成多种功能提升系统集成度。此阶段，堆叠式芯片级封装（Stacked CSP）开始应用，多颗芯片通过错位堆叠或间隔层实现垂直集成，主要用于存储器，以缩小封装尺寸并提高容量。2000 年代后期，层叠封装（PoP，Package-on-Package）逐步兴起，通过

下载日志已记录，仅供内部参考

将存储器堆叠于处理器之上，成为智能手机高密度集成的重要方案。封装由此逐步从芯片保护与连接环节，发展为支持系统小型化和性能提升的重要平台。

进入 2010 年代，市场对更薄封装、更高性能和更低功耗的要求持续提升，推动先进封装技术快速发展。扇出型（fan-out）封装通过重布线层将芯片端子向外扩展，硅通孔（TSV，Through-Silicon Via）则以较短路径连接垂直堆叠芯片，微凸点高密度互连技术也逐步进入实用阶段。**2010 年代中期以来**，随着超级计算和深度学习发展，处理器与存储器之间的数据的传输速度逐渐成为系统性能瓶颈，推动同一封装内处理器与大容量存储器之间宽带互连需求上升。2.5D 封装通过硅中介层实现高密度连接，并与 3D 封装共同成为现代计算基础设施的重要技术。**进入 2020 年代，**生成式人工智能快速发展进一步推动 2.5D 和 3D 先进封装应用扩展。

图2：先进封装向 2.5D 3D 发展



资料来源：John H. Lau et al., Journal of Microelectronics and Electronic Packaging，国联民生证券研究所

随着芯片性能需求不断提升，先进封装逐渐成为提升芯片集成度和系统性能的重要路径。相比传统封装，先进封装通过提升芯片间互联密度，实现多芯片集成和系统级性能优化。**目前，先进封装技术主要围绕 2.5D/3D 封装、晶圆级封装（Fan-in/Fan-out）以及系统级封装（SiP）等方向持续发展。**

（1）向 2.5D 和 3D 封装发展

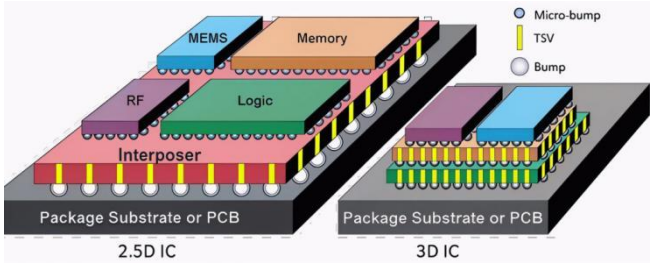
2.5D 封装主要通过引入中介层作为芯片之间的连接桥梁，将两个或多个裸芯片并列放置于共同的中介层上，实现高密度的芯片间互联。中介层可采用硅、有机聚合物、玻璃或层压材料，并通过微米级布线建立芯粒之间的连接。目前，2.5D 封装已广泛应用于高性能计算领域，例如 TSMC CoWoS 技术通过硅中介层实现 SoC 与 HBM 等高带宽存储器的集成，为 AI 和 HPC 应用提供高性能封装方案。

3D 封装则进一步向垂直集成方向发展，将多个芯粒在垂直方向进行堆叠，形成三维系统级芯片。根据具体集成方式，堆叠芯片可通过硅通孔（TSV，Through-

下载日志已记录，仅供内部参考

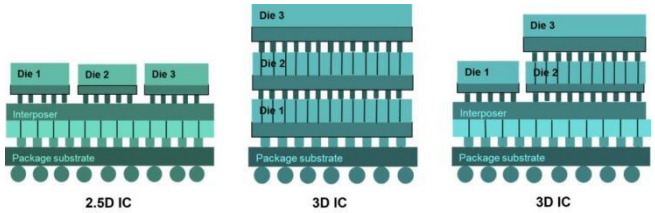
Silicon Via）、微凸点或混合键合等技术实现互连。相较于平面集成方式，3D 封装可在单位面积内集成更多功能，并缩短处理器与存储器之间的连接路径，有助于提升系统集成度和数据的传输效率。同时，不同功能芯片可采用更适合的工艺技术进行异构集成，以满足复杂系统对功能多样化和定制化的需求。

图3：2.5D 3D 封装三维图



资料来源：Siemens，国联民生证券研究所

图4：2.5D 3D 封装截面图



资料来源：Siemens，国联民生证券研究所

（2）Fan-in 与 Fan-out 技术发展

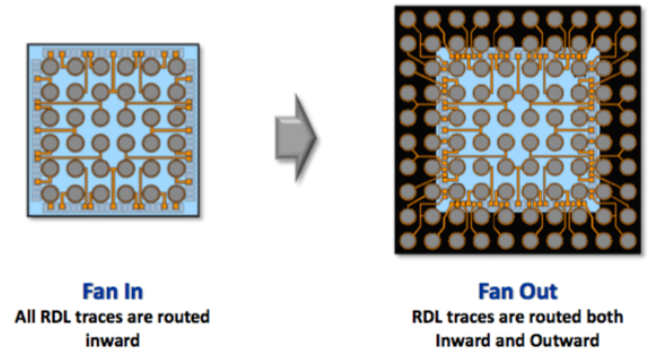
随着移动终端对高性能、低功耗、薄型化和小型化封装的需求提升，晶圆级封装 (Wafer Level Packaging，WLP) 逐步发展。**WLP 主要包括芯片级封装 (CSP) 和 Fan-out 两类，其中 CSP 有时也被称为 Fan-in。**Fan-in 与 Fan-out 的重要区别之一在于重布线层（Redistribution Layer，RDL）的布线方式。RDL 是封装内部用于实现电气连接的金属线路，其线宽和线距决定了互连布线能力。

Fan-in 封装中，RDL 线路主要向芯片内部布设，因此可用布线面积受到芯片尺寸限制。随着 I/O 数量增加，Fan-in 的扩展能力逐渐受限，通常在约 200 个 I/O 和 0.6 毫米封装厚度附近面临进一步扩展限制。

Fan-out 封装则可将 RDL 线路同时向芯片内部和外部延伸，从而扩大封装的可用布线面积，并支持更多 I/O 连接和更薄的封装结构。相较 Fan-in，Fan-out 通过扩大 RDL 布线范围，提升了封装的 I/O 扩展能力，更适合对小尺寸、薄型化和较高互连能力有要求的应用。

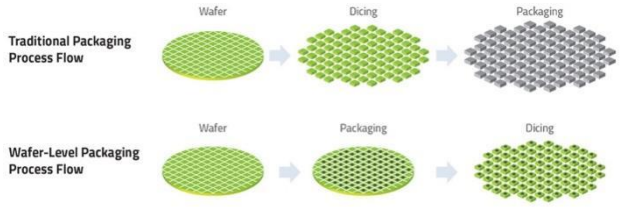
下载日志已记录，仅供内部参考

图5：扇入型&扇出型封装对比



资料来源：Semiconductor Engineering，国联民生证券研究所

图6：WLP 晶圆级封装流程



资料来源：Semiconductor Engineering，国联民生证券研究所

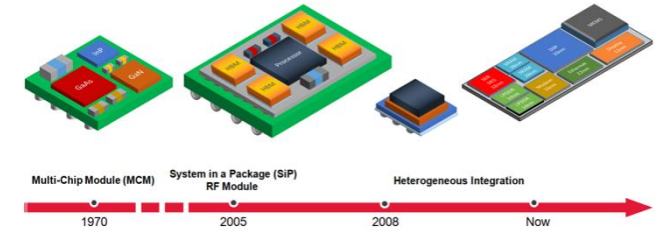
（3）SiP 与 SoC 系统集成路线

随着芯片功能集成需求不断提升，系统级集成逐步形成单芯片集成与多芯片封装集成两类路径，**分别以 SoC（System on Chip）和 SiP（System in Package）为代表。**

SoC 将系统功能集成于单颗芯片中，但随着集成功能增加，也面临成本上升和设计复杂度提高等挑战。**SiP 则通过封装或模块形式，将一颗或多颗芯片以及其他有源、无源器件集成在一起，形成完整的电子系统或子系统。**SiP 可将不同功能的芯片和器件集成于同一封装或模块内，并采用芯片堆叠或封装堆叠等方式实现系统集成。以 ASE 为例，其 SiP 解决方案可结合倒装芯片、晶圆级封装、扇出封装、2.5D/3D 及嵌入式芯片封装等技术，实现处理器、存储器、传感器及其他器件的协同集成，主要面向移动终端、物联网、高性能计算、汽车电子和人工智能等应用。

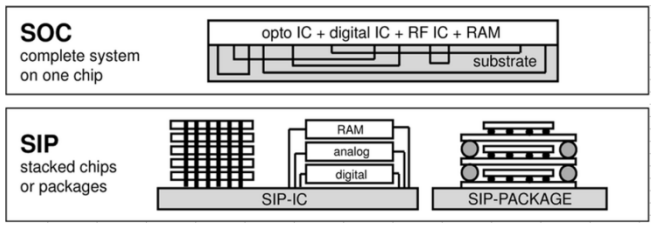
整体来看，SoC 强调将完整系统集中于单颗芯片内，SiP 则通过多颗芯片或封装的组合、并列及堆叠实现系统级集成，在器件选择和集成方式方面具有更高的灵活性。

图7：先进封装从 MCM 发展至 SIP



资料来源：SemiWiki，国联民生证券研究所

图8：Soc&SiP 区别



资料来源：ResearchGate，国联民生证券研究所

下载日志已记录，仅供内部参考

1.2 全球先进封装主流技术&竞争格局梳理

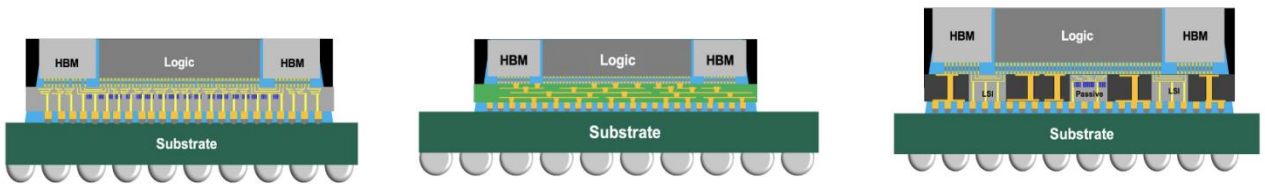
1.2.1 全球主要晶圆厂先进封装技术路线对比：台积电、三星、Intel 差异化布局

随着 AI、高性能计算等应用对于算力、带宽以及能效需求持续提升，先进封装逐渐成为突破传统制程微缩瓶颈的重要技术路径。**目前，全球主要晶圆厂围绕 2.5D 封装、3D 封装以及异构集成技术持续布局，并形成了各具特色的技术路线。**其中，台积电依托 3D Fabric 平台推出 CoWoS 和 SoIC 系列技术，覆盖 2.5D 与 3D 先进封装需求；三星围绕 Cube 技术布局 3D IC 封装方案，通过芯片垂直堆叠提升集成密度；Intel 则通过 EMIB 和 Foveros 技术构建先进封装体系，推动多芯片异构集成发展。

（1）台积电：CoWoS 与 SoIC 构建 2.5D/3D 先进封装体系

台积电 CoWoS 是面向高性能计算（HPC）和人工智能产品的 2.5D 先进封装技术。通过在同一封装内集成多个 SoC 与高带宽存储器（HBM）堆叠，CoWoS 可提升计算性能和存储带宽。**根据中介层结构和互连方式不同，CoWoS 主要包括 CoWoS-S、CoWoS-R 和 CoWoS-L 三类方案。**

图9：台积电 CoWoS-S、CoWoS-R 与 CoWoS-L 封装架构对比



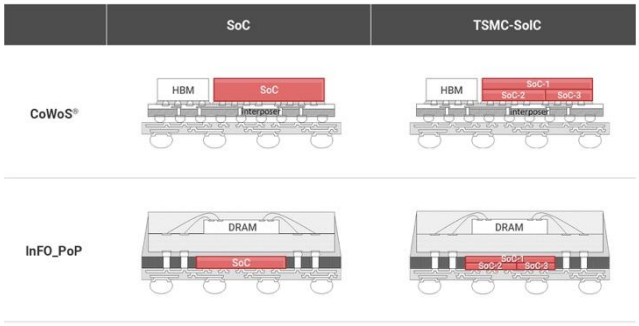
资料来源：台积电官网，国联民生证券研究所

CoWoS-S 采用大面积硅中介层进行晶圆级系统集成，可提供高密度互连，并在硅中介层上集成逻辑芯粒及 HBM 堆叠，主要面向超高性能计算应用。该方案自 2012 年起进入量产，目前硅中介层尺寸最高可达约 3.3 倍光罩面积。**CoWoS-R** 采用重布线层（RDL）中介层实现 SoC 和 HBM 之间的互连及异构集成，并已于 2023 年进入量产。其 RDL 中介层由聚合物和铜走线构成，具有一定柔性，可增强 C4 连接完整性，并支持封装尺寸扩展，以满足更复杂的功能需求。**CoWoS-L** 则通过结合 RDL 中介层、高密度局部硅互连（LSI）、嵌入式深沟槽电容（eDTC）及多种嵌入式芯片，支持尺寸更大的 HPC 产品。其 LSI 可通过多层亚微米铜线实现高密度芯片间互连，并支持 SoC 与 SoC、SoC 与芯粒（chiplet）以及 SoC 与 HBM 等多种连接方式。台积电首个 3.5 倍光罩尺寸的 CoWoS-L 已于 2024 年进入量产，并持续扩大中介层尺寸，以集成更多硅芯片和存储器，满足 AI 计算对更高封装性能的需求。

下载日志已记录，仅供内部参考

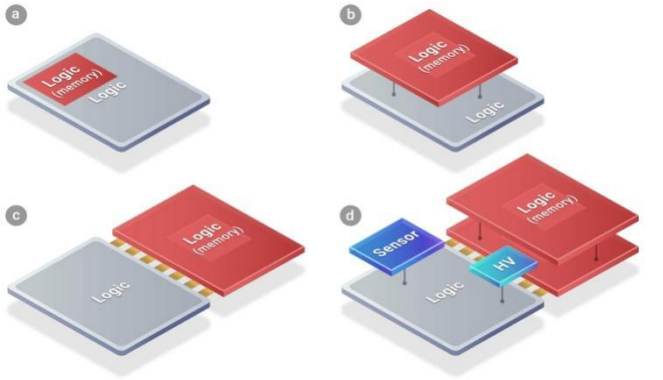
除 CoWoS 外，台积电进一步布局 3D 封装技术 SoIC，推动先进封装由二维互联向垂直集成发展。SoIC 可集成不同尺寸、功能和工艺节点的芯粒，并通过高密度芯片间互连实现更小封装尺寸、更高带宽和更低功耗。该技术可进一步与 CoWoS 和 InFO 结合，用于 HPC、AI 及移动应用。

图10：台积电 SoC 与 SoIC 集成方案对比



资料来源：台积电官网，国联民生证券研究所

图11：台积电 SoIC 芯粒拆分与集成示意图

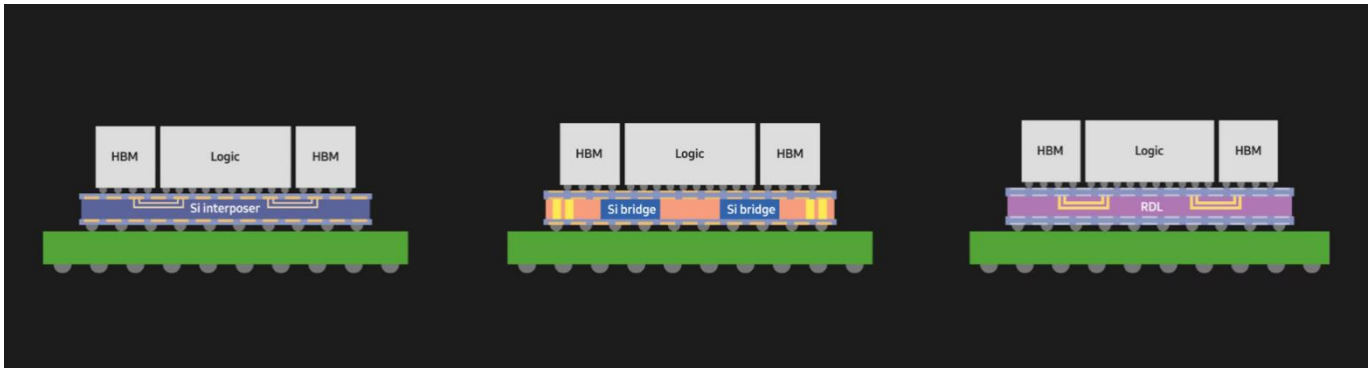


资料来源：台积电官网，国联民生证券研究所

（2）三星：围绕 2.5D 与 3D 异构集成持续推进先进封装布局

三星围绕横向与垂直异构集成持续推进先进封装布局。**横向集成方面，三星推出 2.5D Cube-S、2.3D Cube-E 和 2.3D Cube-R 等方案，通过不同类型中介层实现逻辑芯片与高带宽存储器（HBM）之间的高密度互联。**2.5D Cube-S 采用硅中介层（Silicon Interposer），将逻辑芯片与 HBM 横向放置于同一封装中，可形成高带宽、低延迟的数据通路，并提升存储密度和散热效率，适用于高性能计算场景。2.3D Cube-E 采用嵌入式硅桥（Silicon Bridge），通过较大尺寸中介层实现不同类型芯片的横向集成，在保持高互联密度的同时提升成本效率。2.3D Cube-R 则采用基于 PLP/WLP 技术的有机 RDL 中介层方案，可支持多芯片集成和更多 I/O，并兼顾信号完整性、连接可靠性及封装尺寸优势。

图12：三星 Cube-S、Cube-E 与 Cube-R 先进封装架构对比



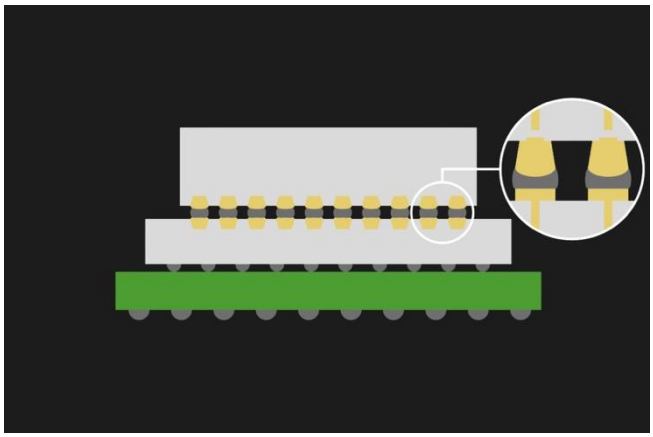
资料来源：三星半导体官网，国联民生证券研究所

随着 AI 和高性能计算对于计算密度及数据之间传输效率要求不断提升，三星

下载日志已记录，仅供内部参考

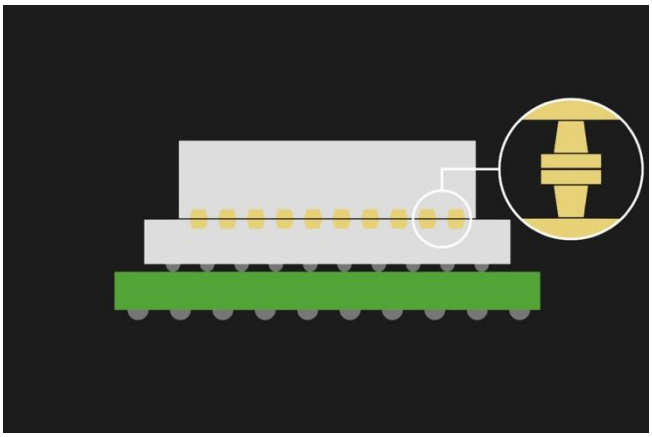
进一步向 3D 封装方向推进。**垂直集成方面，三星推出 3D Cube-T 和 3D Cube-H 方案，通过芯片垂直堆叠实现更高集成密度。**Cube-T 采用硅通孔（Through Silicon Via）实现芯片对准，并通过热压键合（Thermal Compression Bonding）完成芯片间连接，可提升堆叠密度、带宽和功耗表现，面向下一代高性能计算应用。Cube-H 则采用 TSV 与混合铜-铜（Hybrid Cu-Cu）互连技术，可实现更短的垂直信号路径和更高的晶体管密度，适用于高集成度设计和高性能计算应用。

图13：3D Cube-T 展示



资料来源：三星半导体官网，国联民生证券研究所

图14：3D Cube-H 展示



资料来源：三星半导体官网，国联民生证券研究所

（3）Intel: EMIB 与 Foveros 推动异构集成发展

Intel 围绕 EMIB 与 Foveros 持续布局先进封装技术，形成覆盖 2.5D 横向互连、3D 垂直堆叠及 3.5D 组合集成的技术体系。其中，EMIB（Embedded Multi-die Interconnect Bridge）是一种 2.5D 嵌入式桥接方案，可用于逻辑芯片之间以及逻辑芯片与高带宽存储器（HBM）之间的封装集成，为多芯粒系统提供高带宽互连。

图15：英特尔 EMIB 3.5D



资料来源：英特尔官网，国联民生证券研究所

图16：英特尔 Foveros-S 2.5D



资料来源：英特尔官网，国联民生证券研究所

除 EMIB 外，Intel 进一步发展 Foveros 系列 3D 封装技术。其中，Foveros-S 和 Foveros-R 主要面向 2.5D 异构集成场景。Foveros-S 采用硅中介层方案，适

下载日志已记录，仅供内部参考

用于包含多个顶层芯粒的方案；Foveros-R 则采用 RDL（Redistribution Layer）中介层实现芯粒间异构集成，主要面向客户端及成本敏感型应用，并适合多颗顶层芯粒带来复杂功能需求的方案。在 3D 封装方向，Foveros Direct 3D 将芯粒垂直堆叠于有源基底裸片之上，并采用铜—铜混合键合界面，实现高密度、低电阻的芯粒间互连，具备超高带宽和低功耗特征，可应用于客户端及数据中心。

在更高阶的异构集成方向，**Intel 通过将 EMIB 横向互联与 Foveros 垂直堆叠技术结合**，实现二维与三维集成能力的协同。该方案能够支持不同类型芯粒在同一封装内进行组合，为未来复杂异构计算系统提供更高的集成灵活性。目前，EMIB 3.5D 已应用于 Intel Data Center GPU Max Series SoC，该产品集成超过 1000 亿个晶体管、47 个主动式晶粒（active tiles），并采用 5 个制程节点，体现了 EMIB 3.5D 在复杂异构集成产品中的量产应用能力。

表1：英特尔 EMIB 与 Foveros 系列先进封装技术对比

技术名称	类型	核心特点	适用场景	量产/应用状态
EMIB 2.5D	2.5D	2.5D 嵌入式桥接方案，可用于逻辑芯片之间及逻辑芯片与 HBM 之间的封装集成	逻辑芯片互连、逻辑芯片与 HBM 集成	已实现量产应用
Foveros-S 2.5D	2.5D	采用硅中介层连接多个芯粒；支持异构芯片集成	客户端应用、多顶层芯粒方案	自 2019 年起采用有源基底裸片量产
Foveros-R 2.5D	2.5D	基于 RDL 中介层，实现灵活芯粒互联；具备成本优势	客户端及成本敏感型应用，多顶层芯粒复杂功能方案	预计 2027 年具备量产条件
Foveros Direct 3D	3D	采用混合键合技术，实现芯粒间直接连接；提升互联密度并降低功耗	客户端及数据中心应用	已支持先进封装产品开发
EMIB 3.5D	3.5D	融合 EMIB 横向互联与 Foveros 3D 堆叠，实现多维度异构集成	灵活异构系统、单封装内多个 3D 堆叠方案	已实现量产应用

资料来源：英特尔官网，国联民生证券研究所整理

1.2.2 全球先进封装的竞争格局

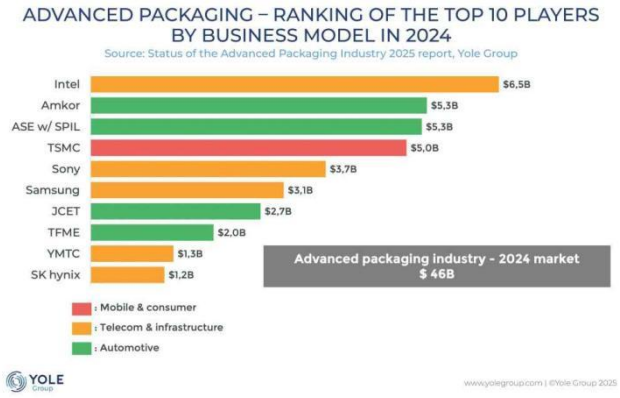
随着 AI、高性能计算（HPC）以及 Chiplet 架构快速发展，先进封装逐渐成为突破传统制程微缩瓶颈、提升芯片集成度与系统性能的重要技术路径。根据 Yole Group 发布的《Status of the Advanced Packaging Industry 2025》，**全球先进封装市场规模在 2024 年达到约 460 亿美元，同比增长 19%，预计到 2030 年市场规模将超过 794 亿美元，2024 年至 2030 年复合增长率达到 9.5%。**其中，AI 加速器、GPU 以及高性能计算需求成为推动先进封装市场持续增长的重要驱动力。

从竞争格局来看，全球先进封装产业已形成由 IDM 厂商、OSAT 厂商以及晶圆代工企业共同参与的多元化竞争格局。**根据 Yole Group 数据，2024 年全球先进封装市场规模约 460 亿美元，其中 Intel 先进封装业务收入约 65 亿美元，位居行业第一，对应市场份额约 14%；Amkor 和 ASE（含 SPIL）先进封装收入均约 53 亿美元，对应市场份额约 12%；台积电先进封装收入约 50 亿美元，对应市场份额约 11%，位列全球主要参与者。**此外，Sony、Samsung、JCET 等企业亦凭

下载日志已记录，仅供内部参考

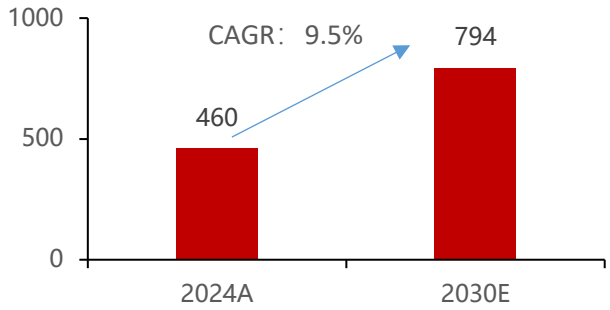
借存储以及先进封装技术布局，在全球先进封装市场中占据重要地位。

图17：2024 年全球先进封装主要厂商收入



资料来源：Yole Group，国联民生证券研究所

图18：全球先进封装市场规模及预测（亿美元）



资料来源：Yole Group，国联民生证券研究所整理

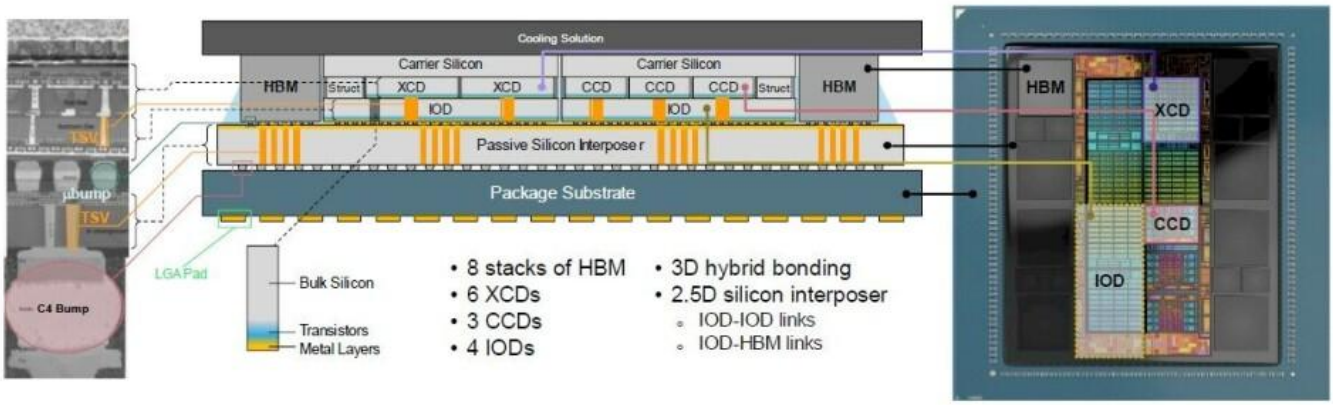
当前 AI 算力芯片主要采用 2.5D 封装、3D 堆叠及 Chiplet 异构集成等先进封装方式，以满足高性能计算场景对于高带宽互联和高集成度的需求。其中，2.5D 封装通过中介层实现逻辑芯片与高带宽存储器（HBM）的集成，是当前 AI 算力芯片实现计算芯片与存储协同的重要技术路径。以台积电 CoWoS 为例，其先进 2.5D 封装技术主要面向高性能计算（HPC）和人工智能（AI）产品，通过在同一封装内集成多个 SoC 与高带宽存储器（HBM）堆叠，实现更高的计算性能和存储带宽。

随着 AI 算力芯片集成规模持续提升，3D 堆叠和 Chiplet 异构集成逐渐应用于高性能计算产品。3D 集成通过垂直方向堆叠不同芯片，提高封装内部集成密度；Chiplet 架构则通过组合不同功能和不同工艺节点的芯粒，实现异构系统集成。以 AMD Instinct MI300 系列为例，其采用 3D Chiplet 架构，将计算芯粒、I/O 芯粒以及 HBM3 集成于同一多芯片封装中，实现不同芯粒之间的高密度集成。

整体来看，2.5D 封装主要用于 AI 算力芯片中逻辑芯片与 HBM 的集成，而 3D 堆叠与 Chiplet 架构进一步推动算力芯片向更高集成密度方向发展。

下载日志已记录，仅供内部参考

图19：AMD Instinct MI300 系列算力芯片先进封装架构



资料来源：The Next Platform，国联民生证券研究所

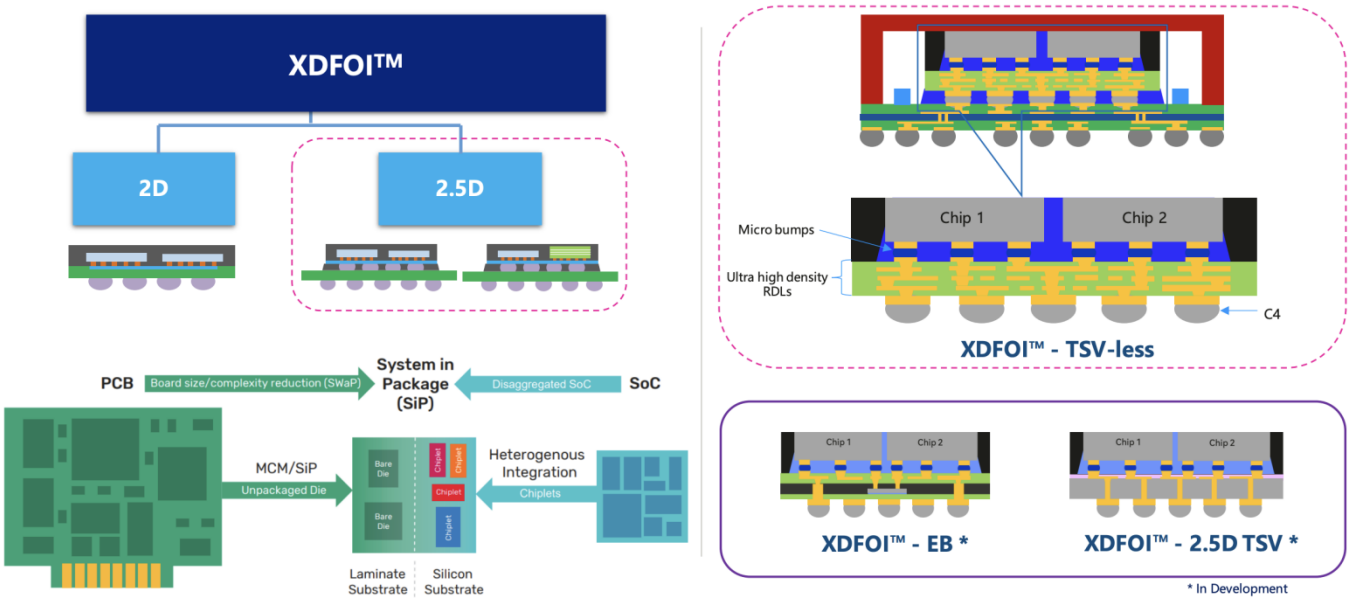
随着 AI 大模型训练、云计算以及高性能计算需求持续增长，先进封装逐渐成为提升芯片系统性能的重要技术路径。国内封测企业正从传统封装测试业务向高密度互连、晶圆级封装以及异构集成等先进封装方向升级。**目前，国内主要厂商围绕 Chiplet、2.5D/3D 封装、晶圆级封装（WLP）、Fan-out 以及系统级封装（SiP）等技术路线持续布局。**其中，**长电科技、通富微电、盛合晶微和华天科技**已形成较为完善的先进封装技术体系，并积极拓展高性能计算、AI 芯片等新兴应用领域。

（1）长电科技：布局 XDFOI®多维扇出平台，推进 Chiplet 异构集成

长电科技持续推进先进封装技术升级，围绕 Chiplet 及异构集成需求推出 XDFOI®（X-Dimensional Fan-Out Integration）多维扇出封装平台。该平台通过高密度重布线层（RDL）实现多芯片间互连，可支持不同功能芯粒在同一封装内进行集成。XDFOI®平台覆盖 2D、2.5D 等多种 Chiplet 集成方案，其中包括基于 RDL 互连的 TSV-less 扇出封装方案，以及面向更高互连密度需求的多维异构集成架构。相比传统基于硅中介层的封装方案，XDFOI®通过高密度 RDL 实现芯片互连，在提升可靠性的同时，还有助于降低成本。目前，该平台主要面向 AI、高性能计算、CPU、GPU 以及通信芯片等高集成度应用场景，为下一代 Chiplet 架构提供先进封装解决方案。

下载日志已记录，仅供内部参考

图20：长电科技 XDFOI™ 先进封装技术平台及主要架构

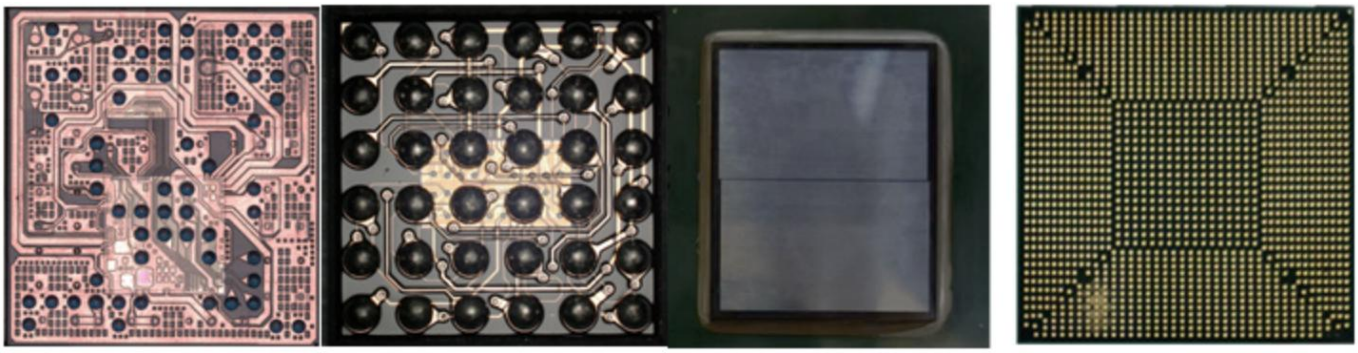


资料来源：SEMI，国联民生证券研究所

（2）通富微电：布局 Fan-out 等高性能计算先进封装技术

通富微电长期深耕集成电路封装测试领域，**具备包括 FCBGA、FCCSP、Fan-out、SiP 等多类型封装能力**，覆盖高性能计算、大数据存储、人工智能、网络通信等应用领域。

图21：通富微电 FO（Fan-out）封装技术展示



资料来源：通富微电官网，国联民生证券研究所

公司持续推进晶圆级先进封装技术发展，其中 Fan-out 技术通过将芯片嵌入塑封材料，并利用高密度重布线层（RDL）实现芯片与外部电路互连，可提升封装集成度和 I/O 密度。通富微电 Fan-out 技术支持 FOPoS 等多种封装形式，RDL 线宽/线距可达到 2/2μm，可应用于 CPU、GPU 及网络通信等高性能计算相关领域。随着 AI 芯片和高性能计算需求提升，公司持续完善先进封装技术体系，并结合倒装封装、多芯片集成等能力，为高算力芯片提供封装测试解决方案。

下载日志已记录，仅供内部参考

（3）盛合晶微：布局 SmartPoser™ 3D 先进封装平台，推动异构集成发展

盛合晶微聚焦晶圆级先进封装与芯粒多芯片集成封装领域，持续推进面向高集成度、高性能计算需求的先进封装技术布局。**公司围绕晶圆级封装（WLP）、Fan-out、重布线层（RDL）以及三维集成等方向开展技术研发，为高性能芯片系统集成提供封装解决方案。**

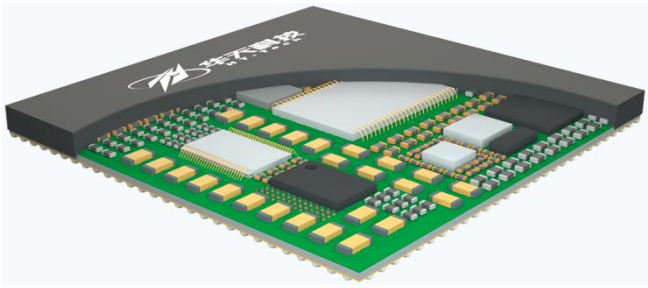
面向下一代计算架构对于高带宽、高速互连以及低功耗的需求，盛合晶微推出 SmartPoser™ 3D 先进封装技术平台。该平台通过高密度垂直互连、多层双面再布线（RDL）以及晶圆级精密制造技术，实现有源芯片与无源器件的异构集成，可提升芯片系统集成度和整体性能。相比传统封装方案，SmartPoser™能够支持多芯片、多功能模块在同一封装结构中的集成，通过三维堆叠和高密度互连技术缩短信号传输路径，提高数据的传输效率，适用于 5G 毫米波、人工智能、高性能计算（AI/HPC）等对小型化和高性能要求较高的应用场景。

目前，盛合晶微持续推进晶圆级先进封装技术产业化布局，并围绕 3D 集成、异构芯片封装等方向拓展应用，为未来 Chiplet 架构发展提供先进封装技术支持。

(4) 华天科技：SiP 与 Fan-out 技术平台持续完善

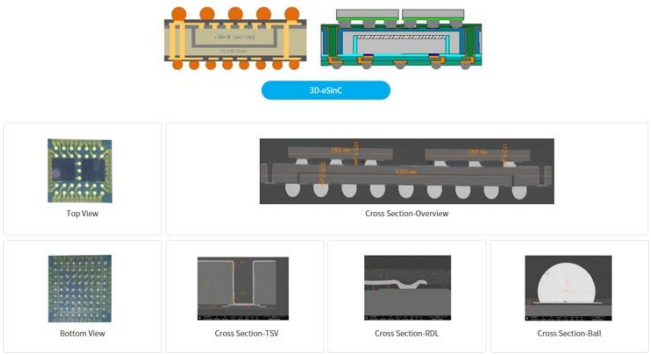
华天科技围绕 SiP、Fan-out 等先进封装技术持续布局。公司 SiP 技术通过将处理器、存储器等多种功能芯片集成于同一封装内，实现系统级功能整合，具备封装效率高、系统成本低、尺寸小等特点，可应用于无线通信、计算机存储、电源管理、传感器、可穿戴设备及智能汽车等多个领域。在 Fan-out 封装方面，公司布局晶圆级扇出技术，并形成基于 eSiFO 平台的封装方案，可支持 FOWLP、FC、WB、FC+WB 等多种互连方式，实现芯片级高密度集成。此外，华天科技进一步开发 eSinC 3D 封装方案，通过晶圆重构技术实现芯片嵌入，并结合 TSV、RDL 等技术路径拓展先进封装能力，为未来高集成度封装应用提供技术支持。

图22：华天科技 SiP 系统级封装方案示意图



资料来源：华天科技官网，国联民生证券研究所

图23：华天科技 3D-eSinC 结构示意图



资料来源：华天科技官网，国联民生证券研究所

下载日志已记录，仅供内部参考

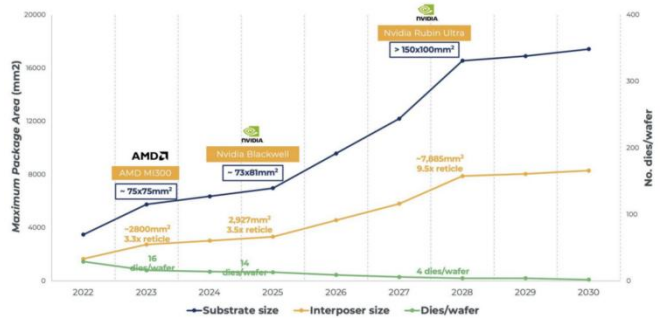
2 玻璃基板有望成为下一代先进封装核心方案

2.1 传统硅中介层与有机载板面临瓶颈，玻璃基板破局在即

在高性能计算与人工智能算力需求快速增长的驱动下，封装基板的尺寸和集成密度持续攀升，传统有机基板的物理局限正加速暴露。随着封装尺寸从 1.5 倍光罩面积向超过 8 倍光罩面积演进，有机基板的热机械可靠性问题日益突出。有机基板芯层的热膨胀系数约为 17ppm/℃，与硅芯片的 2.6ppm/℃存在严重失配，两者差异超过 6 倍。回流焊等高温工艺中由此引发的翘曲变形，直接影响光刻精度与芯片贴装良率。

大芯片是算力芯片的发展趋势。从英伟达 AI 服务器 GPU 的发展路径来看，芯片、中介层（interposer）、载板的面积越来越大。根据 Yole 的报告，英伟达 B 系列中介层约为 3.5 倍光罩，面积约 3000mm²；Rubin Ultra 中介层将达到 9.5 倍光罩，面积约 7885mm²。

图24：算力芯片及先进封装向大尺寸方向发展



资料来源：YOLE Group，国联民生证券研究所

图25：ABF 基板与硅中介层 CTE 差距导致易出现翘曲

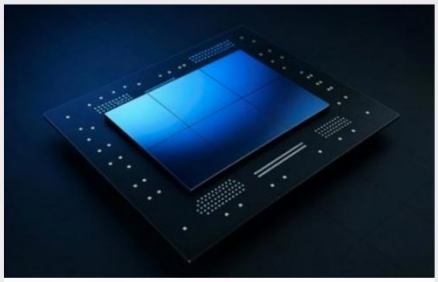


资料来源：Trendforce，国联民生证券研究所

大芯片为芯片封装系统带来新问题。首先，芯片随着面积变大，需要用到更大尺寸的封装基板，从而带来翘曲和良率方面的挑战。其次，芯片的功耗在持续提升，因此散热的压力逐级提升，传统基板材料和热管理设计难以适应“更热的工作环境”。再次，芯片集群传输速率越来越快，有机材料基板在高频传输系统中，难以保证信号完整性。

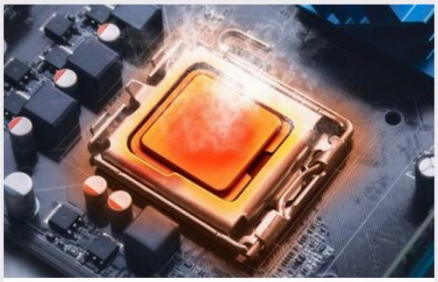
下载日志已记录，仅供内部参考

图26：传统基板和封装体系面临的新问题



解决包装复杂性问题

- 摩尔定律终结推动芯片集成
- 芯片尺寸增大需要更大的基板尺寸
- 基材尺寸的增大导致翘曲和良率挑战



控制热量积聚

- 能量耗散是计算能力最根本的限制因素。
- 最有效的散热必须发生在热源附近。
- 传统基板无法承受高功率封装中的热负载



克服带宽限制

- 高性能计算需要对海量数据进行计算和传输。
- 电带宽从根本上受衬底材料的限制。
- 在有机基底上，多GHz频率下信号完整性会下降。

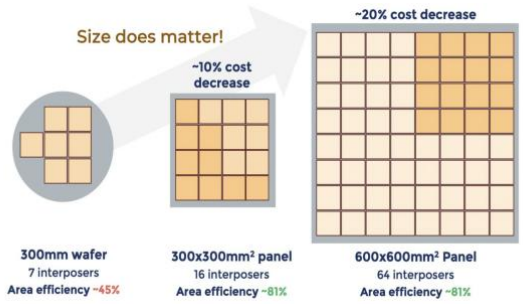
资料来源：LPKF 官网，国联民生证券研究所

此外，在电学性能方面，有机基板的介电损耗随频率升高显著增加，其高频损耗已成为制约系统带宽提升的关键瓶颈。**在制造精度方面，**有机基板表面粗糙度较高，限制了金属线路的进一步细化，加工精度已难以满足要求。因上述多重局限，英特尔已明确指出有机基板将在未来几年达到物理极限，必须寻求新的基板材料来延续封装密度和集成规模的持续提升。

在 2.5D 封装中广泛应用的硅中介层同样面临固有局限，有待突破。硅的介电常数高达 11.9，在毫米波和太赫兹频段会产生显著的衬底损耗和寄生效应，严重制约高频信号的传输质量。同时，硅中介层的制造成本高昂，且受限于光刻掩模版尺寸，难以支持超大尺寸面板级封装；硅与有机基板之间的 CTE 差异还会在热循环中引发界面分层、焊点疲劳等可靠性风险。这些局限共同促使业界寻找综合性能更优的替代方案。

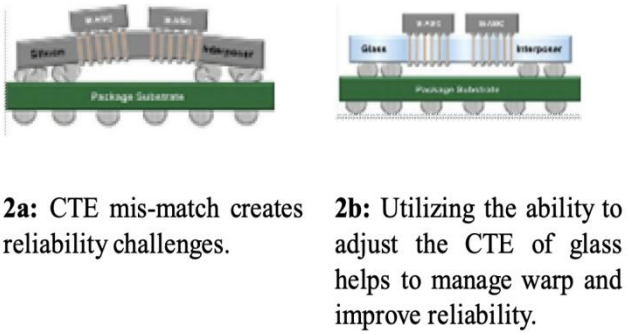
下载日志已记录，仅供内部参考

图27：玻璃基板可方形切割



资料来源：EET-China，国联民生证券研究所

图28：玻璃基板 CTE 表现更佳，高温下翘曲程度更低



2a: CTE mis-match creates reliability challenges.

2b: Utilizing the ability to adjust the CTE of glass helps to manage warp and improve reliability.

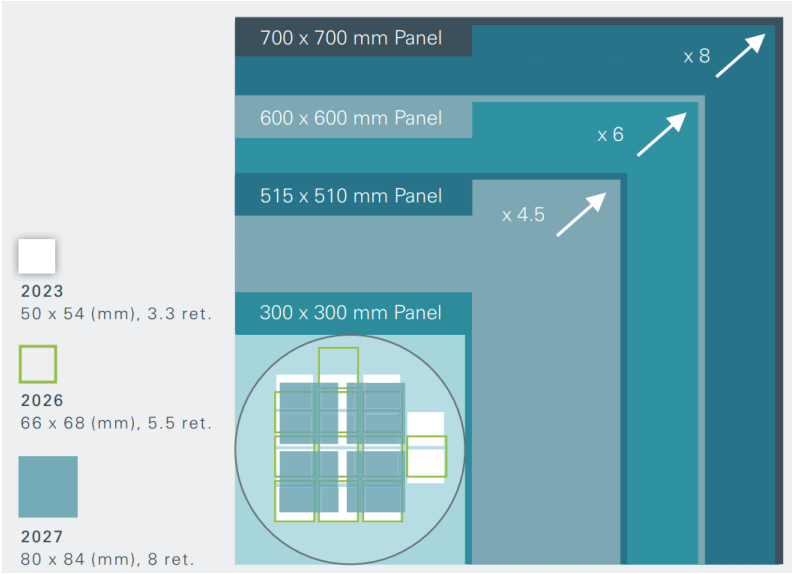
资料来源：MicroFab，国联民生证券研究所

玻璃材料凭借其独特的物理与化学特性，在上述各维度均展现出显著优势，正成为突破传统封装瓶颈的关键材料。

- **热稳定性优异，翘曲较低：**在 250–400℃高温下仍可保持高平整度，一定程度上缓解有机基板高温翘曲、互连对位偏差问题。
- **热膨胀系数（CTE）与硅芯片更匹配：**CTE 约 3–7ppm/℃，缩小与硅片的膨胀差异，降低热循环产生的应力，减少封装失效风险。
- **高频电学性能更强，信号完整性更好：**介电损耗（Df）更低，适合 AI、HPC、网络芯片高速高频信号传输。
- **支持更高密度先进互连：前沿技术**可实现小于 2 微米微孔与更精细布线，突破有机基板超细线路工艺上限，支持多芯片高密度集成。
- **长期看具备降本潜力：**玻璃可制作更大尺寸面板，同一片基板同时加工更多芯片，摊薄单片制造成本。

下载日志已记录，仅供内部参考

图29：面板级封装和晶圆级封装面积大小对比



资料来源：EET-China，国联民生证券研究所

玻璃基板更加适合大芯片封装。CoPoS 是 CoWoS 封装技术和 FOPLP 技术的结合。随着算力芯片和中介层的面积增加，单片 wafer 可容纳的封装数量减少，因此晶圆级封装的效率正变得越来越低。根据 Yole 的报告，英伟达 Rubin Ultra 中介层尺寸达到 7885mm²，基板尺寸达到 150*100mm²。因此，最大直径只有 300mm 的晶圆难以容纳更大面积的芯片和封装体，而面板级封装可以在 700mm*700mm 的面板上进行封装。

玻璃材料多项性能优越，和硅以及有机材料相比，玻璃材料在电学性能、物理性能、化学性能等方面均处于优势地位，热学性能和机械性能也优于有机材料，可以有效解决有机材料的翘曲和散热问题。而玻璃材料的劣势主要在于加工难度较大，且与硅材料相比成本较高，但随着技术和工艺的进步，成本有望逐步降低至合理水平。

2.2 从中介层到光电平台：玻璃基板的多种应用潜力

在先进封装中的应用并非单一产品形态，而是围绕不同封装痛点形成四类落地场景：玻璃中介层、玻璃芯板、HBM 玻璃临时载板和 CPO 光电共封装玻璃平台。四类应用的产业属性不同：玻璃中介层对应 GPU/ASIC+HBM 的 2.5D 高密度互连，玻璃芯板对应高端 FCBGA 底层承载，玻璃临时载板属于先进封装制程工装，CPO 玻璃平台则面向电互连向光电混合互连升级。

2.2.1 玻璃中介层：最贴近现有 2.5D 先进封装的替代路径

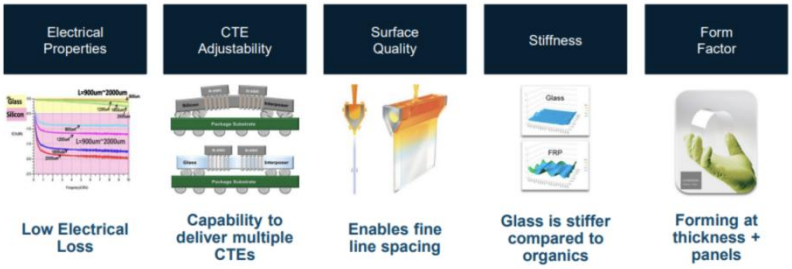
玻璃中介层是玻璃基板最直接切入先进封装的应用之一。其基本功能与硅中介层类似，承担芯片之间的高密度互连，通过 TGV 实现垂直导通，并在表面布设

下载日志已记录，仅供内部参考

RDL 连接 GPU/ASIC、HBM 和其他芯粒。不同之处在于，玻璃材料具备绝缘、低损耗、CTE 可调和大尺寸加工潜力，使其在大面积、高带宽封装中具备替代硅中介层的可能。

在 AI GPU+HBM 场景中，玻璃中介层降低了大尺寸互连平台的成本和可靠性压力。随着 HBM 堆叠数量提升，中介层面积持续扩大，硅中介层的“面积越大、成本越高、浪费越明显”问题会进一步放大。玻璃中介层若能实现稳定 TGV、低缺陷金属化和精细 RDL，将成为现有 2.5D 架构中最具延展性的材料升级方向之一。

图30：Glass Interposer 优势



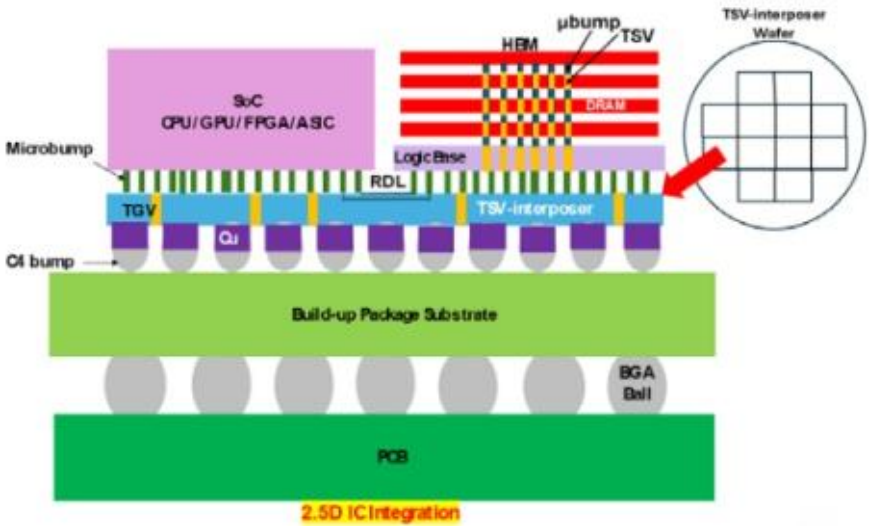
资料来源：Corning，国联民生证券研究所

CoPoS 是玻璃中介层路线中的面板级升级方案。其核心变化在于，将中介层加工从圆形晶圆体系转向 310mm×310mm 乃至 750mm×620mm 的方形或矩形面板体系，使面积利用率提升至 95%以上，并在规模化后推动单位面积成本下降 20%-30%。这一路线仍服务于 GPU+HBM 等高端产品，保留中介层结构，在信号完整性和功率传输方面比部分扇出型方案更适合超大算力芯片。

产业化节奏上，CoPoS 当前更应定位为先进封装平台厂商对下一代大尺寸封装的提前布局，而非已经全面替代 CoWoS 的成熟技术。我们判断，CoPoS 的放量取决于三类因素：一是大尺寸玻璃面板良率，二是 TGV/RDL 全流程稳定性，三是头部 AI 芯片客户是否愿意在下一代产品中导入。

下载日志已记录，仅供内部参考

图31：CoPoS 示意图



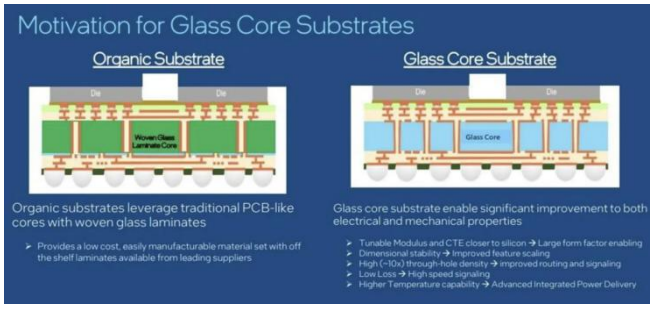
资料来源：Chipscalereview，国联民生证券研究所

2.2.2 玻璃芯板：面向高端 FCBGA 的底层材料升级

玻璃芯板不同于玻璃中介层，其核心作用是替代高端 FCBGA 封装基板中的有机芯层，成为芯片封装底部的承载平台。典型结构是在玻璃 core 上制作 TGV，并通过 ABF 或类似介质材料完成增层和布线，从而实现更高尺寸稳定性、更高布线密度和更优信号/电源完整性。

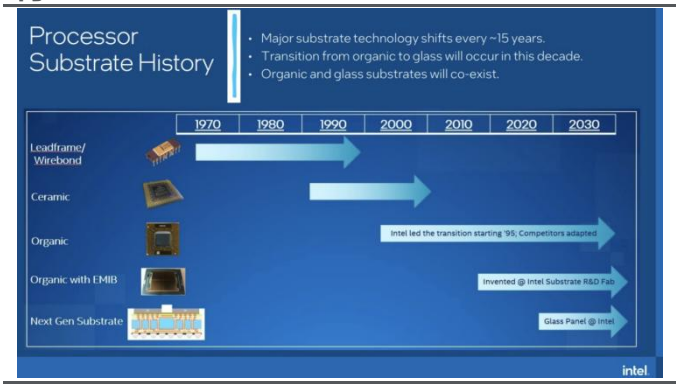
高端处理器、AI 加速器和数据中心芯片对封装基板的要求持续提升：封装尺寸更大、I/O 数更多、电源供给更复杂、信号传输速度更高。有机芯板虽然成熟，但在极大尺寸和更细线路条件下，翘曲、吸湿、热稳定性和线路精度的压力上升。玻璃芯板凭借高平整度、低翘曲、低介电损耗和耐湿热特征，有望成为下一代高端封装基板的重要材料选择。

图32：Intel GlassCore 可部分替代 ABF 载板的核心层



资料来源： ServeTheHome，国联民生证券研究所

图33：GlassCore 成 Intel 下一代先进封装重点研发方向



资料来源：ServeTheHome，国联民生证券研究所

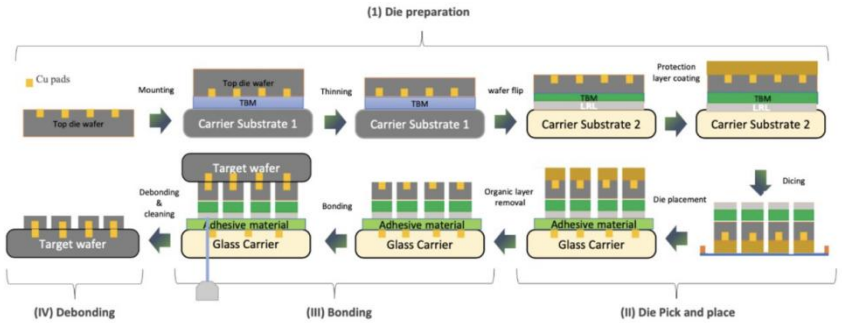
下载日志已记录，仅供内部参考

2.2.3 玻璃临时载板：先进封装制程中较早导入的应用环节

玻璃临时载板是先进封装制造流程中的支撑性工装。在 HBM 堆叠、晶圆减薄、RDL 重布线、扇出封装和面板级封装等环节中，芯片和晶圆需要经历超薄化、贴合、曝光、蚀刻、金属化、解键合等步骤，材料越薄、面积越大，翘曲和破片风险越高。玻璃载板凭借高平整度、热稳定性、透明性和尺寸稳定性，适合用于临时键合/解键合过程中的支撑和控翘曲。

这一应用的产业属性与玻璃中介层、玻璃芯板不同。玻璃临时载板不直接进入终端产品 BOM，因此对最终产品长期可靠性的绑定程度相对较低，客户导入逻辑更接近制程耗材和工装。

图34：Glass carrier 在芯片封装制造链条中的参与环节



资料来源：《面向芯粒集成的玻璃芯基板应用与关键挑战》陈昶昊等，国联民生证券研究所

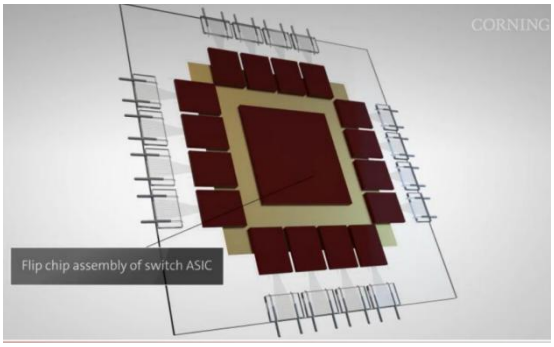
下载日志已记录，仅供内部参考

2.2.4 CPO 光电共封装玻璃平台：从电互连走向光电混合集成

随着交换芯片、AI 集群和数据中心互连带宽快速提升，传统可插拔光模块架构下的电连接距离、SerDes 功耗和前面板密度逐步成为瓶颈。CPO 通过将光引擎靠近交换 ASIC 或计算 ASIC，缩短高速电信号传输距离，降低链路功耗，并提升带宽密度。玻璃基板在 CPO 中的意义，是从单纯电互连材料延展为“电互连+光波导+光纤耦合”的光电集成平台。

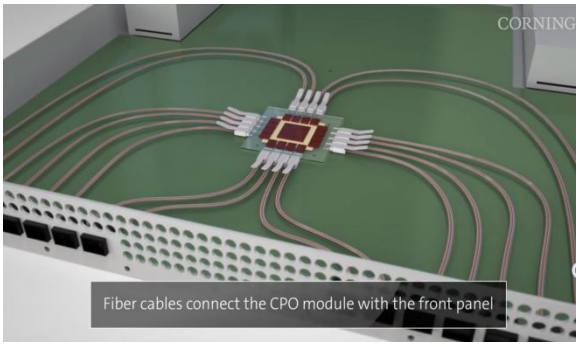
在 CPO 结构中，玻璃基板可作为光电集成中介层，通过 TGV 实现 PIC 与 ASIC 之间的高密度电互连，同时利用玻璃材料的透明性和波导兼容性实现光信号传输、耦合、分束或复用。与传统有机基板相比，玻璃在高频低损耗、尺寸稳定和光学加工方面具备天然优势；与硅光方案相比，玻璃平台有望在大尺寸和面板级加工上提供更具成本潜力的封装底座。

图35：玻璃基板在 CPO 中的应用



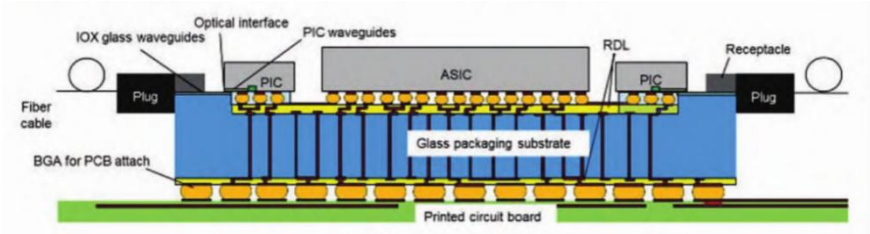
资料来源：Corning，国联民生证券研究所

图36：玻璃基板在 CPO 中的应用



资料来源：Corning，国联民生证券研究所

图37：Glass-based CPO 解决方案截面图



资料来源：《面向芯粒集成的玻璃芯基板应用与关键挑战》陈昶昊等，国联民生证券研究所

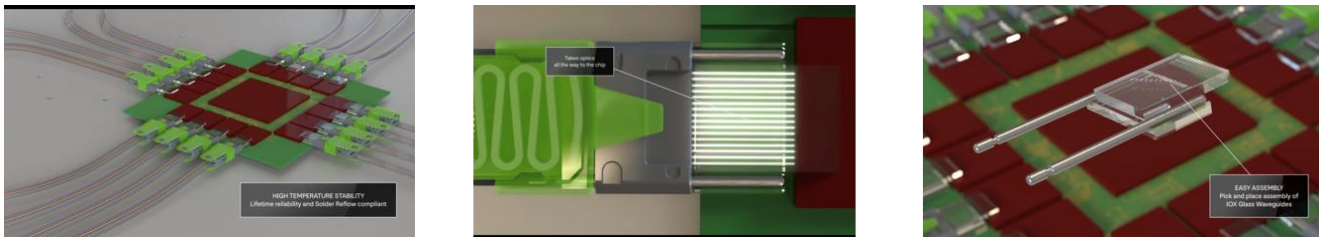
下载日志已记录，仅供内部参考

2.3 GlassBridge：玻璃桥开启 CPO 光互连新路径

GlassBridge 是康宁围绕下一代 AI 数据中心光互连推出的玻璃基连接技术，康宁将自身在玻璃材料、离子交换光波导、精密制造和光通信连接器领域的能力，进一步延伸至 fiber-to-PIC 连接环节。相较玻璃中介层和玻璃芯板，GlassBridge 更偏“光连接平台”而非传统意义上的封装基板，代表玻璃材料在 CPO/NPO 架构中从承载电互连向承载光互连升级。

在 CPO/NPO 系统中，ASIC、EIC、PIC 与外部光纤之间需要形成高密度、低损耗、可测试且可维护的连接。传统 FAU 能够完成光纤阵列固定和光耦合，但当通道数继续提升、封装空间进一步压缩、光引擎更贴近 ASIC 后，光纤到 PIC 的耦合、对准和装配复杂度显著上升。GlassBridge 试图解决的正是这一环节的规模化制造问题，即通过晶圆级玻璃结构和被动对准能力，降低高密度 fiber-to-PIC 连接的组装难度。

图38：GlassBridge 示意图



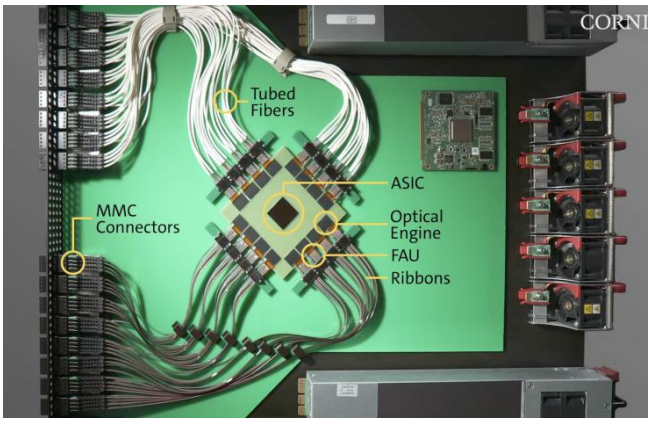
资料来源：Photoncap，Corning，国联民生证券研究所

CPO 光链路交换可简化为 ASIC 或计算 ASIC 产生高速电信号，EIC 完成驱动和调制，PIC 实现电光/光电转换，FAU 或 GlassBridge 负责 PIC 与外部光纤的耦合连接。随着光引擎更靠近 ASIC，电链路被压缩，系统瓶颈会逐渐转向光纤与 PIC 的连接密度、装配良率和后续维护能力。



下载日志已记录，仅供内部参考

图39：CPO 交换机



资料来源：Corning，国联民生证券研究所

康宁 Glassbridge 的结构及优势如下：

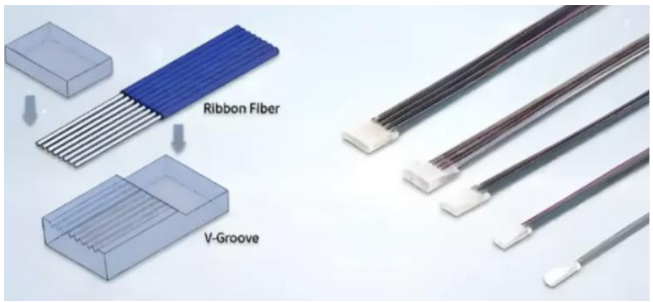
1）晶圆级制造：GlassBridge 核心元件采用晶圆级工艺制造，确保光学性能高度一致。被动对准技术简化了组装流程，有效提升效率并降低成本。

2）标准 TMT 接口，无缝融入现有生态：GlassBridge 连接器采用兼容标准 TMT 插芯的可插拔设计，基于成熟技术，能自然地融入现有光通信系统，同时支持可靠、便捷的维护。

3）可拆卸高密度架构，兼顾密度与灵活性：GlassBridge 在紧凑尺寸内支持超过 24 个光学通道，并支持间距定制，适应不同系统与 PIC 需求，在组装、测试和集成阶段提供灵活性的同时，满足高密度互连要求。

传统 FAU 主要由 V 形槽、光纤阵列和微透镜阵列构成，重点在于光纤固定、精密对位和光信号传输。GlassBridge 与 FAU 并非简单替代关系。康宁强调，GlassBridge 在未来商业化前提下，可在特定密度、组装和应用要求下作为 FAU 的备选方案之一，而非所有场景下的通用替代。对产业链而言，这一点非常关键：GlassBridge 的出现并不意味着 FAU 价值消失，而是说明高密度 CPO/NPO 场景可能需要更多连接方案并行演进。

图40：FAU 示意图



资料来源：HYC，国联民生证券研究所

下载日志已记录，仅供内部参考

GlassBridge 目前仍应以早期技术概念看待。康宁官方公告明确，该技术仍处于早期开发阶段，尚未商业化，也尚未达到商业规模生产。GlassBridge 短期更像 CPO 光互连和玻璃基板主题的技术催化；对产业而言，其真正放量仍取决于 PIC 平台适配、接口标准、插拔可靠性、光损控制、系统级良率和客户导入。

我们认为，GlassBridge 的分析结论应保持两层判断：第一，方向上，康宁将玻璃材料能力切入 fiber-to-PIC 连接，验证了玻璃基技术在 CPO/NPO 中不只用于基板或中介层，还可延伸至光连接平台，强化玻璃材料在下一代 AI 光互连中的战略地位；第二，节奏上，GlassBridge 尚未进入商业规模生产，短期不宜直接外推产业链替代关系或收入弹性。

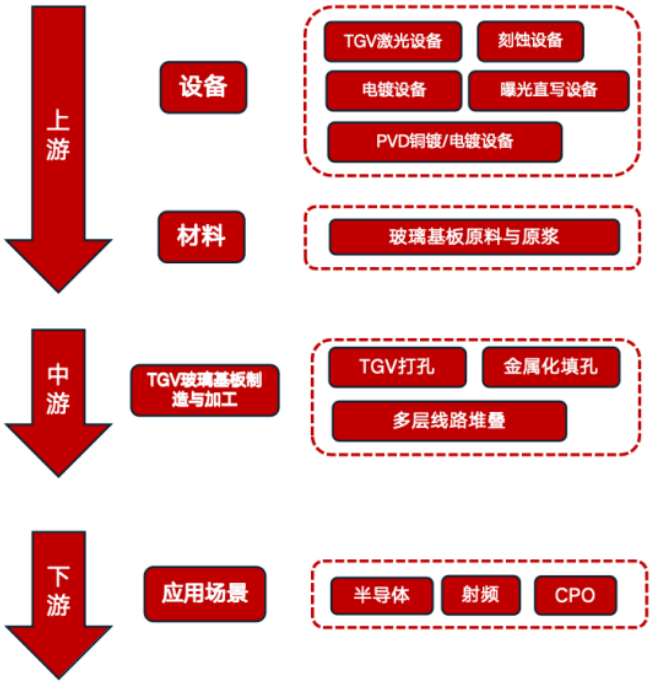
下载日志已记录，仅供内部参考

3 玻璃基板产业链拆分及良率主要卡点

3.1 玻璃基板产业链覆盖材料、制造及下游应用环节

围绕相关需求，玻璃基板产业链主要包括玻璃材料、电互连结构制造、光波导制造以及应用等环节。

图41：玻璃基板产业链示意图



资料来源：帝尔激光、戈碧迦等公司官网，国联民生证券研究所整理

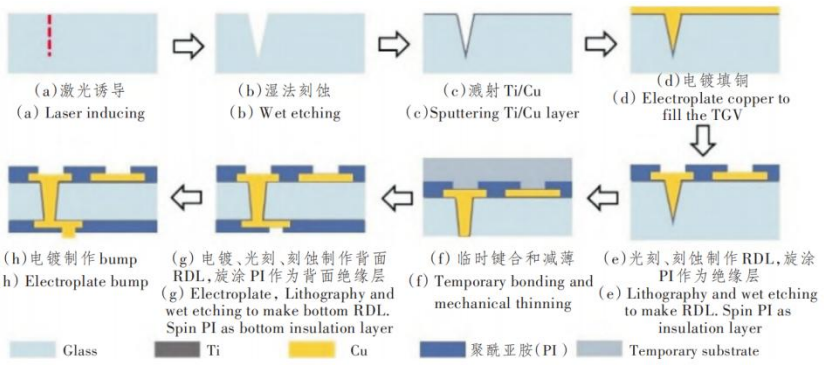
玻璃材料是玻璃基板制造的基础，根据应用方向不同，玻璃材料体系存在差异。含碱金属离子的玻璃可通过离子交换（Ion Exchange，IOX）工艺改变局部折射率，用于制造光波导，实现光信号传输；无碱玻璃由于具有较低移动离子浓度和良好的绝缘性能，主要应用于电子封装领域。

玻璃基板作为CPO的重要封装平台，需要同时支持电互连结构与光波导结构，以满足高速信号传输需求。

其中，电互连方面主要通过 TGV（Through Glass Via，玻璃通孔）和 RDL（Redistribution Layer，再布线层）构建“垂直导通+水平布线”网络；光互连方面可通过离子交换等工艺在玻璃中形成光波导，实现光信号的传输、耦合、分束或复用。二者协同，使玻璃基板由单一承载材料延展为光电混合集成平台。

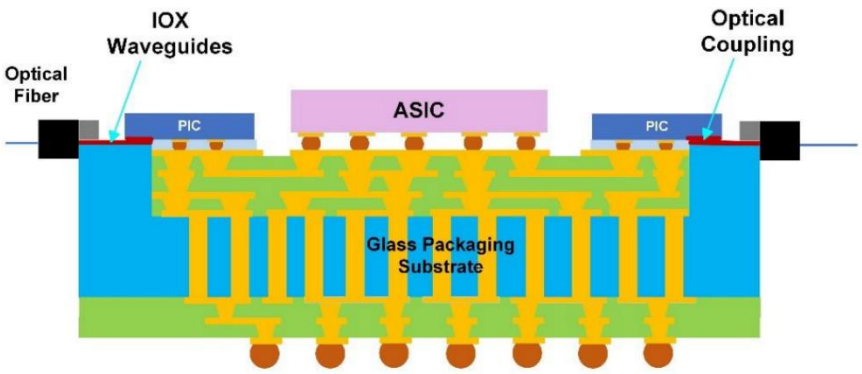
下载日志已记录，仅供内部参考

图42：利用 LIDE 技术加工 TGV Interposer 的工艺流程



资料来源：《玻璃基光电集成封装及 CPO 应用》葛畅等，国联民生证券研究所

图43：集成了电互连结构和光波导的玻璃基板



资料来源：《A Review of Glass Substrates for Co-Packaged Optics (CPO): Fabrication and Performance of Integrated Electro-Optical Structures》Xin Chen 等，国联民生证券研究所

3.2 卡点 1：玻璃原片技术壁垒

玻璃材料是玻璃基 CPO 实现电互连和光互连功能的基础，其材料特性将影响后续光波导、电互连结构制造。CPO 应用要求玻璃材料同时具备适用于电子封装的电学性能以及支持光波导制造的光学性能，不同玻璃体系需要根据应用方向进行选择。

目前用于光电集成和电子封装领域的玻璃材料主要包括硼硅玻璃（Borosilicate）、钠钙玻璃（Soda Lime）、石英玻璃（Quartz）以及无碱玻璃（Alkali Free）等，不同玻璃体系由于化学组成差异，在机械性能、热性能、光学性能以及加工能力方面存在明显区别。其中，无碱玻璃由于具有较低移动离子浓度、良好的绝缘性能以及高频特性，主要应用于电子封装领域；含碱玻璃则可通过离子交换（Ion Exchange，IOX）工艺制造光波导，通过改变玻璃内部离子组成实现折射率调控。

下载日志已记录，仅供内部参考

表2：不同玻璃材料体系性能对比及应用方向

玻璃类型	主要化学组成	优势	局限性	应用领域	杨氏模量/GPa	工作温度/℃	透光波长/nm
硼硅玻璃（Borosilicate）	SiO_2、Na_2O、Al_2O_3、B_2O_3	化学稳定性好；热膨胀系数低；硬度高	难以刻蚀加工	微流控器件基板	62.8	< 500	330–2500
钠钙玻璃（Soda Lime）	SiO_2、Na_2O、Al_2O_3、CaO	易加工；熔点低；延展性较好	硬度较低；电学和热学性能较弱	3D 打印	74	< 720	400–2500
石英玻璃（Quartz）	SiO_2	光学性能优异；热稳定性和电阻性能优良	难以键合	光学分析	74.8	< 1500	200–3500
无碱玻璃（Alkali-free）	SiO_2、Al_2O_3 碱土金属氧化物	软化点高；抗断裂性能强；柔韧性好	需要额外加工处理	超薄玻璃基板	66	< 883	330–2500

资料来源：《Review of Glass Substrates for Co-Packaged Optics: Fabrication and Performance of Integrated Electro-Optical Structures》Xin Chen 等，国联民生证券研究所整理

由于不同玻璃体系在光学、电学以及热学性能方面存在差异，不同应用方向对于玻璃材料性能提出了不同要求。对于光互连路线，玻璃需要具备良好的光学性能以及光波导制造能力。玻璃光波导可采用离子交换（IOX）技术，通过改变玻璃内部离子组成调节折射率，实现光信号传输。因此，适用于 IOX 光波导制造的玻璃体系通常需要包含可参与离子交换的碱金属离子。

对于高速电互连路线，玻璃基板可通过 TGV 结构实现三维垂直互连。该路线更加关注玻璃材料的绝缘性能和高频传输能力。无碱玻璃由于具有较低移动离子浓度以及较好的高频性能，因此成为先进电子封装的重要材料体系。

因此，玻璃基 CPO 对于玻璃材料的需求需要兼顾光学性能、电学性能以及封装工艺适配能力。材料配方设计、玻璃熔制工艺以及后续精密加工能力共同决定玻璃原片性能，是玻璃基 CPO 产业化的重要技术壁垒。

目前，海外玻璃厂商已围绕先进封装玻璃基板开展布局，其中 Corning、AGC、SCHOTT 均推出面向半导体封装或玻璃中介层应用的相关产品。

相比之下，国内玻璃企业虽然近年来开始布局先进封装玻璃基板及 TGV 相关技术，但在高性能玻璃材料体系、大尺寸玻璃原片制造以及长期客户验证方面仍需要进一步积累。

下载日志已记录，仅供内部参考

3.3 卡点 2：TGV & RDL 环节

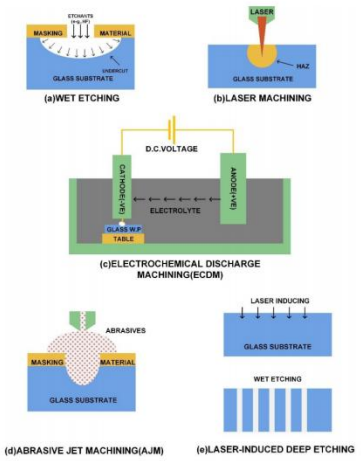
玻璃基 CPO 区别于传统封装方案的重要特点在于，玻璃不仅作为支撑材料，还需要承担高速电信号互连功能。其中，TGV（Through Glass Via，玻璃通孔）用于实现玻璃上下层之间的垂直电连接，RDL（Redistribution Layer，重布线层）用于实现芯片间高密度水平线路连接，二者共同决定玻璃基板的互连密度和信号传输性能。

TGV（Through Glass Via，玻璃通孔）是实现玻璃基板三维互连的关键技术，其性能主要由信号完整性、热导率和功率密度等参数衡量，而这些参数与通孔的尺寸、形状及填充质量密切相关。TGV 制造流程主要包括成孔、阻挡层与种子层沉积、电镀填充及后处理平坦化四个步骤。

成孔方法有湿法刻蚀、磨料射流加工、激光烧蚀、电化学放电加工和激光诱导深孔刻蚀（LIDE）等。综述指出，LIDE 结合激光改性与湿法刻蚀，可加工深宽比达到 10:1 及以上的通孔，部分条件下可达 50:1，是适用于高密度、高深宽比 TGV 加工的技术路线之一。通孔剖面可分为圆柱形、圆锥形和双曲线形。该综述引用的双层 TGV 互连仿真表明，在相同频率和粗糙度条件下，圆柱形通孔的插入损耗和信号延迟较低；实际电性能仍需结合填充质量等因素评估。成孔后需在孔壁沉积阻挡层和种子层，以改善玻璃与金属的结合及孔壁覆盖质量。

填充是 TGV 制造的核心难点，主要挑战在于金属与玻璃粘附不足，以及填充过程中产生的缝隙和空洞可能劣化电性能甚至导致电路失效。填充方式包括自底向上填充、蝴蝶形填充和保形填充。自底向上填充通过抑制剂与促进剂配合，有助于抑制孔内空洞；具体工艺需根据通孔形貌、尺寸和填充要求选择。填充完成后可经退火缓解应力，再进行平坦化，为后续再分布层制作提供平整表面。

图44：TGV 制造工艺



资料来源：《Review of Glass Substrates for Co-Packaged Optics: Fabrication and Performance of Integrated Electro-Optical Structures》Xin Chen 等，国联民生证券研究所

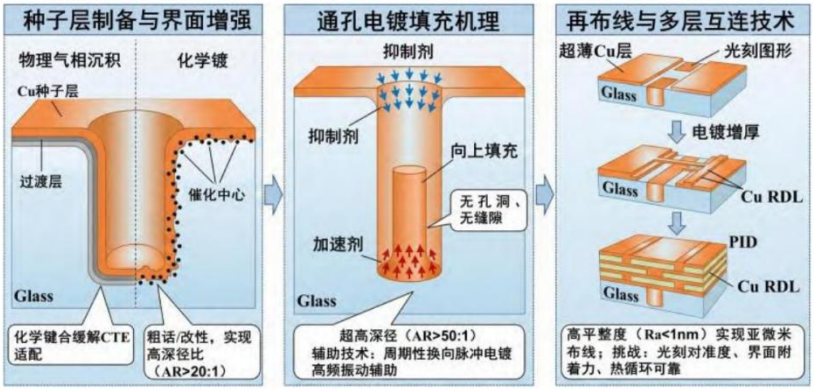
下载日志已记录，仅供内部参考

RDL（再分布层）是通过光刻、电镀和刻蚀在芯片或转接板表面制作的金属布线层，主要用于将芯片原有 I/O 焊盘位置重新排布，打破位置和密度限制，实现跨区域和跨材料的电互连。在玻璃基板 CPO 中，RDL 与 TGV 协同构建“水平布线+垂直导通”的三维互连网络，是实现不同芯片间立体集成的关键。

玻璃基板 RDL 制造主要有面板级和晶圆级两类路线。面板级工艺采用大尺寸矩形玻璃板，面积利用率和成本潜力较高，但大面积平面度、边缘热翘曲及整板均匀性控制更难。综述介绍的传统面板级 SAP/mSAP 路线通常不采用 CMP，线宽/线距一般在 5 μm 及以上；这属于文献所述工艺口径，不代表所有面板级路线的当前量产极限。SAP 流程包括种子层沉积、涂覆、光刻、电镀及去除多余种子层，细线宽下容易出现铜线根部切蚀或间隙残留。改进路线包括光刻沟槽嵌入（PTE）和铜线转移（CTT）；其中，综述明确列示 PTE 可制作约 1.5–5 μm 线宽/线距，其大尺寸面板量产能力仍需另行验证。

晶圆级工艺可与硅产线衔接，主要包括聚合物电镀法和铜大马士革法。聚合物电镀法是在完成 TGV 的玻璃晶圆上旋涂 PI 或 BCB 等聚合物介电层，经光刻开孔后溅射钛/铜种子层，再通过电镀和刻蚀完成 RDL 制作。铜大马士革法通过介电层制备、光刻、种子层沉积、电镀填充及 CMP 平坦化等步骤形成 RDL，并可重复制作多层结构，适用于更精细的布线需求。综述摘要列示了 2 μm 线宽/线距的研究指标，说明精细布线具备技术可行性，但不等同于玻璃晶圆或大尺寸面板的量产指标；量产能力仍取决于多层对准、平坦化、良率和成本。

图45：TGV 金属化填充与精细布线工艺示意图



资料来源：《高性能封装玻璃基板 TGV 技术的研究现状、挑战与未来展望》赵强、张继华，国联民生证券研究所

因此，TGV 与 RDL 并非单一加工环节，而是涉及玻璃加工、精密刻蚀、电镀填充以及线路制造等多项工艺能力，其量产能力决定玻璃基 CPO 从技术验证走向商业化的速度。

TGV 和玻璃基板制造涉及材料体系、通孔加工以及精密制造等多个环节，对厂商长期工艺积累提出较高要求。目前海外企业已围绕先进封装玻璃基板形成相

下载日志已记录，仅供内部参考

关产品布局。Corning 推出 Semiconductor Glass Wafers 产品，面向半导体封装相关应用，其官网强调玻璃晶圆具有高精度、高表面质量以及热膨胀系数匹配能力。日本 AGC 开发了面向半导体封装和 Glass Interposer 应用的 TGV 玻璃基板产品，其官网强调产品具备高平整度、高绝缘性以及低介电损耗等特点。

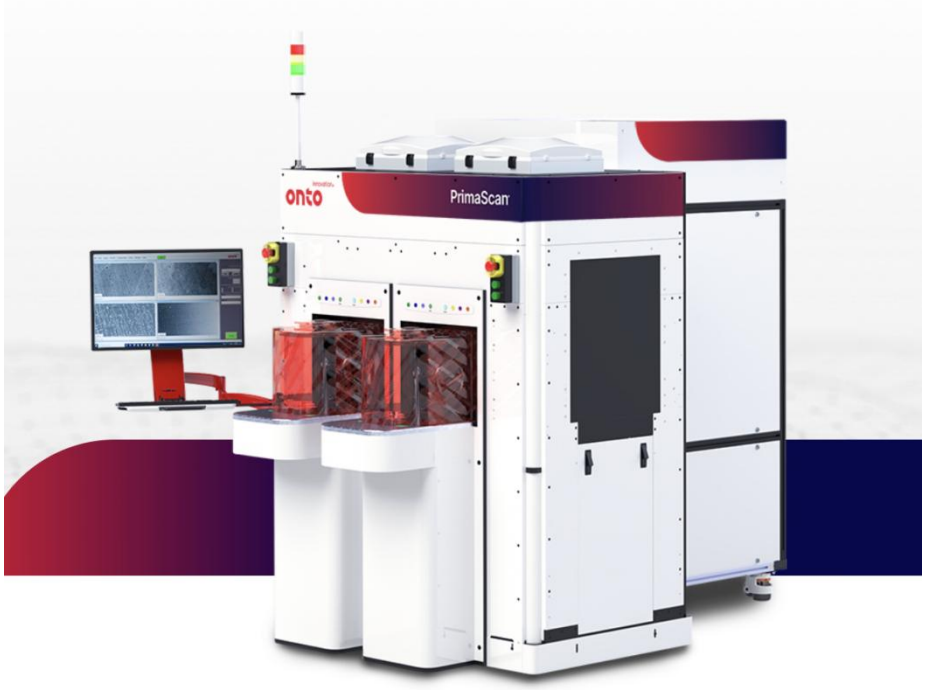
相比之下，国内企业近年来开始布局玻璃基板及 TGV 相关技术，但在高性能玻璃材料、精密加工工艺以及大规模量产验证方面仍处于追赶阶段。

3.4 卡点 3：AOI 光学检测环节

玻璃基板的高透明性与低反射特性，使 AOI 光学检测面临与传统载板不同的工艺难点。透明玻璃容易产生影像对比不足、微细图形边界模糊和缺陷辨识困难等问题。随着通孔和线路微缩，常规 2D 成像对孔内及三维微结构的覆盖存在局限，可结合斜角照明、偏振光或多波段照明提升对比度，并按缺陷类型配置 3D 成像与缺陷分类算法。

高速扫描下的图像处理同样构成挑战，需要影像算法与运算平台共同支撑检测精度。上述产业报告提出，可采用深度学习模型进行缺陷分类与分析，并将检测结果反馈至制程控制。对于多层 RDL，报告在 FOPLP 章节指出，内层线路被多层材料包覆，常规光学检测存在穿透和可见性限制，部分缺陷可能在后段工序才被发现。因此，表面 AOI 不能代替完整的内层互连及可靠性验证。

图46：PrimaScan 自动光学检测系统



资料来源：Onto Innovation 官网，国联民生证券研究所

下载日志已记录，仅供内部参考

设备厂商围绕素板、通孔及多层互连等不同检测工序布局。例如，美国 Onto Innovation 官网列示 PrimaScan P 面向无图形玻璃面板的全表面缺陷与污染检测，支持最高 600 mm×600 mm 面板；这一素板检测能力不等同于覆盖全部 TGV 金属化及多层 RDL 缺陷。厂商主体方面，Orbotech 已于 2019 年被美国 KLA 收购，相关业务应在 KLA 体系下考察。本土设备商可从光源、成像、算法及高速数据处理等环节切入，但整机导入仍需产线验证与制程积累。

下载日志已记录，仅供内部参考

4 产业化进程：海外厂商产业化进展较快，国内企业加速追赶

4.1 海外：头部企业的布局&量产节奏

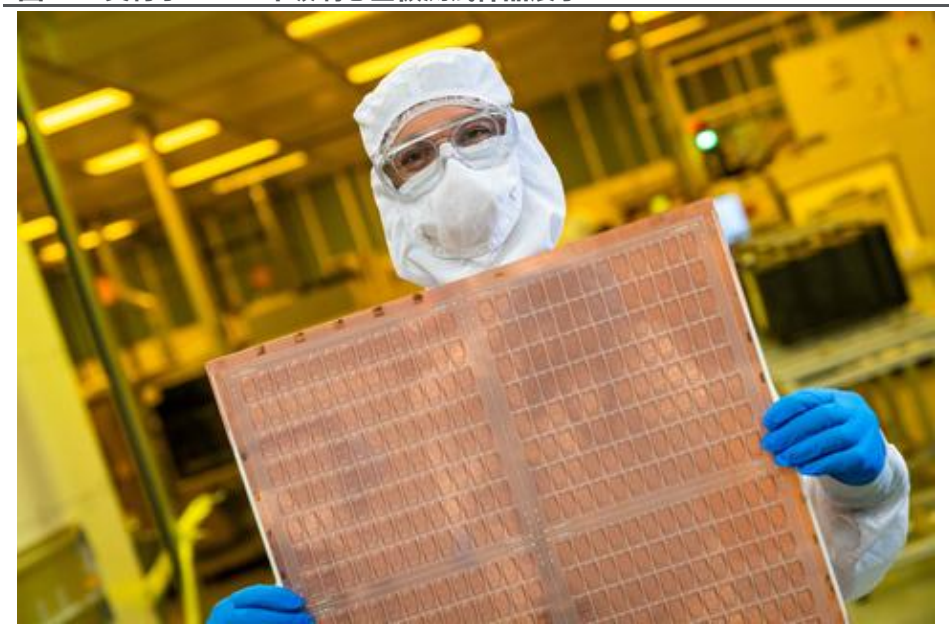
海外玻璃基板产业已由单点技术研发逐步迈向“中试产线建设—客户送样验证—小批量导入”的产业化阶段。

整体来看，2026 年下半年至 2027 年仍以样品验证和小批量导入为主，2027—2028 年部分厂商有望率先量产，2028—2029 年将成为产能爬坡和下游芯片导入的重要观察期，2030 年前后有望进入更大范围的商业化应用阶段。英特尔 2023 年发布玻璃基板技术，并计划在本十年后半段逐步推出；三星电机 2025 年披露已建成试验线，目标于 2027 年量产；Absolics 已启动美国佐治亚州工厂建设并持续开展产品验证。

4.1.1 英特尔：技术布局时间较早，持续推动玻璃芯基板生态建设

英特尔在玻璃基板领域布局时间较早，是当前玻璃芯基板路线的重要推动者。公司经过十余年研发，于 2023 年正式发布面向下一代先进封装的玻璃基板技术，计划首先用于 AI、数据中心和图形计算等需要大尺寸封装及高速互连的场景。与有机基板相比，英特尔认为玻璃基板具备更高的尺寸稳定性和更低的图形畸变，可将封装互连密度提升至现有方案的约 10 倍，并支持更大面积的多芯粒集成，助力单封装晶体管数量向万亿级演进。公司计划在本十年后半段向市场提供完整的玻璃基板解决方案。

图47：英特尔 2023 年玻璃芯基板测试样品展示



资料来源：英特尔官网，国联民生证券研究所

下载日志已记录，仅供内部参考

英特尔已在美国亚利桑那州钱德勒的组装与测试技术开发工厂部署玻璃基板相关设备和试验单元。2026 年 7 月，公司与蓝思科技达成战略合作，结合英特尔先进封装能力与蓝思科技精密玻璃加工及规模制造能力，共同探索面向 AI、数据中心和专用计算平台的玻璃基板封装方案，显示其产业化模式正由内部研发向供应链联合开发延伸。

4.1.2 台积电：以 CoPoS 推动封装面板化，玻璃材料为后续演进方向

台积电重点推进 CoPoS 面板级先进封装，通过由圆形晶圆转向方形面板，提高大尺寸 AI 芯片的封装面积利用率和生产效率。根据 TrendForce，台积电已将 CoPoS 面板规格标准化为 310×310mm，2026 年有望为设备和材料供应商的集中验证期，计划于 2027 年展开试产，并于 2028 年下半年进入量产阶段。当前 CoPoS 首先解决大尺寸封装的面积利用率和产能问题，玻璃芯基板则属于台积电面板级封装后续的重要材料方向，预计其商业规模应用时间可能晚于 CoPoS 本身。

从产线布局看，台积电嘉义 AP7 厂区是 CoPoS 等先进封装技术的重要基地，TrendForce 预计，其 CoPoS 产能将在 2028—2029 年进入爬坡阶段；美国亚利桑那州先进封装基地也规划相应配套能力。

4.1.3 SKC Absolics：专用工厂率先落地，处于商业化量产准备前沿

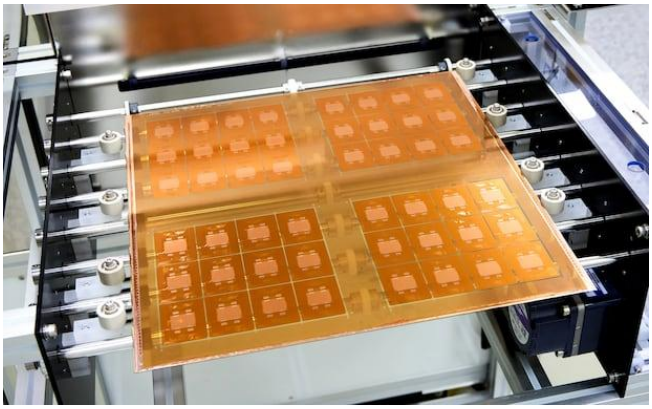
SKC 旗下 Absolics 是当前海外玻璃芯基板产业化进度较为领先的企业。其在美国佐治亚州科文顿建设了约 12 万平方英尺的玻璃基板制造设施，主要面向 AI、高性能计算和数据中心芯片提供先进封装玻璃基板。美国商务部已向该项目提供最高 7,500 万美元的直接资助，以支持工厂建设及玻璃基板技术商业化；此外，其 SMART 先进封装研发项目还获得 1 亿美元支持，用于联合上下游合作伙伴建设美国玻璃芯基板生态。

图48：Absolics 玻璃基板工厂于 2022 年启动建设



资料来源：Absolics 官网，国联民生证券研究所

图49：Absolics 玻璃基板样品展示



资料来源：Chosun，国联民生证券研究所

下载日志已记录，仅供内部参考

Absolics 工厂规划年产能约 1.2 万平方米，公司已进入样品供应、客户评估及可靠性验证阶段。

4.1.4 康宁：玻璃载板率先落地，GlassBridge 拓展光电共封装应用

康宁依托玻璃配方、精密成型和光通信技术积累，同时布局先进封装玻璃载板和 CPO 光连接方案。在半导体封装领域，公司已能够提供用于晶圆减薄、扇出封装及 2.5D/3D 封装的高精度玻璃临时载板，支持 515×510mm 和 600×600mm 等面板规格。康宁称其玻璃载板可在先进封装过程中将翘曲降低最多约 40%，相关产品已具备商业供应能力。

在 CPO 领域，康宁推出 GlassBridge 技术概念，利用离子交换光波导和精密玻璃加工，实现高密度光纤到光子集成芯片的连接。公司已与 GlobalFoundries 等合作伙伴开展技术开发，并在 OFC 2026 展示相关方案。但康宁于 2026 年 7 月明确表示，GlassBridge 仍处于早期开发阶段，尚未实现商业化和商业规模生产，其定位是在部分应用场景下作为传统光纤阵列单元的备选方案，而非全面替代 FAU。

4.1.5 三星电机：建设试验产线，联合住友化学强化玻璃芯材料能力

三星电机是三星集团中具体推进玻璃封装基板业务的主体。公司已在韩国世宗工厂建设玻璃封装基板试验线。公司计划通过与住友化学集团设立的合资企业推进后续量产，量产计划在 2027 年以后启动。

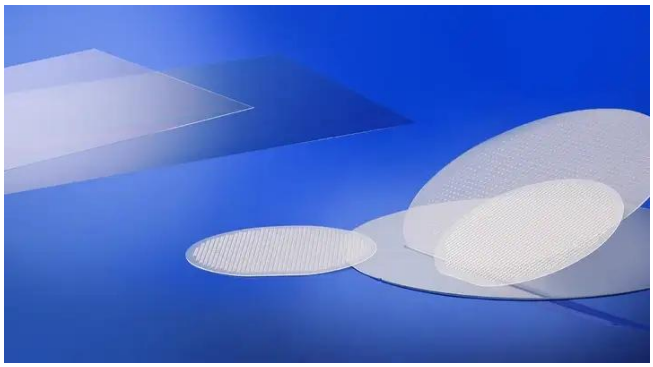
为完善上游玻璃芯材料供应体系，三星电机于 2026 年 7 月与住友化学旗下东友精细化学签署合资协议，拟成立 GlaSSEM，推进先进半导体封装用玻璃芯基板业务。三星电机主要提供封装基板设计及制造能力，住友化学体系则提供玻璃材料和相关化学工艺支持。通过试验线、材料及外部工艺投资等多种方式，公司正在推进从玻璃芯材料到高端封装基板的产业化。

4.1.6 肖特：低膨胀玻璃成熟供应，为先进封装公司提供上游材料基础

肖特主要定位于玻璃原片及特种玻璃材料供应环节，而非完整 TGV 玻璃基板制造商。公司 AF 32 无碱玻璃采用下拉法生产，具备与硅晶圆接近的低热膨胀系数、高热稳定性、低介电损耗及较低表面粗糙度，适用于晶圆级封装、MEMS、射频器件及半导体基板等应用。产品厚度覆盖 0.03-0.5mm，并可提供 12 英寸晶圆等规格，已属于稳定商业供应的半导体玻璃材料。

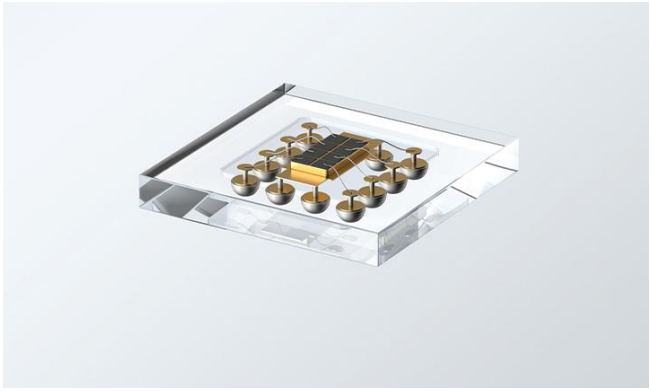
下载日志已记录，仅供内部参考

图50：SCHOTT AF 32®高性能玻璃材料产品展示



资料来源：SCHOTT 官网，国联民生证券研究所

图51：SCHOTT AF 32®在 MEMS 封装中的应用示意



资料来源：SCHOTT 官网，国联民生证券研究所

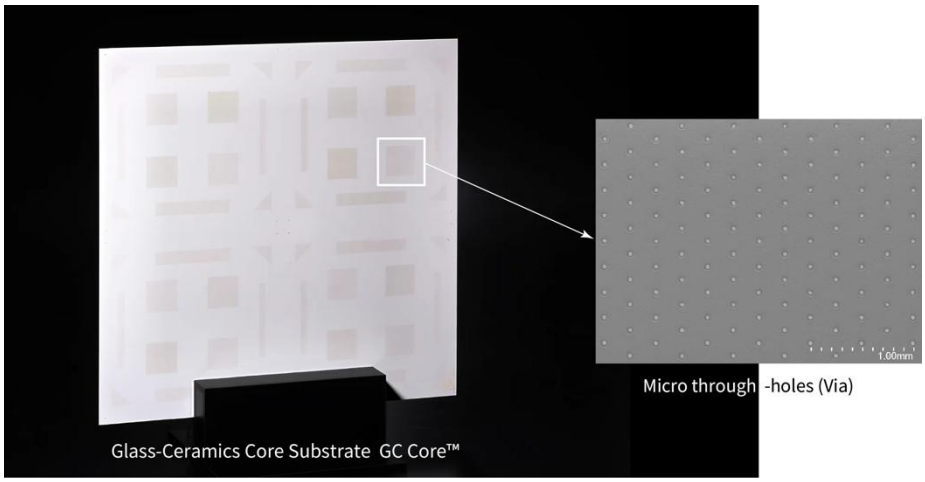
4.1.7 NEG：由玻璃原片向大尺寸 TGV 玻璃芯基板延伸

日本电气硝子在保持特种玻璃材料优势的基础上，已向大尺寸玻璃芯板及 TGV 加工环节延伸。2025 年 1 月，公司开发出 515×510mm、厚度 1.0mm 的 GC Core 玻璃陶瓷芯基板，主要面向生成式 AI 和数据中心所需的大尺寸半导体封装，通过扩大面板尺寸提高封装生产效率。

2025 年 5 月，NEG 进一步推出两类大尺寸 TGV 玻璃芯基板，分别兼容激光改质—湿法刻蚀和 CO_2激光加工路线，并开始提供 515×510mm 规格样品。NEG 表示，将继续推进兼容 CO_2激光加工的无机芯基板开发，目标于 2028 年启动量产；激光改质—湿法刻蚀路线的样品将用于进一步获取客户评估。

下载日志已记录，仅供内部参考

图52：NEG GC Core™玻璃陶瓷芯基板及微通孔（Via）展示



资料来源：NEG 官网，国联民生证券研究所

4.2 国内：国内头部企业的布局&量产节奏

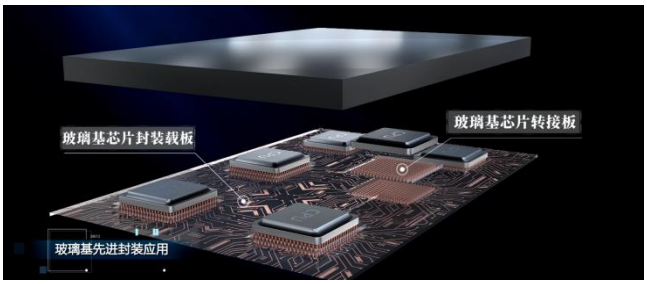
国内玻璃基板产业已形成原片、TGV 加工及线路制作等多环节协同布局。 其中，显示面板及精密玻璃加工企业凭借大尺寸玻璃处理、减薄、镀膜和精密线路等工艺积累，率先推进 TGV 加工和板级封装试验线；电子玻璃、药用玻璃和特种玻璃企业则依托玻璃配方、熔制成型及热膨胀系数调控能力切入玻璃原片环节。在永久玻璃芯基板、玻璃中介层等面向先进封装的产品方向，国内企业整体仍以样品开发、客户送样、中试验证及小批量试制为主，成熟稳定的规模量产能力仍有待形成。

4.2.1 沃格光电：掌握 TGV 全制程工艺，已实现小批量出货

沃格光电依托光电玻璃精加工积累，重点布局 TGV 玻璃基封装载板，已掌握玻璃薄化、激光打孔、PVD 镀膜、通孔金属化及多层精密线路制作等全制程工艺。公司具备 510×515mm 大尺寸玻璃加工能力，TGV 工艺可实现最大深宽比 100:1、最小孔径 5μm，加工厚度覆盖 0.05–1.1mm。公司于 2022 年设立湖北通格微，规划年产能 100 万平方米，目前一期年产 10 万平方米产能已建成并完成小批量出货；芯片用玻璃基板产品正稳步推进客户验证，1.6T 光模块玻璃基载板已完成小批量送样。

下载日志已记录，仅供内部参考

图53：沃格光电玻璃基封装载板产品示意图



资料来源：沃格光电官网，国联民生证券研究所

图54：沃格光电 TGV 玻璃基通孔与 PVD 电镀铜技术

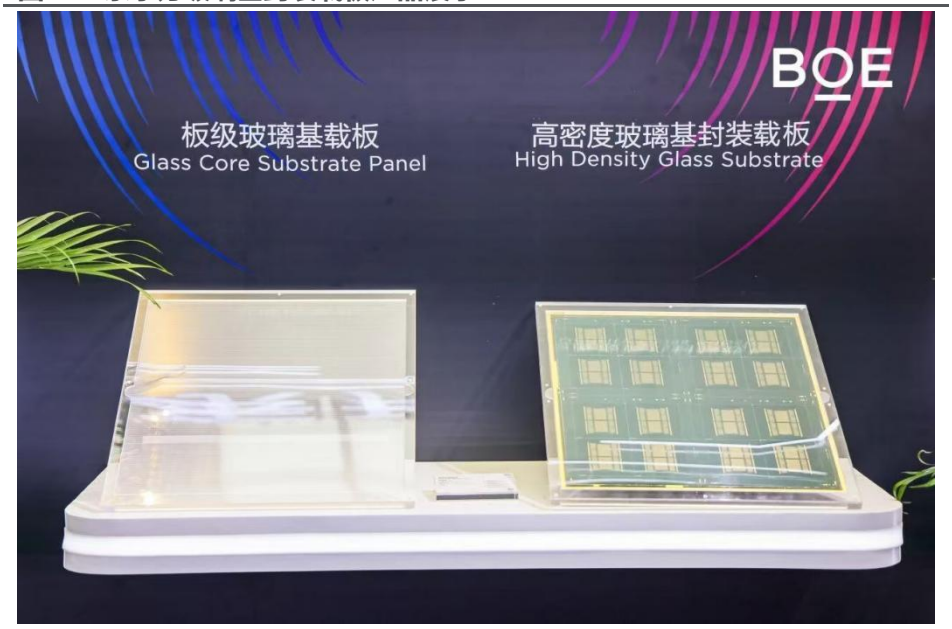


资料来源：沃格光电官网，国联民生证券研究所

4.2.2 京东方：板级试验线实现通线，20 层玻璃基载板进入客户测试阶段

京东方依托大尺寸面板制造和板级工艺能力，持续推进玻璃基封装载板产业化。公司 2020 年启动技术调研，2022 年投资 3.9 亿元建设玻璃基、硅基兼容的晶圆级创新实验平台，2024 年进一步投资 9.93 亿元建设板级玻璃基封装载板试验线；截至 2026 年上半年，该试验线已实现全自动化设备通线，设计产能为 1000 片/月。公司已拉通 TGV 开孔、深孔填铜、增层和布线等全流程工艺，并完成 9-2-9 结构、共 20 层的大尺寸玻璃基载板样品开发和送样，部分客户已通过概念认证并进入技术测试阶段。

图55：京东方玻璃基封装载板产品展示



资料来源：第一财经，国联民生证券研究所

4.2.3 凯盛科技：依托玻璃材料技术平台，自主布局半导体封装 TGV

下载日志已记录，仅供内部参考

通孔玻璃

凯盛科技依托中国建材体系在显示玻璃和新型玻璃材料领域的技术平台，重点推进半导体封装专用 TGV 通孔玻璃研发。显示玻璃与半导体封装玻璃在表面平整度、热稳定性和缺陷控制等方面具有一定工艺同源性，公司围绕介电性能、热膨胀系数调控及精密加工性能开展技术攻关，已逐步形成拥有自主知识产权的半导体封装 TGV 通孔玻璃产品。

4.2.4 蓝思科技：客户验证进展较快，建设 TGV 中试线及专用厂房

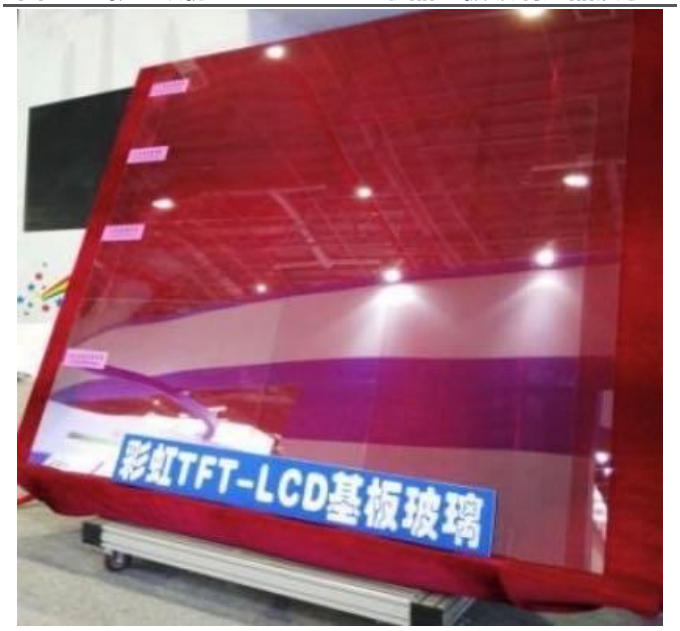
蓝思科技凭借长期积累的脆性材料加工和精密制造能力，将 TGV 玻璃基板作为重点研发方向。公司于 2023 年启动重点布局，并在 2026 年 CES 首次发布 TGV 玻璃基板技术，目前正与北美及韩国芯片代工和先进封装客户联合开展 22 层玻璃芯载板前、中段制程验证，其中韩国客户相关验证已基本完成，北美客户验证亦在推进。公司已掌握激光诱导打孔、化学蚀刻成孔、微裂纹处理和 PVD 种子层溅射等工艺，建成 TGV 玻璃基板中试线，并同步建设 3 万平方米专用厂房，计划于 2026 年底前投产，为后续客户批量供货和大尺寸玻璃基板量产做准备。

4.2.5 彩虹股份：依托液晶基板制造能力，推进半导体封装玻璃料方研发

彩虹股份是国内较早实现高世代液晶基板玻璃自主量产的企业，具备玻璃配方、熔制、溢流成型及品质控制等完整技术积累。公司已实现 G8.5+基板玻璃自主生产和稳定供货，为向半导体封装玻璃原片延伸奠定基础。目前公司正依托基板玻璃工艺能力及国家工程研究中心平台，推进高温玻璃、封装玻璃等新型料方研发，并持续跟踪基板玻璃在半导体先进封装领域的应用，但相关业务目前仍处于研发阶段，尚未进入客户批量验证及量产环节。

下载日志已记录，仅供内部参考

图56：彩虹股份 G6 TFT-LCD 液晶基板玻璃产品展示



资料来源：彩虹显示器件股份有限公司官网，国联民生证券研究所

图57：彩虹股份 G8.5+ TFT-LCD 液晶基板玻璃展示



资料来源：彩虹显示器件股份有限公司官网，国联民生证券研究所

4.2.6 旗滨集团：布局半导体封装玻璃基板，电子玻璃业务持续拓展

旗滨集团依托电子玻璃业务形成的超薄玻璃熔制及成型经验，逐步切入半导体封装玻璃基板领域。截至 2025 年末，公司拥有 4 条高性能电子玻璃产线，日熔量合计 345 吨，并在成熟浮法工艺基础上同步研发溢流、下拉和微浮法等新型成型工艺。伴随 AI 终端、智能汽车及先进封装产业快速发展，高性能电子玻璃应用场景持续拓展，半导体封装用玻璃基板、TGV 玻璃中介层等方向逐步成为重要发展赛道，公司现有电子玻璃产能及工艺积累有望为后续高附加值玻璃产品拓展提供基础。

4.2.7 力诺药包：中试窑炉完成点火，玻璃基板进入中试验证阶段

力诺药包依托中硼硅和高硼硅玻璃技术积累，向半导体玻璃基板等高端新材料领域延伸。公司在玻璃纯度控制、原料配比、高温熔炼及热膨胀系数精准调控等方面具备长期工艺积淀，与先进封装玻璃原片部分底层技术具有一定同源性。公司玻璃新材料科创孵化中心的试验线中试窑炉已于 2026 年 6 月 1 日点火，玻璃基板、微晶玻璃、激光防护玻璃等研发管线由实验室研发逐步进入中试验证阶段，但尚未形成规模化产品收入。

下载日志已记录，仅供内部参考

图58：力诺药包玻璃新材料试验线研发项目中试窑炉顺利点火



资料来源：力诺药包官网，国联民生证券研究所

4.2.8 戈碧迦：玻璃载板已实现量产，玻璃基板处于送样测试阶段

戈碧迦依托特种光学玻璃和功能玻璃材料积累，同时布局玻璃载板与玻璃基板两类先进封装产品。其中，玻璃载板主要作为 2.5D/3D 封装过程中的临时键合材料，目前已经实现量产并通过多家知名半导体厂商验证，相关产品已陆续交付并确认收入；玻璃基板主要用于 TGV 先进封装，公司已向国内多家知名半导体厂商送样测试，但由于产品需要根据芯片热膨胀系数等指标进行定制，目前尚未进入规模量产阶段。

图59：戈碧迦半导体领域用载板、基板玻璃产品



资料来源：戈碧迦官网，国联民生证券研究所

下载日志已记录，仅供内部参考

5 投资建议

我们认为 2025-2026 年玻璃基板产业的核心矛盾在于“材料突破+制程良率”，前者决定玻璃基板能否在热稳定性、高频损耗和 CTE 匹配上替代有机基板与硅中介层，后者决定 TGV 通孔填充、RDL 精细布线和 AOI 检测能否支撑规模化量产。

建议沿产业链三大环节布局：一是玻璃原片环节，具备玻璃配方、熔制成型及热膨胀系数调控能力的企业有望率先受益；二是玻璃基板加工及设备环节，掌握 TGV 通孔制造、RDL 精细布线和面板级封装工艺的厂商具备核心竞争力；三是 AOI 光学检测环节。

建议关注：1）加工环节：京东方 A、TCL 科技、沃格光电、蓝思科技、水晶光电、惠科股份、蓝特光学、舜宇光学；**2）设备环节：**帝尔激光、大族激光、东威科技、微导纳米、华工科技、盛美上海、德龙激光、芯碁微装、三孚新科；**3）材料环节：**凯盛科技、彩虹股份、旗滨集团、戈碧迦、天承科技、鼎龙股份、三孚新科、美迪凯；**4）封测环节：**通富微电、长电科技等。

表3：电子行业重点关注个股

证券代码	证券简称	股价	EPS（元）			PE（X）			评级
		(元)	2026E	2027E	2028E	2026E	2027E	2028E	
000725	京东方 A	5.5	0.25	0.32	0.45	22	17	12	推荐
000100	TCL 科技	4.63	0.34	0.46	0.60	14	10	8	推荐

资料来源：Ifind，国联民生证券研究所预测;

（注：股价为 2026 年 10 月 8 日收盘价）

下载日志已记录，仅供内部参考

6 风险提示

1）玻璃基板技术研发及产业化进程不及预期的风险。玻璃基板作为先进封装领域的新兴技术路线，目前仍处于产业化早期阶段，涉及玻璃材料、TGV 通孔制造、RDL 再布线、光学结构及检测等多个关键环节。若相关工艺成熟度提升、产品良率改善以及规模化量产进度不及预期，可能影响玻璃基板商业化应用节奏。

2）先进封装需求增长不及预期的风险。玻璃基板产业发展依赖 AI 算力、高性能计算以及 HBM 等先进封装需求增长。若 AI 服务器、数据中心资本开支或先进封装需求增长低于预期，可能导致玻璃基板市场渗透速度放缓，产业链相关企业订单释放不及预期。

3）下游客户验证及商业化导入进度不及预期的风险。玻璃基板涉及晶圆厂、封测厂及终端芯片厂商多环节验证，客户导入周期较长。若下游客户验证周期延长，或实际应用需求低于预期，可能影响相关企业商业化进展及盈利兑现。

4）行业竞争加剧的风险。随着玻璃基板技术路线逐渐受到产业关注，Intel、Corning、三星等海外企业以及国内厂商持续加大研发投入。若未来行业竞争加剧，企业无法在技术、成本或客户资源方面形成优势，可能影响市场份额及盈利能力。

下载日志已记录，仅供内部参考

插图目录

图 1： 先进封装历史发展趋势 5
图 2： 先进封装向 2.5D 3D 发展 6
图 3： 2.5D 3D 封装三维图 7
图 4： 2.5D 3D 封装截面图 7
图 5： 扇入型&扇出型封装对比 8
图 6： WLP 晶圆级封装流程 8
图 7： 先进封装从 MCM 发展至 SIP 8
图 8： Soc&SiP 区别 8
图 9： 台积电 CoWoS-S、CoWoS-R 与 CoWoS-L 封装架构对比 9
图 10： 台积电 SoC 与 SoIC 集成方案对比 10
图 11： 台积电 SoIC 芯粒拆分与集成示意图 10
图 12： 三星 Cube-S、Cube-E 与 Cube-R 先进封装架构对比 10
图 13： 3D Cube-T 展示 11
图 14： 3D Cube-H 展示 11
图 15： 英特尔 EMIB 3.5D 11
图 16： 英特尔 Foveros-S 2.5D 11
图 17： 2024 年全球先进封装主要厂商收入 13
图 18： 全球先进封装市场规模及预测（亿美元） 13
图 19： AMD Instinct MI300 系列算力芯片先进封装架构 14
图 20： 长电科技 XDFOI™ 先进封装技术平台及主要架构 15
图 21： 通富微电 FO（Fan-out）封装技术展示 15
图 22： 华天科技 SiP 系统级封装方案示意图 16
图 23： 华天科技 3D-eSinC 结构示意图 16
图 24： 算力芯片及先进封装向大尺寸方向发展 17
图 25： ABF 基板与硅中介层 CTE 差距导致易出现翘曲 17
图 26： 传统基板和封装体系面临的新问题 18
图 27： 玻璃基板可方形切割 19
图 28： 玻璃基板 CTE 表现更佳，高温下翘曲程度更低 19
图 29： 面板级封装和晶圆级封装面积大小对比 20
图 30： Glass Interposer 优势 21
图 31： CoPoS 示意图 22
图 32： Intel GlassCore 可部分替代 ABF 载板的核心层 22
图 33： GlassCore 成 Intel 下一代先进封装重点研发方向 22
图 34： Glass carrier 在芯片封装制造链条中的参与环节 23
图 35： 玻璃基板在 CPO 中的应用 24
图 36： 玻璃基板在 CPO 中的应用 24
图 37： Glass-based CPO 解决方案截面图 24
图 38： GlassBridge 示意图 25
图 39： CPO 交换机 26
图 40： FAU 示意图 26
图 41： 玻璃基板产业链示意图 28
图 42： 利用 LIDE 技术加工 TGV Interposer 的工艺流程 29
图 43： 集成了电互连结构和光波导的玻璃基板 29
图 44： TGV 制造工艺 31
图 45： TGV 金属化填充与精细布线工艺示意图 32
图 46： PrimaScan 自动光学检测系统 33
图 47： 英特尔 2023 年玻璃芯基板测试样品展示 35
图 48： Absolics 玻璃基板工厂于 2022 年启动建设 36
图 49： Absolics 玻璃基板样品展示 36
图 50： SCHOTT AF 32®高性能玻璃材料产品展示 38
图 51： SCHOTT AF 32®在 MEMS 封装中的应用示意 38
图 52： NEG GC Core™玻璃陶瓷芯基板及微通孔（Via）展示 39
图 53： 沃格光电玻璃基封装载板产品示意图 40
图 54： 沃格光电 TGV 玻璃基通孔与 PVD 电镀铜技术 40

下载日志已记录，仅供内部参考

图 55： 京东方玻璃基封装载板产品展示 40
图 56： 彩虹股份 G6 TFT-LCD 液晶基板玻璃产品展示 42
图 57： 彩虹股份 G8.5+ TFT-LCD 液晶基板玻璃展示 42
图 58： 力诺药包玻璃新材料试验线研发项目中试窑炉顺利点火 43
图 59： 戈碧迦半导体领域用载板、基板玻璃产品 43

表格目录

重点公司盈利预测、估值与评级 1
表 1： 英特尔 EMIB 与 Foveros 系列先进封装技术对比 12
表 2： 不同玻璃材料体系性能对比及应用方向 30
表 3： 电子行业重点关注个股 44

下载日志已记录，仅供内部参考

分析师承诺

本报告署名分析师具有中国证券业协会授予的证券投资咨询执业资格并登记为注册分析师，基于认真审慎的工作态度、专业严谨的研究方法与分析逻辑得出研究结论，独立、客观地出具本报告，并对本报告的内容和观点负责。本报告清晰准确地反映了研究人员的研究观点，结论不受任何第三方的授意、影响，研究人员不曾因、不因、也将不会因本报告中的具体推荐意见或观点而直接或间接收到任何形式的利益。

评级说明

投资建议评级标准	评级		说明
以报告发布日后的 12 个月内公司股价（或行业指数）相对同期基准指数的涨跌幅为基准。其中：A 股以沪深 300 指数为基准；新三板以三板成指或三板做市指数为基准；北交所以北证 50 指数为基准；港股以恒生指数为基准；美股以纳斯达克综合指数或标普 500 指数为基准。	公司评级	推荐	相对基准指数涨幅 15%以上
		谨慎推荐	相对基准指数涨幅 5%～15%之间
		中性	相对基准指数涨幅-5%～5%之间
		回避	相对基准指数跌幅 5%以上
	行业评级	推荐	相对基准指数涨幅 5%以上
		中性	相对基准指数涨幅-5%～5%之间
		回避	相对基准指数跌幅 5%以上

免责声明

本报告由国联民生证券股份有限公司或其关联机构制作。国联民生证券股份有限公司具有中国证监会许可的证券投资咨询业务资格。本报告的分销依据不同国家、地区的法律、法规和监管要求由国联民生证券于该国家或地区的具有相关合法合规经营资质的子公司/经营机构完成。在遵守适用的法律法规情况下，本报告亦可能由国联证券国际金融有限公司在香港地区发行。国联证券国际金融有限公司具备香港证监会批复的就证券提供意见（4 号牌照）的牌照，接受香港证监会监管，负责本报告于中国香港地区的发行与分销。

，本公司不会因任何人收到本报告而视其为客户。本报告仅为参考之用，并不构成对任何人的操作建议或任何保证，不应被视为买卖任何证券、金融工具的要约或要约邀请。本报告所包含的观点及建议并未考虑获取本报告的机构及个人的具体投资目的、财务状况、特殊状况、目标或需要，客户应当充分考虑自身特定状况，进行独立评估，并应同时考量自身的投资目的、财务状况和特定需求，必要时就法律、商业、财务、税收等方面咨询专家的意见，不应单纯依靠本报告所载的内容而取代自身的独立判断。在任何情况下，本公司不对任何人因使用本报告中的任何内容而导致的任何可能的损失负任何责任。

本报告是基于已公开信息撰写，但本公司不保证该等信息的准确性或完整性。本报告所载的资料、意见及预测仅反映本公司于发布本报告当日的判断，且预测方法及结果存在一定程度局限性。在不同时期，本公司可发出与本报告所刊载的意见、预测不一致的报告，但本公司没有义务和责任及时更新本报告所涉及的内容并通知客户。

在法律允许的情况下，本公司及其附属机构可能持有报告中提及的公司所发行证券的头寸并进行交易，也可能为这些公司提供或正在争取提供投资银行、财务顾问、咨询服务等相关服务，本公司的员工可能担任本报告所提及的公司的董事；本公司自营部门及其他投资业务部门可能独立做出与本报告中的意见或建议不一致的投资决策。客户应充分考虑可能存在的利益冲突，勿将本报告作为投资决策的唯一参考依据。

若本公司以外的金融机构发送本报告，则由该金融机构独自为此发送行为负责。该机构的客户应联系该机构以交易本报告提及的证券或要求获悉更详细的信息。本报告不构成本公司向发送本报告金融机构之客户提供的投资建议。本公司不会因任何机构或个人从其他机构获得本报告而将其视为本公司客户。提示客户及公众投资者慎重使用未经授权刊载或者转发的本公司证券研究报告，慎重使用公众媒体刊载的证券研究报告。

本报告的版权仅归本公司所有，未经书面许可，任何机构或个人不得以任何形式、任何目的进行翻版、转载、公开传播、篡改或引用，不得将报告内容作为诉讼、仲裁、传媒所引用之证明或依据，不得用于营利或用于未经允许的其它用途。所有在本报告中使用的商标、服务标识及标记，除非另有说明，均为本公司的商标、服务标识及标记。本公司版权所有并保留一切权利。

无锡 江苏省无锡市金融一街 8 号国联金融大厦 8 楼

上海 上海市虹口区杨树浦路 188 号星立方大厦 B 座 7 层

北京 北京市西城区丰盛胡同 20 号丰铭国际大厦 B 座 5F

深圳 深圳市福田区中心四路 1 号嘉里建设广场 1 座 10 层 01 室