仅供内部参考，请勿外传

申万宏源研究 SWS RESEARCH

2026 年 09 月 11 日

华为“韬定律”V3：能量定律与工程拐点

——科技领域点评

看好

相关研究

《华为“韬定律”V2：工程化、理论化与“著书立传“——科技领域点评》 2026/07/06

《华为“韬（τ）定律”的短期、中期与长期！——科技领域点评》 2026/05/26

证券分析师

刘洋 A0230513050006
liuyang2@swsresearch.com
刘建伟 A0230521100003
liujw@swsresearch.com
王珂 A0230521120002
wangke@swsresearch.com
周超 A0230525090001
zhouchao@swsresearch.com
袁航 A0230521100002
yuanhang@swsresearch.com
韩强 A0230518060003
hanqiang@swsresearch.com
杨海晏 A0230518070003
yanghy@swsresearch.com
黄忠煌 A0230519110001
huangzh@swsresearch.com
刘菁菁 A0230522080003
liujj@swsresearch.com
林起贤 A0230519060002
linqx@swsresearch.com

研究支持

姜安然 A0230125070008
jiangar@swsresearch.com

联系人

姜安然 A0230125070008
jiangar@swsresearch.com

申万宏源研究微信服务号

本期投资提示：

- **Tau 定律第三篇报告。**2026 年 5 月、7 月，华为 tau 前两篇论文发布，我们均发布报告评论。2026 年 9 月，第三篇论文《Huawei's τ Chip Was Supposed to Melt?》发表。内容大致包括：1）引入顶层金属节距问题；2）重点指出降功耗靠时钟树优化与减少搬运；3）减少搬运/电压实现双杠杆，分模块验证大幅优化；4）工艺影响：W2W；5）设计影响：引入新一代软硬协同；6）指出“热量-热密度-结温三段论”；7）通勤 + 西西弗斯比喻，方便读者理解；8）拉全行业一起“推石头”，体现自信。

- **功耗问题被质疑最多，论述原理、双杠杆、方法论。**1）上升到广义的功耗方法论，引出经典公式。2）本篇论文的关键洞察是：C（负载电容）对功耗很重要，其主导项来自导线，而非晶体管本体。导线电容占片内总电容的比例已过半，且随制程微缩恶化。3）**以上可以“平方律”优化。**逻辑折叠后，NPU 功耗下降 66%、功率密度下降 73%，重要因素是电源从 0.85V 到 0.55V 的降压（平方项），而不仅是线性项。4）华为论文还归纳了**功耗大幅度优化的几个原因：时钟树优化（对应前端的 C 线性项和后端）、减少搬运（对应 C 线性项）、并行化降压（对应 V^2 平方项）。**5）论文还引入散热的另一个根源问题：功率的重要性低于功率密度，功率密度的重要性或低于结界温度（junction temperature）。**华为解决办法更加底层，进入器件与材料层。这应当是较多质疑者没有考虑的工程实践。**

- **为何 40nm 设备能做出 1.5μm/720nm/480nm 键合？有成果有路线图。**1）我们用设备与键合使用不同的尺度，论述键合的关键不在设备分辨率，在于键合设备是否能将上下两层芯片的焊点对齐，在于工程能力，即对准、键合材料、工艺控制等。**两者的“富余倍数”很安全。**2）这几档 1.5μm/1μm/720nm/480nm 取值，有一个不由键合决定的参照系：**顶层金属节距约等于 720nm，所以这个数值也是键合节距的拐点。**3）为了帮助投资者理解，用大楼里的电梯井来比喻：键合就像高层电梯，越密越不需要横跨走廊，甚至可以用电梯进入地下室。4）**这种键合技术的提升，也会拉动配套设备和材料投资机会。按照华为定义，"键合设备"从封装厂划入晶圆厂前道工艺。**

- **FAQ 问题：这种技术弱化光模块？**电路设计中的存储墙、数据墙或缓解。光互联从边缘配件升级为垂直面的核心资源"，重要性不会下降。真正可能冲击的是一些短距通信，例如"片内短距 SERDES"，不是长距光模块。随着 AI 发展，后者应受益。

- **受益标的详见正文。**相关趋势的标的：**包括混合键合设备、先进封测、成熟制程代工、EDA、材料、通信算网、大芯片设计、光模块、液冷等领域。**

- **风险提示：**1）生态链竞争风险；2）未解决挑战风险；3）估值倍数偏高风险。

仅供内部参考，请勿外传

目录

1. 承上启下，全文梗概 4

2. 功耗的物理拆解 5

2.1 一切从 P = αCV²f 开始 5
2.2 双杠杆：V3 最重要的理论增量 5
2.3 上升到降功耗方法论 6
2.4 散热三段论：热量-热密度-结温 7

3. 40nm 设备与 1.5μm/720nm/480nm 节距 8

3.1 40nm 设备完成 1.5μm 键合 8
3.2 键合节距：1.5μm/720nm/480nm 的秘密 10
3.3 RC 平方律：对延迟 tau 的大幅度奖赏 11
3.4 W2W vs C2W：混合键合或成为前道工艺 12

4. FAQ：720nm 键合/tau 定律会弱化光模块？ 12

5. 标的与风险 13

仅供内部参考，请勿外传

图表目录

图 1：降功耗方法论的拆解 6
图 2：理解 40nm 设备、1.5μm/720nm/480nm 键合精度的对应关系 8
图 3：设备与键合使用不同的尺度 9
图 4：键合节距三态示意图（相对顶层金属节距 720nm） 11

表 1：电压杠杆的降低是功耗下降的关键 5
表 2：720nm 顶层金属节距很重要 10
表 3：tau 定律 V3 发布会，预计对光互连的分层影响 12
表 4：tau v3 论文相关领域 13
表 5：部分重点公司估值表（市值单位为亿元，净利润单位为百万元，%） 14

仅供内部参考，请勿外传

1. 承上启下，全文梗概

我们在 2026 年 5 月发布华为 tau 第一篇报告《华为“韬（τ）定律”的短期、中期与长期！—科技领域点评》，2026 年 7 月发布华为 tau 第二篇《华为“韬定律”V2：工程化、理论化与“著书立传“—科技领域点评》。

2026 年 9 月，何庭波在 ChinaXiv 发表 τ 定律系列第三篇论文《Huawei's τ Chip Was Supposed to Melt?》，正面回应"逻辑折叠堆叠会不会烧"的行业质疑，并公布麒麟 2026 实测数据与三年路线图。

这篇论文的梗概是：

1）V1-2 披露后，大家质疑散热，华为何庭波 V3 专答撰写《Huawei's τ Chip Was Supposed to Melt?》。原文称“…… the skepticism in the room was thick. The single sharpest objection pointed toward heat, heat, and more heat”。

2）**引入顶层金属节距问题。**键合间距向 720nm 顶层金属收敛；

3）面对大家质疑功耗增加：指出降功耗靠时钟树优化（缓冲器砍半）+ 减少搬运。后者同 DeepSeek 近存逻辑但层级不同；

4）这样逻辑折叠实现关键路径（critical path）折叠。获得红利原本可提高主频，但刻意花在降压降功耗（“时间是工具，能量是奖品”），这样 40nm 设备够用；

5）这样减少搬运/电压实现双杠杆：对于功耗经典公式，减线是 C 参数线性项，并行化降频降压是 V^2 平方项。典型功率优化：NPU（-66%）>GPU（-58%）>CPU 大核（-41%）。分模块双模式实测功耗。

6）工艺影响：W2W（晶圆到晶圆，Wafer to wafer，下同） vs C2W（芯片到晶圆，Chip to wafer，下同）：键合划为前道工艺，改写封测/代工边界。

7）设计影响：引入新一代软硬协同，论文指出“Rather than forcing one heroic big core to shoulder every demanding workload, task schedulers and folded floorplans are co-optimized to **parallelize tasks in software** and dispatch them across several small”。

8）面对大家质疑热量提升，指出“热量-热密度-结温三段论”，后面两者才关键（热密度是 heat density，结温是 junction temperature）。冷热交错布局，只折叠关键路径。

9）何庭波优美的行文：通勤 + 西西弗斯比喻，方便读者理解；

10）披露 V1-V3 不是为了炫技，是拉全行业一起往前走（呼应西西弗斯的比喻），体现自信。



仅供内部参考，请勿外传

2. 功耗的物理拆解

2.1 一切从 P=αCV²f 开始

经典的动态功耗有一个标准公式：**P=α·C·V²·f。**其中 P 是功耗（power）。其中，α是开关活动因子，C 是负载电容（capacitance），V 是电源电压（voltage），f 是开关频率（frequency）。

本篇论文的关键洞察是：C（负载电容）的主导项来自导线，而非晶体管本体。在先进制程中，导线电容占片内总电容的比例已过半，且随制程微缩恶化。线越细、越密，单位长度电容越高，信号在导线上"通勤"的代价越大。

论文引用的数据：AI 集群 80% 以上的能耗用于搬数据，而非计算本身（原文为“It is just as true in a large AI cluster: more than 80% of the energy is spent moving data”）。

用“通勤”的比喻帮助读者理解能量。办公室职员的能量账单中，大头是通勤（上下班），不是伏案（干活）。传统微缩是在"伏案"环节省力（晶体管做小），tau 定律的逻辑折叠，直接"让家搬到办公室楼下"（缩短导线）。

2.2 双杠杆：V3 最重要的理论增量

这是 V1/V2 未展开、V3 补齐的核心结构：

表 1：电压杠杆的降低是功耗下降的关键

杠杆	物理量	数学性质	收益来源
杠杆一：缩短通勤	C（电容）	线性项	LogicFolding 把 2D 平面走线折叠为 3D 短距走线
杠杆二：并行化降压	V²（电压平方）	平方项	折叠腾出的晶体管余量复制电路（NPU 1 大核→4 大核），并行且各自低压

资料来源：何庭波等《Huawei's τ Chip Was Supposed to Melt?》，申万宏源研究

NPU 功耗下降 66% 、功率密度下降 73%，重要因素是电源从 0.85V 到 0.55V 的降压（平方项），而不仅仅是减线（线性项）。**如果用比喻来理解：上文的 C 电容是短杆，而 V² 是长杆。**换短杆省力，但最终同时电压平方的收益大得多。

获得的功耗收益随并行度递减：NPU（-66%）> GPU（-58%）> CPU 大核（-41%）。原因是：

1）对于 NPU：电压从 0.85V 降至 0.55V，而且模块并行度高、数据吞吐越密集，折叠带来的收益最大。

2）对于 GPU：电压降低 200 毫伏（幅度低于 NPU），同样并行度高，功耗下降 58%

3）对于 CPU：大核因串行执行，并行度偏弱。时钟频率降低 9%（幅度偏小），供电电压下降 200 毫伏，被论文公开标记为"还没啃下的硬骨头"。

仅供内部参考，请勿外传

上述思路，与“吉恩·阿姆达尔（AMDAHL’S LAW）的经典软件理论”较为类似。论文里面指出：华为这套逻辑折叠理论（即串行电路决定性能上限，并行电路可以用牺牲单线程速度换取并行规模的方法折中），与软件的“吉恩·阿姆达尔的经典理论”思想比较类似，只是一个在电路，一个在软件工程。阿姆达尔的理论指出：程序串行部分占比决定并行化能够拿到的性能上限。

2.3 上升到降功耗方法论

如果上升到广义的功耗方法论，理论为：

P_total = α·C·V²·f (动态) + P_sc (短路) + V·I_leak (静态泄漏)；其中第一部分就是本篇论文着重描述的动态功耗，实际还有短路功耗、静态泄漏。

在这种维度下，有这些方法用于降低功耗：

图 1：降功耗方法论的拆解



资料来源：何庭波等《Huawei's τ Chip Was Supposed to Melt?》，申万宏源研究

对于芯片架构设计或前端设计，包括：

1） 压 α：**时钟门控**（clock gating）、操作数隔离、存储器分区休眠；

2） 压 V²：DVFS/AVFS 动态电压调节、**并行化降压**、近阈值/亚阈值计算；

3） 压 C：减少数据搬运（近存/存内计算）、算法级低位宽量化；

4） 压 I_leak：**电源门控**（MTCMOS）、多电压域 MSV、动态衬底/阱偏置；

5） 模数混合专属：数字辅助模拟、占空比工作、Class-D 功放/开关电源替代 LDO；

对于后端物理设计/EDA 优化，包括：

仅供内部参考，请勿外传

1）时钟树综合优化：缓冲器精简/合并、时钟网格、时钟门控单元前移;

2）多阈值单元替换：关键路径 LVT、非关键路径 HVT;

3）布局布线降 RC：缩短关键路径走线、中继器最优插放;

4） 电源网格修复 IR-drop、衬底/阱偏置 back-biasing

制造（前道/中道/后道）：提供物理上限与立体化手段，包括:

1） 前道器件：HKMG 高介电金属栅、FinFET/GAA 围栅、SOI/FDSOI;

2） 后道 BEOL：low-k 介质与空气隙、低阻金属 Cu/Co/Ru、顶层厚金属;

3） 中道/3D 封装：3D 堆叠缩短全局互连、混合键合 W2W 亚微米节距

华为本篇论文重点指出:

1） 时钟树优化（对应 前端的 C 线性项和后端）：单模块时钟布线下降 28%，缓冲器从 43600 下降到 19000 个（论文指出"On one processing block alone, folding shortened the clock wiring by 28%, and dropped the buffer count from 43,600 to 19,000"）。

2）减少搬运（对应 C 线性项）：关键路径（critical path）直接逻辑折叠，导线物理缩短。论文原文："In our experience, wire lengths on folded paths fall by 20% on typical cores and by up to 70% on some critical paths"。这与 DeepSeek 近存/存算一体同源但层级不同——DeepSeek 是系统级近存，LogicFolding 是片上门级走线物理缩短。

3） 并行化降压（对应 V^2 平方项）：折叠余量复制电路、副本并行、各自低压，是 V^2 杠杆的工程兑现，同上面 2.1-2.2 章节。

2.4 散热三段论：热量-热密度-结温

质疑的产业人士和投资人，一般认为逻辑折叠、3D 堆叠的散热难度较大。一方面用上文“通勤”来解释，另一方面，论文还引入散热的另一个根源问题：功率的重要性低于功率密度，功率密度的重要性或低于结界温度（junction temperature）。

因为对于 AI 场景来说，能源消耗还是其次的，更关键是电路结界温度异常带来的电路失灵或性能下降。**这里，华为解决办法更加底层，进入器件与材料层。这应当是较多质疑者没有考虑的工程实践。**根据华为论文:

一方面，功耗分散在多层有源硅层，而非全部压在单平面上，单位立方毫米发热量降低，而热流密度才是决定结温高低的根本（论文里面“total power genuinely dropped at iso-performance and the reduced power is distributed across multiple active silicon tiers rather than a single densely populated plane”）。

另一方面，剩余热量做疏导管理。折叠压缩 NPU 等高发热模块的占用面积，预留空间让热量横向扩散，消除局部热点，之后再向上传导到芯片表面。层间存在适度温度梯度，下层硅层会比上层高出数摄氏度，这一点在设计之初就纳入考量，把高热模块布置在散热

仅供内部参考，请勿外传

路径最优的位置（论文里面“face. The modest vertical temperature gradient where the bottom tier runs a few degrees warmer than the top, is budgeted as a design parameter by placing the hottest blocks where heat escapes most easily”）。

3. 40nm 设备与 1.5μm/720nm/480nm 节距

论文涉及的 1.5μm、720 或 480nm 键合，与 40nm 设备，会让部分投资者困扰，认为设备分辨率限制影响键合精度。本文力争技术上深入浅出，帮助投资者。

图 2：理解 40nm 设备、1.5μm/720nm/480nm 键合精度的对应关系

第一步：分清两把尺子

尺子 A：分辨率（印多细）	尺子 B：套刻精度（对多准）
指这台设备能刻出的最小线宽 40nm 节点极限：~38-40nm 半节距 **40nm 设备这值 ≈ 40nm**	指两层图形能对得多准 ASML XT:1980Di ≤1.6nm、2000i 2.5nm **40nm 设备这值 ≈ 1.6-2.5 nm**

↓ 键合用的是尺子 B，不是尺子 A ↓

第二步：四档节距的对准预算 vs 40nm 设备的套刻精度

对准预算 ≈ 节距 × 1/4（imec 工程经验值）；富余倍数 = 对准预算 ÷ 套刻精度（1.6-2.5nm）

键合节距	互连数	对准预算	富余倍数	验算
1.5 μm 麒麟 2026 · 已量产	5000 万	~375 nm 节距 × 1/4	150–235 倍 375÷(1.6~2.5)	面积≈113mm²
1.0 μm 麒麟 2027 · 硅片已实现	超 1 亿	~250 nm 节距 × 1/4	100–155 倍 250÷(1.6~2.5)	面积≈100mm²
720 nm 三年目标 · 对齐顶层金属	超 2 亿	~180 nm 节距 × 1/4	72–112 倍 180÷(1.6~2.5)	面积≈104mm²
480 nm 远期 · 下沉低层金属	≈ 4.3 亿	~120 nm 节距 × 1/4	48–75 倍 120÷(1.6~2.5)	面积≈104mm²

第三步：反过来验算数字（自洽性）

互连数 ∝ 1 / 节距²，三档反推面积全部落在 100–113mm²

- **1.5μm × 5000万 → 反推键合区 ≈113 mm²**
- **1.0μm × 1亿 → 反推键合区 ≈100 mm²**
- **720nm × 2亿 → 反推键合区 ≈104 mm²**

资料来源：阿斯麦官网，何庭波等《Huawei's τ Chip Was Supposed to Melt?》，申万宏源研究

3.1 40nm 设备完成 1.5μm 键合

论文里面指出："我们利用 40 纳米设备...实现了 1.5 微米混合键合间距"，部分投资者不理解如何做到。

尺度的定义：设备与键合使用不同的尺度。40nm 设备的"分辨率"（相当于印字大小）是 40nm，但它的"套刻精度"（Overlay，相当于两版对得多准）是数纳米级，典型值为 1.6-2.5nm。键合尺度，在论文里是 1.5μm/1μm/720nm/480nm。两者相差几十倍或以上。

首先，键合的关键不在设备分辨率，在于键合设备是否能将上下两层芯片的焊点对齐，在于工程能力，即对准、键合材料、工艺控制等。

仅供内部参考，请勿外传

1）混合键合对准预算的经验值为节距的 1/4。两片晶圆要对上，每个焊盘中心的允许误差不能大于节距的 1/4，否则焊盘和底层走线对不齐、阻抗断崖式恶化。这是个机械+光学+材料三重约束下的工程经验值，不是设计裕量。

2）1.5um 键合时，只要上下两层芯片的焊点偏移范围在 375nm（上述间距的四分之一）范围内，都能键合上。

3）720nm 键合要的对准预算为 180nm（其四分之一），比 40nm 设备的套刻精度粗 72–112 倍。因此，精度并非瓶颈，难点在两片晶圆怎么压平压齐压稳。

图 3：设备与键合使用不同的尺度



资料来源：阿斯麦官网，何庭波等《Huawei's τ Chip Was Supposed to Melt?》，申万宏源研究

其次，芯片的"多少 nm 节点"，指该代工艺能刻出的最小特征尺寸（栅极/半节距）。

40nm 节点意味着最小图形约 40nm。刻出 40nm 的典型设备是 193nm ArF 浸没式 DUV（代表机型 ASML XT:1980Di/2000i）[1]。其分辨率极限约为 40nm 半节距（C-quad 40nm/dipole 38nm）。

在这里，投资者可以了解，分辨率（Resolution）约 40nm，但套刻（Overlay）精度典型值为 1.6-2.5nm，两者相差几十倍。

综上，键合关键是“对的准”，富余倍数很安全。

富余倍数的定义为：富余倍数=对准预算 ÷ 套刻精度。采用 XT:1980Di/2000i，套刻精度是 1.6-2.5nm，这是同代 40nm 设备的实际可达精度。论文中的四档键合节距的富余倍数都超过数十倍，工程压力较低。

因此，键合的精度瓶颈不在上述设备分辨率，而在两片整晶圆要怎么在翘曲、应力、CMP 表面起伏之下保持亚微米对位再压合。整条路是工程问题，不是设备问题。

[1] 详见阿斯麦 ASML 官网关于 Di/i 的公开产品说明书。

仅供内部参考，请勿外传

3.2 键合节距：1.5μm/720nm/480nm 的秘密

论文里论述：顶层金属节距 720nm 很重要，本节详细解释。为了帮助投资者理解，用大楼里的电梯井来比喻。

论文里面涉及的 1.5μm、1μm、720nm、480nm 是同一个物理量：键合节距（bonding pitch），即上下两片晶圆的键合界面上，相邻两个键合焊盘中心到中心的距离。三点需要说明：

1）不是 40nm 制程"缩微出来的结果"，与工艺节点没有换算关系，之前已经论述；

2）不是某根金属线的宽度：它度量的是焊盘阵列的分布密度。节距每缩小一档，单位面积可排布的焊盘数按 **“1/节距²”** 平方增长。例如 1.5μm 变成 720nm，密度乘以 4.3，互连 密度从 5000 万变成 超过 2 亿；

3. 它是“垂直出入口”的密度标尺：节距越小，楼里电梯井越密，信号跨层越不需要绕路——这正是 LogicFolding 划不划算的物质基础。

这几档取值，有一个不由键合决定的参照系：顶层金属节距约等于 720nm，所以这个数值也是键合节距的拐点。它由电流承载与 IR 压降定标，跨节点基本稳定，不由晶体管尺寸决定。键合节距相对这个参照系的位置，直接决定折叠的收益状态。论文原文："A typical logic process has a top-metal pitch of **720 nm**. Match the bonding pitch to that figure, and face-to-face wafers can join top-metal signals directly"。

表 2：720nm 顶层金属节距很重要

键合节距	状态	与顶层金属 720nm 的关系	意义
1.5μm	麒麟 2026 量产	顶层金属 720nm，键合焊盘 1.5μm	能用，但有扇出。多数金属线要先横着走一段才能找到焊盘
1μm	麒麟 2027	仍比顶层金属疏	更好，但仍有扇出
720nm	三年目标	等于顶层金属节距	关键拐点：每根顶层金属线头顶正对一个焊盘，零扇出，信号直连
480nm	远期	比顶层金属更密	不仅能接顶层，还能下沉接更底层金属。设计自由度更大

资料来源：何庭波等《Huawei's τ Chip Was Supposed to Melt?》，申万宏源研究

于是，逻辑折叠后，华为相关的芯片有三类不同状态：

1）失配状态（1.5μm、1μm）：**焊盘密度低于顶层金属节距。用比喻来说明：信号跨层前得先在顶层"横着走到最近的电梯口"。**这段横向绕行即论文所称 fan-out（扇出）。1.5μm 时绕行最长，1μm 把失配收窄一半，多数关键路径已可零扇出折叠。麒麟

仅供内部参考，请勿外传

2026/2027 量产档即此。注意：键合节距（1.5μm）约为顶层金属节距（720nm）的 2.08 倍，落在论文提出的 "3 倍经验阈值"之内。折叠已经有效，只是还不够优秀。

2）对齐状态（720nm）：**焊盘密度恰好等于顶层金属线密度，每根顶层金属线正上方都有焊盘。用比喻来说明，信号出门即上电梯、垂直一跳完成跨层。**这就是论文路线图里"Gear Ratio 为 1"的零扇出拐点，"鸟笼"式布线开销基本消失，折叠收益最大化，是当前设计目标。

3）密度更高（480nm）：键合节距 （480nm）相当于顶层金属节距 （720nm）的 67%，相当于“出入口比顶楼楼板还密 “。**焊盘不仅能接顶层，还能"下沉"打到更低金属层。用比喻来说明，大楼每一层都有了电梯门，甚至直通地下室，设计自由度真正打开。**这是论文中指出的未来趋势。

这个领域，也会拉动配套设备和材料投资机会。720nm 之后（480nm 及更密）才真正进入材料与力学深水区。键合设备（对准、压力控制）、CMP 抛光/清洗（表面质量）、超薄晶圆与应力管理（翘曲/锥度）三条产业线*先于"更小节距"兑现订单。

图 4：键合节距三态示意图（相对顶层金属节距 720nm）



资料来源：何庭波等《Huawei's τ Chip Was Supposed to Melt?》，申万宏源研究

3.3 RC 平方律：对延迟 tau 的大幅度奖赏

在电路设计里面，R 等效为电阻，C 等效为电容，L 代表线长，∝意思是“正相关”。

未插中继的线段上， R∝L，C∝L，于是延迟 $\tau \propto R \cdot C \propto L^2$。这意味着线长翻倍时，延迟变四倍。前面章节论述逻辑折叠后，如果线长减少一半（通过逻辑折叠、键合等的工程进步），那么延迟也是平方律的奖赏：达到原来四分之一，优化 75%。

这就是论文里那句 "adding wire, congestion, and RC, the very costs folding is meant to remove" 的底层物理：折叠省的是"长度"，扇出还回去的也是"长度"。长度每提高一倍/减少一半，延迟按平方律恶化四倍/优化 75%。720nm 是收益大幅优化的起点。

仅供内部参考，请勿外传

3.4 W2W vs C2W：混合键合或成为前道工艺

在这篇报告里面，华为把混合键合定义为晶圆厂前道工艺，而非封装步骤。晶圆对晶圆（W2W）继承数纳米套刻精度，芯片对晶圆（C2W）只是微米级处理，精度差一个数量级。预计这会改写封测与代工的产业边界。

1）C2W 路径：芯片一颗颗由机械手"贴"到晶圆上。基础精度有限（微米级），即便经多年优化仍停留在微米级，典型值是 1-3μm。多用于 2.5D CoWoS-R、InFO 这类先进封装。

2）W2W 路径：两片整晶圆对贴，对准基准直接继承数纳米级套刻。这是混合键合能进入亚微米节距的根本原因。

3）但 W2W 仍要过几道关： 应力管控、CMP 平坦化、清洗、晶圆翘曲（wafer bow）、 边缘锥度（edge taper）、高精度对准。

对于半导体设备，"键合设备"从封装厂划入晶圆厂前道工艺。产业含义：键合设备国产化（例如拓荆科技 Dione300、例如迈为股份 12 寸键合）不再是"封测外延"，而是直接代工产线投资；EDA/IP/超薄硅片/CMP 抛光液也会迎来新需求。

4. FAQ：720nm 键合/tau 定律会弱化光模块?

逻辑折叠，和相关的一系列底层创新、架构创新，会影响光模块需求吗?

论据一：论文原文的拓扑论证“N^2 vs N 扇出困境”。传统 2.5D 里算力按面积 N^2 增长，但存储带宽/互连/供电沿边缘只按周长 N 增长，缺口越拉越大。

华为的逻辑折叠把供电、存储、光互连从"周长"迁到"垂直表面"，使其同样进入 N^2 轨道，电路设计中的存储墙、数据墙可能缓解。这样**光互联从边缘配件升级为垂直面的核心资源"**，重要性不会下降。

论据二：真正可能冲击的是一些短距通信，例如"片内短距 SERDES"，不是长距光模块。随着 AI 发展，后者应受益。

键合间距缩至 720nm，意味着原本走 SERDES 的短距 chip-to-chip 通信可在封装内消化。若大量普及，可能受冲击的是片间 SERDES IP、PCIe 重定时器、低速短距光芯片（SR/PSM/AEC）。而长距 DR/FR/LR、相干、CPO 反而受益。

下表帮助投资者理解。

表 3：tau 定律 V3 发布会，预计对光互连的分层影响

层级	典型技术	τ 定律影响
L1 片内互连	标准单元走线、时钟树	直接缩短（LogicFolding）
L2 封装内互连	混合键合、硅中介层	直接强化（1.5μm，到 1μm/720nm/480nm）
L3 板级互连	PCB、UCIe/AIB/BoW	基本无影响

仅供内部参考，请勿外传

L4 机柜内互连	板间 SERDES、铜缆、AEC	或略有压力（短距 SERDES 价值可能弱化）
L5 机柜间互连	光模块 800G/1.6T/3.2T	结构性强化
L6 跨数据中心	相干光模块、OXC	结构性强化

资料来源：何庭波等《Huawei's τ Chip Was Supposed to Melt?》，申万宏源研究

5. 标的与风险

按照前文分析，相关趋势的标的如下。包括混合键合设备、先进封测、成熟制程代工、EDA、材料、通信算网、大芯片设计、光模块、液冷等领域。

维持行业“看好”。相关标的在下表。

表 4：tau v3 论文相关领域

领域	环节	标的	逻辑
1	混合键合设备	拓荆科技（Dione 300 ）、北方华创 、华海清科、迈为股份	tau V3 路线图重点环节
2	先进封测	通富微电、华天科技、甬矽电子、盛合晶微	载体；W2W 前道化下代工协同属性增强
3	成熟制程代工	中芯国际、华虹公司	--
4	EDA（弹性大）	华大九天、概伦电子、广立微	tau 系列重点：软硬件协同设计
5	材料	沪硅产业（超薄硅片）、艾森股份、鼎龙股份	键合耗材
6	通信算网	曦智科技、锐捷网络、盛科通信、优迅股份、裕太微	Hi-ONE/UB 的适配是证明，否则不用新协议
7	大芯片设计/AI 算力	寒武纪、海光信息	LogicFolding 至 AI 加速器为 2030 路线
8	光模块/互联	中际旭创、新易盛、天孚通信、源杰科技、华工科技	--
9	液冷/金刚石	英维克、力量钻石、沃尔德	--

资料来源：ifind,申万宏源研究

仅供内部参考，请勿外传

表 5：部分重点公司估值表（市值单位为亿元，净利润单位为百万元，%）

证券代码	证券名称	2026/9/10	Wind 一致预期利润预测（单位：百万元）			预测 PE		
		总市值(亿元)	2025A	2026E	2027E	2025A	2026E	2027E
688981.SH	中芯国际	6334	5,041	7,303	9,175	126	87	69
002371.SZ	北方华创	4635	5,522	7,322	10,632	84	63	44
688820.SH	盛合晶微	2354	921	1,122	1,750	256	210	135
688347.SH	华虹公司	2212	377	1,057	1,530	587	209	145
688498.SH	源杰科技	2140	191	1,000	1,754	1121	214	122
688072.SH	拓荆科技	1843	927	1,978	2,762	199	93	67
000988.SZ	华工科技	1064	1,471	2,303	3,010	72	46	35
002156.SZ	通富微电	885	1,219	1,841	2,120	73	48	42
688126.SH	沪硅产业	740	-1,508	-617	-311	--	--	--
301269.SZ	华大九天	488	61	166	242	800	294	201
688807.SH	优迅股份	283	88	111	142	321	255	200
688206.SH	概伦电子	202	34	37	94	589	553	215
688515.SH	裕太微-U	115	-134	-60	42	--	--	273

资料来源：Wind，iFind，申万宏源研究

注：业绩预期来自 Wind 一致预期

风险：

1）科技领域新产品与学术理论众多，不同生态链存在竞争带来的波动风险；

2）上述理论存在“未解决的挑战”，例如工艺偏差、垂直互联开销、能耗等，伴随业务风险；

3）相对估值倍数偏高的风险。

仅供内部参考，请勿外传

信息披露

证券分析师承诺

本报告署名分析师具有中国证券业协会授予的证券投资咨询执业资格并注册为证券分析师，以勤勉的职业态度、专业审慎的研究方法，使用合法合规的信息，独立、客观地出具本报告,并对本报告的内容和观点负责。本人不曾因，不因，也将不会因本报告中的具体推荐意见或观点而直接或间接收到任何形式的补偿。

与公司有关的信息披露

本公司隶属于申万宏源证券有限公司。本公司经中国证券监督管理委员会核准，取得证券投资咨询业务许可。本公司关联机构在法律许可情况下可能持有或交易本报告提到的投资标的，还可能为或争取为这些标的提供投资银行服务。本公司在知晓范围内依法合规地履行披露义务。客户可通过 compliance@swsresearch.com 索取有关披露资料或登录 www.swsresearch.com 信息披露栏目查询从业人员资质情况、静默期安排及其他有关的信息披露。

机构销售团队联系人

华东团队	茅炯	021-33388488	maojiong@swhysc.com
华北团队	肖霞	15724767486	xiaoxia@swhysc.com
华南团队	王维宇	0755-82990590	wangweiyu@swhysc.com
华北创新团队	潘烨明	15201910123	panyeming@swhysc.com
华东创新团队	朱晓艺	18702179817	zhuxiaoyi@swhysc.com

股票投资评级说明

证券的投资评级：

以报告日后的 6 个月内，证券相对于市场基准指数的涨跌幅为标准，定义如下：

买入（Buy）　　：相对强于市场表现 20%以上；

增持（Outperform）　　：相对强于市场表现 5%～20%；

中性（Neutral）　　：相对市场表现在 - 5%～ + 5%之间波动；

减持（Underperform）　　：相对弱于市场表现 5%以下。

行业的投资评级：

以报告日后的 6 个月内，行业相对于市场基准指数的涨跌幅为标准，定义如下：

看好（Overweight）　　：行业超越整体市场表现；

中性（Neutral）　　：行业与整体市场表现基本持平；

看淡 (Underweight)　　：行业弱于整体市场表现。

我们在此提醒您，不同证券研究机构采用不同的评级术语及评级标准。我们采用的是相对评级体系，表示投资的相对比重建议；投资者买入或者卖出证券的决定取决于个人的实际情况，比如当前的持仓结构以及其他需要考虑的因素。投资者应阅读整篇报告，以获取比较完整的观点与信息，不应仅仅依靠投资评级来推断结论。申银万国使用自己的行业分类体系，如果您对我们的行业分类有兴趣，可以向我们的销售员索取。

本报告采用的基准指数　　：沪深 300 指数（A 股）、恒生中国企业指数（H 股）、纳斯达克指数（美股）

法律声明

本报告由上海申银万国证券研究所有限公司（隶属于申万宏源证券有限公司，以下简称“本公司”）在中华人民共和国内地（香港、澳门、台湾除外）发布，仅供本公司的客户（包括合格的境外机构投资者等合法合规的客户）使用。本公司不会因接收人收到本报告而视其为客户。客户应当认识到有关本报告的短信提示、电话推荐等只是研究观点的简要沟通，需以本公司 http://www.swsresearch.com 网站刊载的完整报告为准，本公司接受客户的后续问询。本报告是基于已公开信息撰写，但本公司不保证该等信息的真实性、准确性或完整性。本报告所载的资料、工具、意见及推测只提供给客户作参考之用，并非作为或被视为出售或购买证券或其他投资标的的邀请。本报告所载的资料、意见及推测仅反映本公司于发布本报告当日的判断，本报告所指的证券或投资标的的价格、价值及投资收入可能会波动。在不同时期，本公司可发出与本报告所载资料、意见及推测不一致的报告。客户应当考虑到本公司可能存在可能影响本报告客观性的利益冲突，不应视本报告为作出投资决策的惟一因素。客户应自主作出投资决策并自行承担投资风险。本公司特别提示，本公司不会与任何客户以任何形式分享证券投资收益或分担证券投资损失，任何形式的分享证券投资收益或者分担证券投资损失的书面或口头承诺均为无效。本报告中所指的投资及服务可能不适合个别客户，不构成客户私人咨询建议。本公司未确保本报告充分考虑到个别客户特殊的投资目标、财务状况或需要。本公司强烈建议客户应考虑本报告的任何意见或建议是否符合其特定状况，以及（若有必要）咨询独立投资顾问。在任何情况下，本报告中的信息或所表述的意见并不构成对任何人的投资建议。在任何情况下，本公司不对任何人因使用本报告中的任何内容所引致的任何损失负任何责任。市场有风险，投资需谨慎。若本报告的接收人非本公司的客户，应在基于本报告作出任何投资决定或就本报告要求任何解释前咨询独立投资顾问。

版权均属本公司。未经本公司事先书面授权，本报告的任何部分均不得以任何方式制作任何形式的拷贝、复印件或复制品，或再次分发给任何其他人，或以任何侵犯本公司版权的其他方式使用。所有本报告中使用的商标、服务标记及标记均为本公司的商标、服务标记及标记，未获本公司同意，任何人均无权在任何情况下使用他们。