仅供内部参考，请勿外传！

2026 年09 月 03 日

国盛证券 GUOSHENG SECURITIES

玻璃基板：AI封装升级驱动，TGV产业链迎黄金发展期

分析师 张一鸣

执业证书编号：S0680522070009

邮箱：zhangyiming@gszq.com

分析师 何鲁丽

执业证书编号：S0680523070003

邮箱：heluli3652@gszq.com

打造极致专业与效率

仅供内部参考，请勿外传！

摘要

- **后摩尔时代，晶体管早已触及物理极限，CoWoS封装方面面临着产能不足、成本高、发热翘曲等问题。**随着AI芯片性能持续提升，英伟达核心GPU由H100的4nm演进至VR200的3nm，晶体管数量、显存带宽和功耗不断提升，单纯依靠制程微缩已难以持续支撑性能增长，先进封装与Chiplet成为突破瓶颈的重要方向。当前2.5D、3D等先进封装路线并行发展，其中CoWoS已成为高端AI芯片的重要封装方案，但仍存在产能不足、光罩尺寸受限、大尺寸硅中介层成本及良率压力较高、ABF载板热膨胀系数失配导致翘曲等问题。
- **玻璃基板多重性能领先，为先进封装产业重要发展方向。**相较有机基板、硅基中介层和陶瓷基板，玻璃基板具备低且可调的热膨胀系数、较优介电性能、高平整度以及大尺寸制造能力，可支持约2/2μm精细线路和约25μm Core Via，有望改善大尺寸封装中的翘曲、信号损耗及面积利用率问题。目前玻璃基板已形成CoPoS、Intel Glass-Core、CPO和玻璃桥等多种应用方式。据PMarketResearch，全球玻璃基板市场规模由2020年的71.2亿美元增长至2024年的90.3亿美元，预计2032年达到168.1亿美元。与此同时，CPO等新兴应用亦有望拓展潜在应用空间。
- **TGV打孔和孔内金属化是玻璃基板制造的两大核心技术难点。**玻璃基板制造流程主要包括玻璃切割与清洗、TGV打孔、湿法刻蚀、光学检测、PVD种子层沉积、铜电镀、ABF压合增层等，其中TGV形成直接影响后续种子层沉积、金属化、填充和可靠性。目前TGV打孔主流方案为激光诱导改性+湿法化学蚀刻（LIDE），对应飞秒激光加工和湿法刻蚀设备；孔内金属化涉及种子层沉积和铜电镀，后续还需CMP实现表面平坦化。设备端，国内帝尔激光、汇成真空、盛美上海、华海清科等厂商已在相关设备领域形成布局。
- **投资建议：**建议分三条主线关注：1）TGV精密加工，关注玻璃通孔加工及相关玻璃基板制造环节；2）核心设备卖铲人，重点关注TGV激光打孔、PVD种子层沉积、铜电镀、CMP等关键工艺设备；3）上游原片环节，关注具备玻璃原片研发、制造能力，并有望向半导体玻璃基板领域延伸的厂商。相关标的建议关注：京东方、TCL科技、深天马、沃格光电；帝尔激光、大族激光、华工科技、英诺激光、德龙激光、海目星、华海清科、汇成真空、盛美上海、东威科技、北方华创；天承科技、彩虹股份、凯盛科技等。
- **风险提示：**研发不及预期风险，技术路线不确定性风险，第三方数据及信息准确性风险，宏观经济环境风险，贸易限制风险，行业竞争格局风险。

仅供内部参考，请勿外传！

目录

1 AI芯片需求持续井喷，2.5D封装方案面临瓶颈

2 多重性能领跑，玻璃基板为封装产业核心方向

3 玻璃基板的技术难点：激光打孔和孔内金属化

4 投资建议与风险提示

仅供内部参考，请勿外传！

01

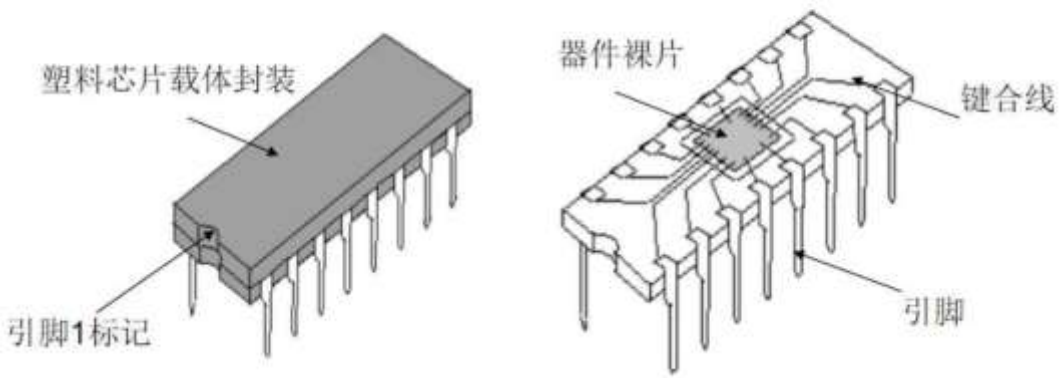
AI芯片需求持续井喷，2.5D封装方案面临瓶颈

仅供内部参考，请勿外传！

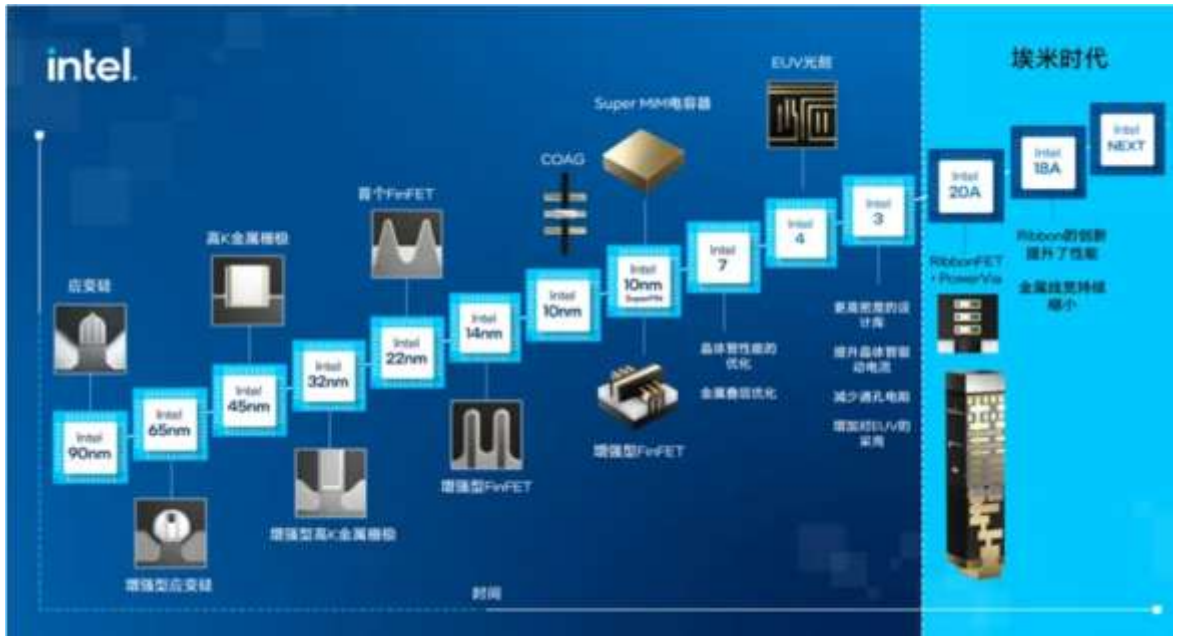
AI芯片性能飞速提升，传统封装/摩尔定律早已无法满足需求

- **传统封装是将单颗芯片用塑料壳保护起来、再通过引脚连接电路板的简单外壳结构。** 以DIP为代表的传统封装将芯片密封于黑色塑料壳体内，两侧金属引脚直接插入PCB焊接，结构简单、成本低，是1970–1980年代集成电路的主流封装形态。其结构由内到外分为三层：最内层将单颗裸芯片固定在金属托盘上，中间层通过细金属键合线将芯片与外部引脚连通，最外层注入环氧塑料封装成型形成黑色外壳。这一结构的本质是“一颗芯片、一个壳、两排引脚”。
- **过去50年芯片性能的提升严格遵守摩尔定律。**摩尔定律指的是：芯片上可容纳的晶体管数量大约每12个月会增加一倍，性能会在18个月内翻倍。它精准描述了此后半个世纪半导体行业的发展节奏，芯片性能以指数级持续跃升。

图：DIP封装的外观及内部结构图



图：Intel芯片发展历程



资料来源：ic先生、semiwiki，国盛证券研究所

仅供内部参考，请勿外传！

后摩尔时代，芯片制程已到3nm，晶体管早已触及物理极限

- **最新的英伟达VR200芯片制程已到3nm，晶体管早已触及物理极限。**后摩尔半导体行业不再单纯依靠“缩小晶体管尺寸”来提升芯片性能的时期近年来，英伟达核心GPU芯片晶体管数量上持续增进，制程从H100的4nm发展到VR系列的3nm，晶体管早已触及物理极限，**再往下做，会带来散热和漏电等严重问题。**
- 为了突破行业瓶颈，行业提出三大方向：**先进封装**与芯粒技术 (Chiplet)；新材料与新结构；架构的创新等。

表：NVIDIA核心GPU性能参数

	H100 SXM版	H200 SXM版	B200 GB200版	B300 NVL版	VR200 NVL版
架构	Hopper	Hopper	Blackwell	Blackwell	Rubin
显存带宽（TB/s）	3.35	4.8	8	8	20
显存大小（GB）	80	141	192	279	288
FP4稠密算力（PFLOPS）	-	-	10	15	50
FP8稠密算力（PFLOPS）	4	4	-	-	-
GPU TDP（W）	最高700	最高700	1200	最高1400	1800-2300
封装方式	单Die CoWoS-S	单Die CoWoS-S	双Die CoWoS-L	双Die CoWoS-L	2个计算Die和2个专用的I/O Die CoWoS-L
晶体管数	800亿	800亿	2080 亿	2080 亿	3360 亿
制程/fab厂	4nm/TSMC	4nm/TSMC	4NP/TSMC	4NP/TSMC	3NP/TSMC
载板	ABF	ABF	ABF	ABF	ABF

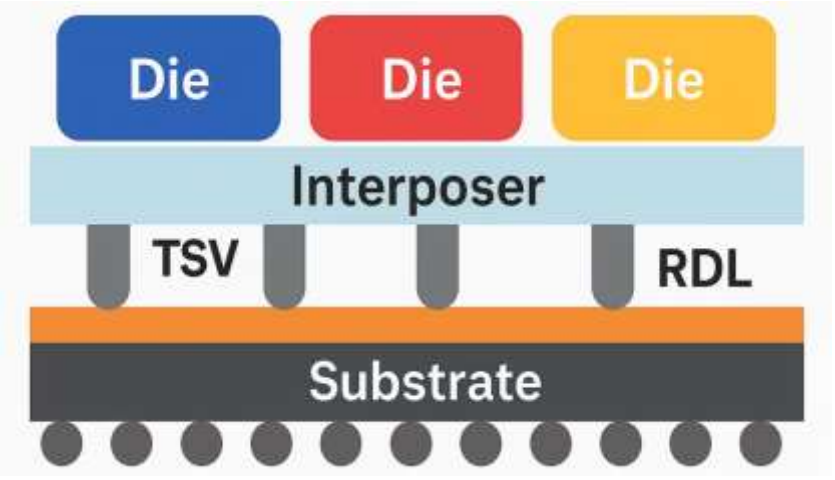
资料来源：英伟达官网，Hansenfluid官网，芯智讯，腾讯网，IT之家，热设计网，semianalysis，CubCloud AI，techinsights，Reuters，国盛证券研究所

仅供内部参考，请勿外传！

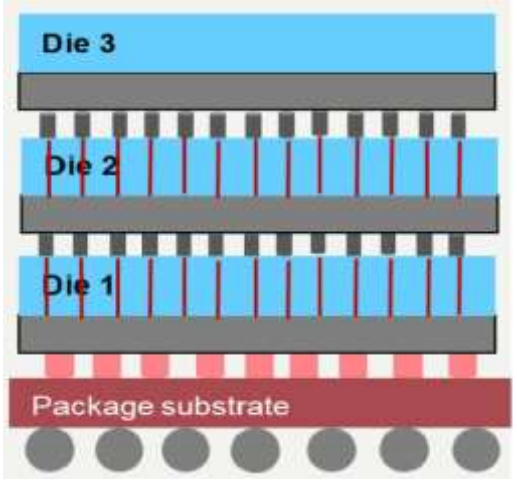
先进封装有横向拓展(2.5D)、纵向堆叠(3D)和3.5D几种思路

- **CoWoS（2.5D的一种）特别适合处理器与内存之间需要大带宽互连的场景。**多颗芯片整合于硅中间层上，透过TSV与RDL实现高速互连，中间层下方通过有机载板和PCB连接实现电气互联。芯片间距离近、信号传输快、散热也相对容易管控。
- **3D封装的核心是将多颗芯片垂直叠放，进一步压缩占用面积、提升集成密度。**靠底部的芯片与顶部的芯片通过垂直的 TSV 直接连通，数据传输极快，整体体积非常小，数据传输速度极快，但制造难度高，热量集中。3D堆叠已在HBM产品中实现规模化商用，而将HBM直接堆叠于GPU上的3D集成仍面临较大的散热挑战。
- **3.5D封装**结合了2.5D封装的平面扩展与3D封装的垂直堆叠优势，常用于人工智能（AI）和高性能计算（HPC）芯片。

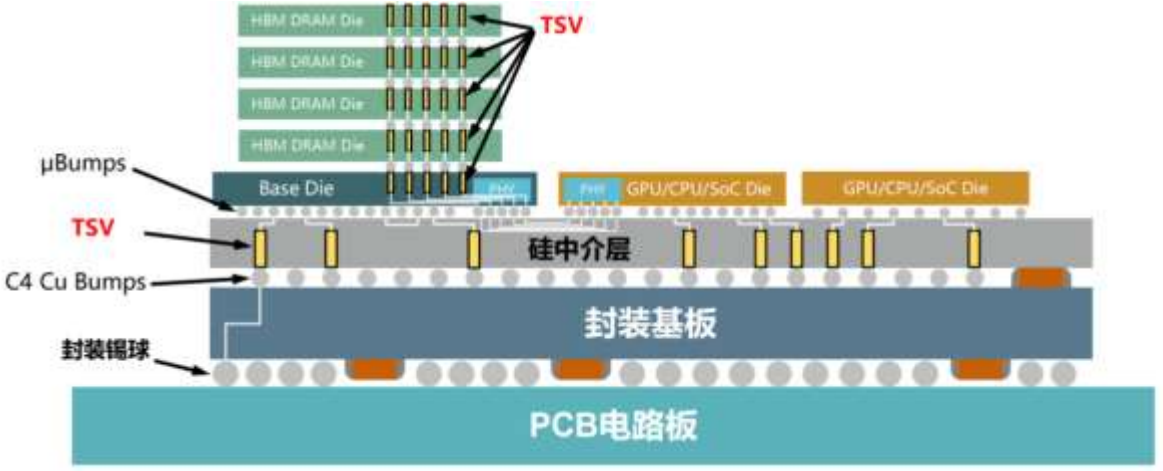
图：2.5D（CoWoS）封装结构示意图



图：3D封装结构示意图



图：3.5D封装结构示意图



资料来源：AmiNext，芯语，guiahardware，国盛证券研究所

仅供内部参考，请勿外传！

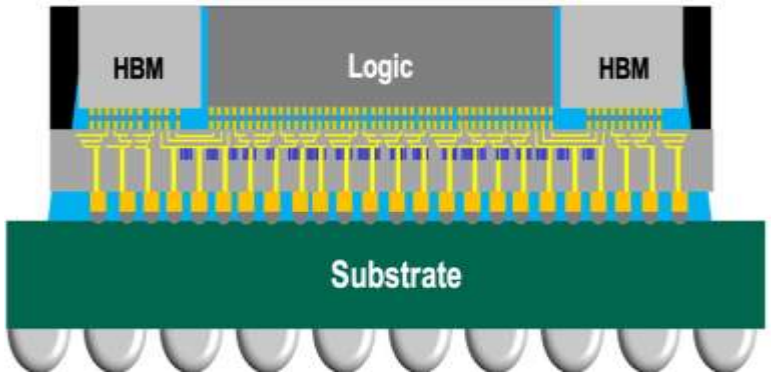
CoWoS封装技术核心在于硅中阶层，但其并非先进封装终点

◆ **CoWoS 封装技术是台积电开发的2.5D先进封装技术，**主要包括三种主要类型：

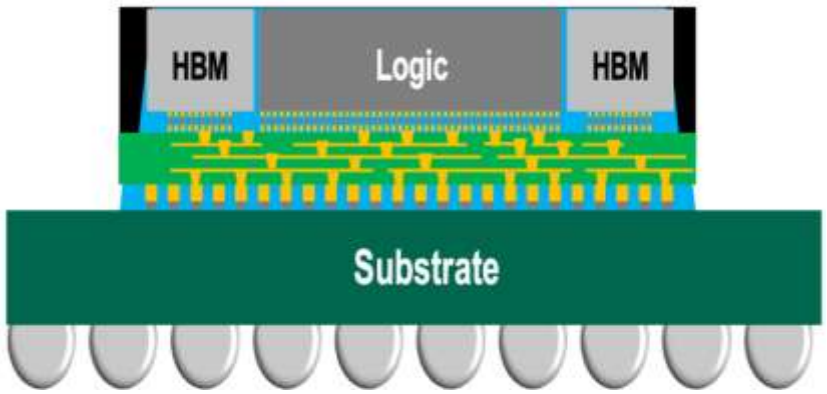
- CoWoS-S（Silicon Interposer）采用传统硅中介层，互连密度高，是高端HPC/AI芯片的重要2.5D封装方案，H100采用此方案，成本较高，尺寸受硅片限制。
- CoWoS-R（RDL Interposer）以有机重布线层替代硅中介层，成本更低、尺寸更灵活，但互连密度低于CoWoS-S，适合对成本敏感的中端产品。
- CoWoS-L（Local Silicon Interconnect）采用RDL中介层与局部硅互连（LSI）的混合方案，在关键互连区域保留局部硅桥，兼顾高密度与大尺寸扩展性，GB200双Die拼接正是采用此方案，代表当前最先进的量产CoWoS技术。

◆ 随着AI芯片规模持续扩大，中介层制造成本急剧攀升，据Epoch AI测算，先进封装成本加封装良率损失已占B200总制造成本约三分之一；封装尺寸越大翘曲越难控制，良率损失明显；多层堆叠结构也使信号路径变长、传输损耗增加。

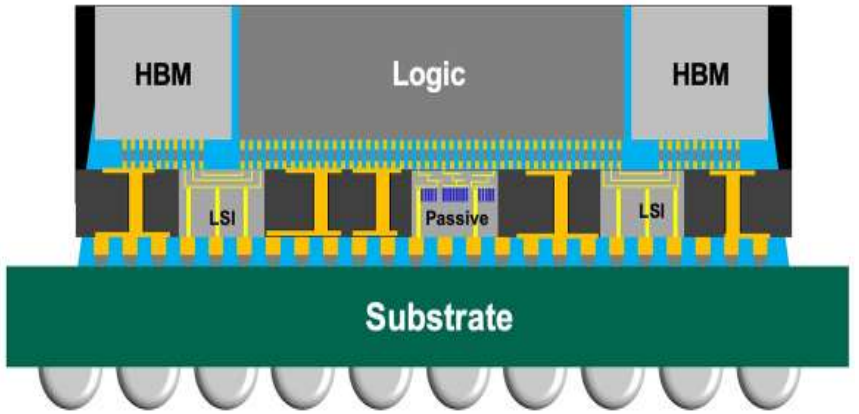
图：CoWoS-S



图：CoWoS-R



图：CoWoS-L



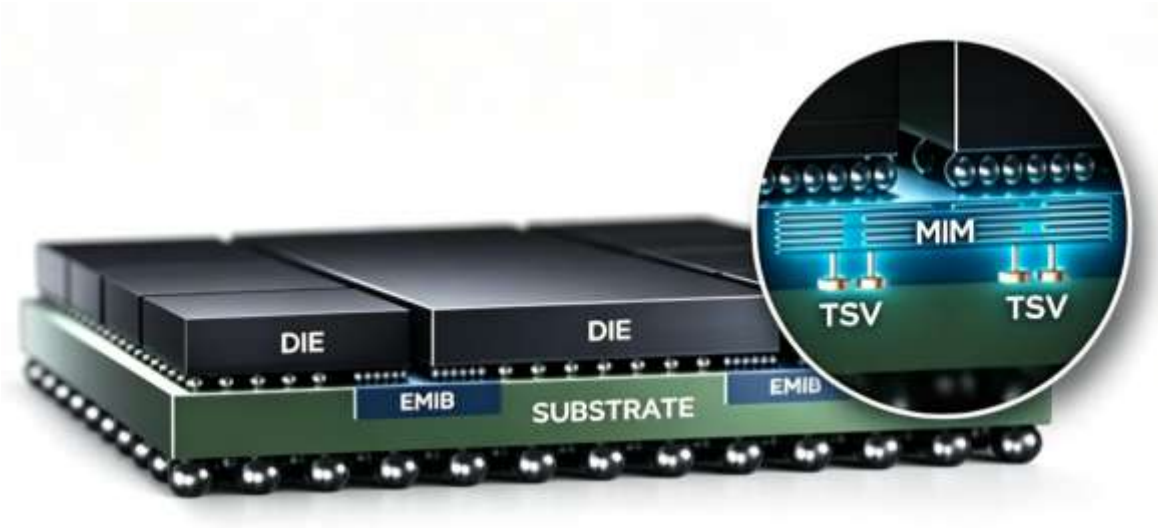
资料来源：台积电，国盛证券研究所

仅供内部参考，请勿外传！

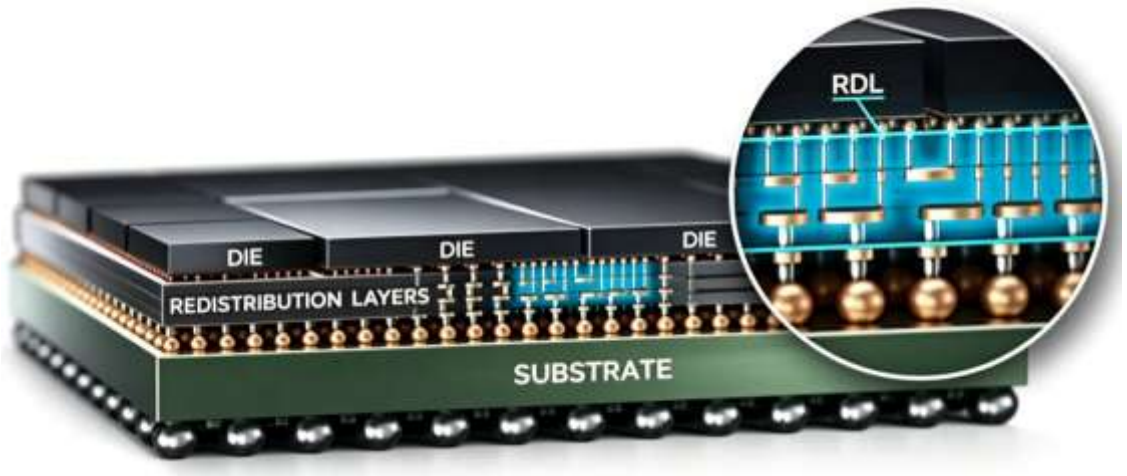
Intel具备多种不同的2.5D封装技术，适配不同场景

- **英特尔具备多种不同的2.5D封装方案，针对不同的场景实现分层覆盖全市场、性能 / 成本 / 场景精准匹配。**Intel有EMIB 系列、Foveros-S/R/B（无源基底 Die、RDL 中介层）、EMIB-T/M、EMIB 3.5D 等多套 2.5D 方案，不同方案适配的场景不同：1）EMIB 2.5D（嵌入式多芯片互连桥）是不用铺满整片硅，只在芯片缝隙埋一小块硅桥做高速互联的低成本 2.5D 封装技术；2）Foveros-S 2.5D：所有芯粒平铺在 Passive Base Die（无源硅基底 / 硅中介层）上；3）Foveros-R 2.5D：所有芯粒平铺在一整片 RDL 薄膜中介层铺在基板上方，预计2027年准备投产；还有Foveros Direct 3D和EMIB 3.5D等方案。

图：EMIB 2.5D



图：Intel Foveros-R2.5D



资料来源：Intel官网，国盛证券研究所

仅供内部参考，请勿外传！

2.5D和3D封装方案各有千秋，适用于不同的场景

◆ **两者的核心差异，在于芯片的摆放方式与由此带来的性能、成本、散热的不同取舍。**2.5D封装牺牲了部分集成密度，换来了更好的散热管控与更高的量产良率，因此成为当前AI驱动的HPC芯片封装的主流方案 。3D封装则以极致的互连密度与最短信号路径见长，但散热瓶颈决定了它目前主要用于低功耗的存储芯片。

表：2.5D与3D先进封装技术对比

	2.5D封装	3D封装
芯片排列方式	裸片并排放在共用中介层上	裸片垂直堆叠，一个叠在另一个之上
带宽	通过中介层RDL实现的超高布线密度	通过短TSV实现最高带宽
互连距离	毫米级（跨中介层表面）	微米级（垂直贯穿芯片）
延迟	低；高于3D封装	极低
能效	性能强劲的异构节点	卓越
模块占位面积	较大的水平封装尺寸，可容纳所有芯片	水平占地面积更小；高度随堆叠数量增加而增大
散热/热通路	散热更轻松；每个裸片都有各自通往散热器的短路径	散热困难，存在堆叠热点；下层芯片热量需穿过上层芯片传递，热设计复杂
测试	成熟，可预键合测试	复杂，访问受限
良率模型	每个裸片独立失效；出现不良中介层会导致所有裸片报废	堆叠中只要有一颗不良裸片，整个堆叠就会报废；良率会随着堆叠数量呈几何级下降
设计规范	成熟的2.5D设计流程；完善的EDA工具支持	需要对热、电、机械进行协同设计；EDA工具仍在发展完善中
成本	成本高（中介层），但良率良好	成本最高——TSV与键合步骤

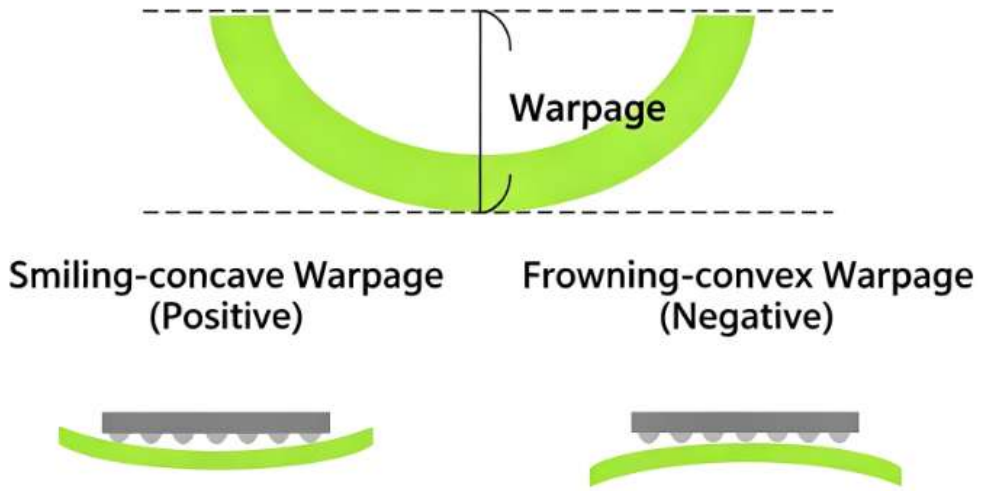
资料来源：cadence，semiconductorx，国盛证券研究所

仅供内部参考，请勿外传！

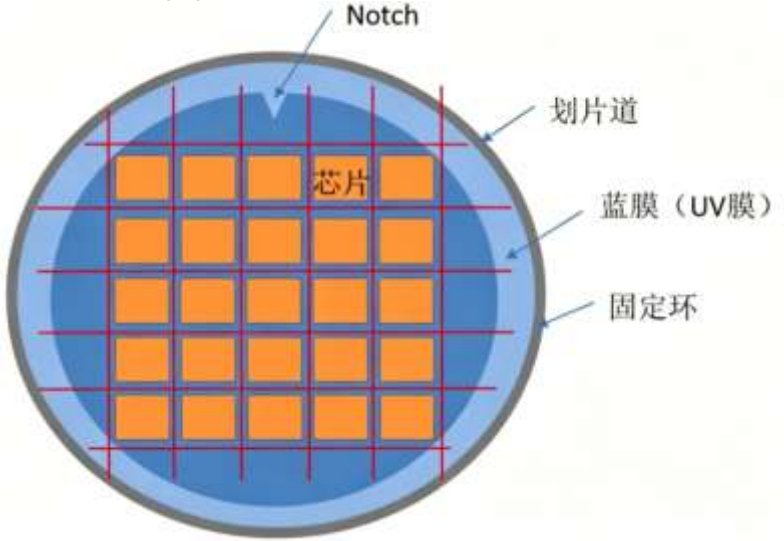
CoWoS的核心瓶颈：成本高昂、载板翘曲问题严重、产能不足等

- **目前CoWoS的瓶颈：**
- **1）产能严重不足：**封装所需的设备交付周期过长，扩产速度难以追赶AI芯片厂商需求；TSMC一家独大，全球大部分的2.5D封装产能依赖于TSMC，据Counterpoint Research，2026年台积电CoWoS供需缺口仍约20%，预计2027年随着自有产能向18万片/月提升，供需缺口将收窄至约10%。
- **2）光罩大小已触及物理极限：**单颗芯片面积受限，传统半导体光刻机的光罩（掩膜版）存在固定尺寸上限（约858mm^2）；折中方案容易拉低良率，AI 芯片尺寸持续增大，只能将单片大芯片拆分为多颗芯粒，再依靠中介层完成集成拼接；该方式不仅提升了封装工艺复杂度，还显著抬高生产制造难度与生产成本。
- 3）**良率管控与成本高昂：**CoWoS-S 方案采用大尺寸硅中介层，只要中介层任意一处出现缺陷，整片中介层连带其上所有芯片都会直接报废，推高制造成本；多颗高带宽内存（HBM）与逻辑芯片高密度整合，对封装对位、键合精度形成巨大考验；圆形硅片裁减成方形大小，面积利用效率约在50%左右。
- 4）**翘曲问题严重：**ABF载板的热膨胀系数远大于硅中介层与芯片，AI芯片TDP较高容易引发翘曲问题。此外，还有整机测试时间长等问题。

图：不同类型的翘曲



图：硅晶圆裁切



资料来源：TrendForce，TD新材料，搜狐，固高科技，国盛证券研究所

仅供内部参考，请勿外传！

02

多重性能领跑，玻璃基板为封装产业核心方向

仅供内部参考，请勿外传！

玻璃基板具备较优的介电性能，热膨胀系数（CTE）低且可调

- **有机基板是目前最主流的封装基板，成本低、工艺成熟，但随着芯片性能提升，已经到材料极限。**采用ABF等积层绝缘材料的有机基板广泛应用于消费级CPU、GPU封装，但其热膨胀系数高、封装尺寸越大越容易翘曲，难以支撑下一代芯片的更高技术需求。
- **硅基中介层互连密度高，CTE匹配，是当前高端AI芯片封装的主流方案。** CoWoS-S可实现超高密度互连，硅中介层采用晶圆级BEOL等精细加工工艺，成本高昂，尺寸扩展受制造工艺限制。
- **陶瓷基板**导热性能突出、热膨胀系数较低，以AlN为例，导热率约150–240 W/m·K，CTE约4.6–4.8 ppm/K，适用于高发热器件，如光源、光通信等场景。 陶瓷材料刚性较高，已在相关电子封装领域形成长期产业化应用。
- **玻璃基板是以玻璃为核心的新一代封装载体材料。** 有别于传统有机基板与硅基中介层，玻璃基板将极低热膨胀系数、高平整度、低介电损耗等优异物理特性引入封装领域，从材料层面突破了现有封装技术的核心瓶颈。

图：四种基板材料对比

对比维度	有机基板	硅基中介层	陶瓷基板	玻璃基板
热膨胀系数 CTE（ppm/K）	较高（~17）	低（~2.6–3.0）	较低（AlN ~4.6–4.8）	低且可调节（~3–8.5）
导热率（W/m·K）	低（~0.2–0.5）	高（~150）	高（AlN ~150–240）	低（~1.0–1.5）
介电性能（Dk/Df）	中等（~4/0.025@10GHz）	较弱（Dk~11.9）	低损耗（~6–9/0.0012@10GHz）	较优（~5–7/~0.006@10GHz）
线路精细度 L/S（μm）	中等（15/15 advanced）	高（可实现亚微米级互连）	较低（~30/30 advanced）	高（~2/2）
垂直互连能力	中等（Core Via ~40 μm）	高（高密度互连）	中等（Core Via ~60 μm）	高（Core Via ~25 μm）
大尺寸及翘曲控制	较弱（大尺寸易翘曲）	较优（中介层~2700 mm²）	较优（高刚性）	优（510×515 mm；图形失真降低~50%）
产业成熟度	高（主流量产）	高（成熟量产）	高（长期产业化应用）	较低（产业化推进期）
主要应用场景	CPU/GPU/ASIC等封装基板	AI/HPC、HBM、2.5D封装	高发热器件（光源、光通信）	AI/HPC、Chiplet、CPO

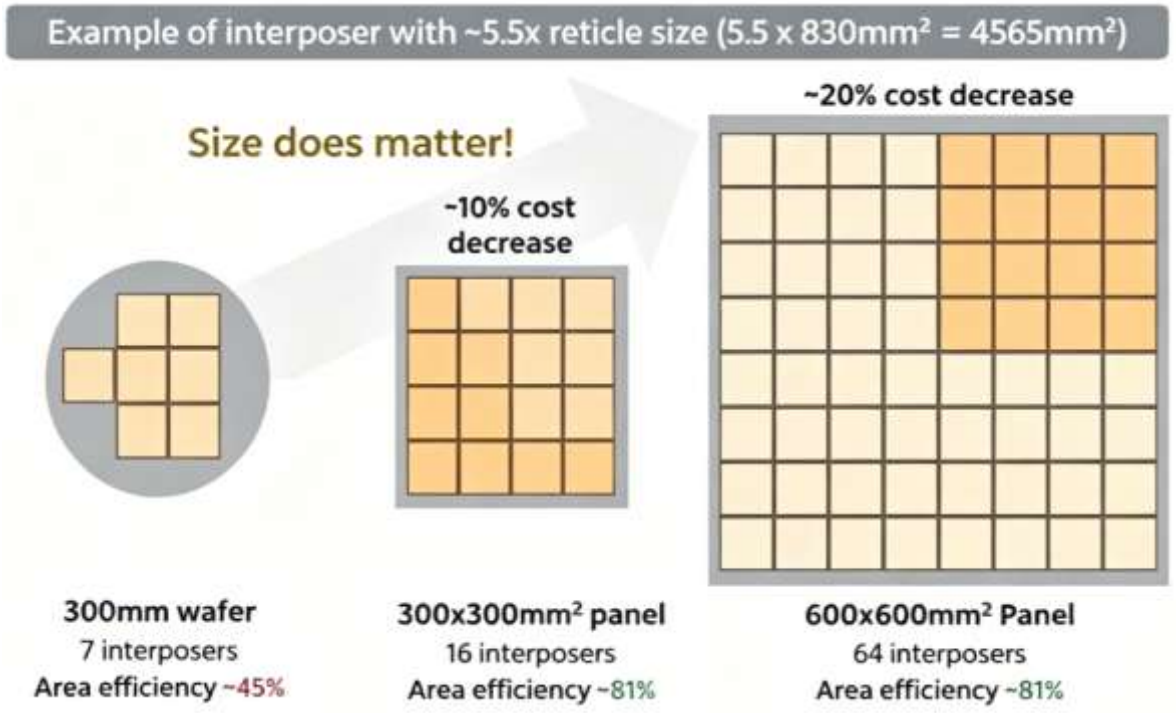
资料来源：IEEE，Yole，Corning，Kyocera，AIST，NIST，TSMC，Intel，AGC，Shinko，国盛证券研究所

仅供内部参考，请勿外传！

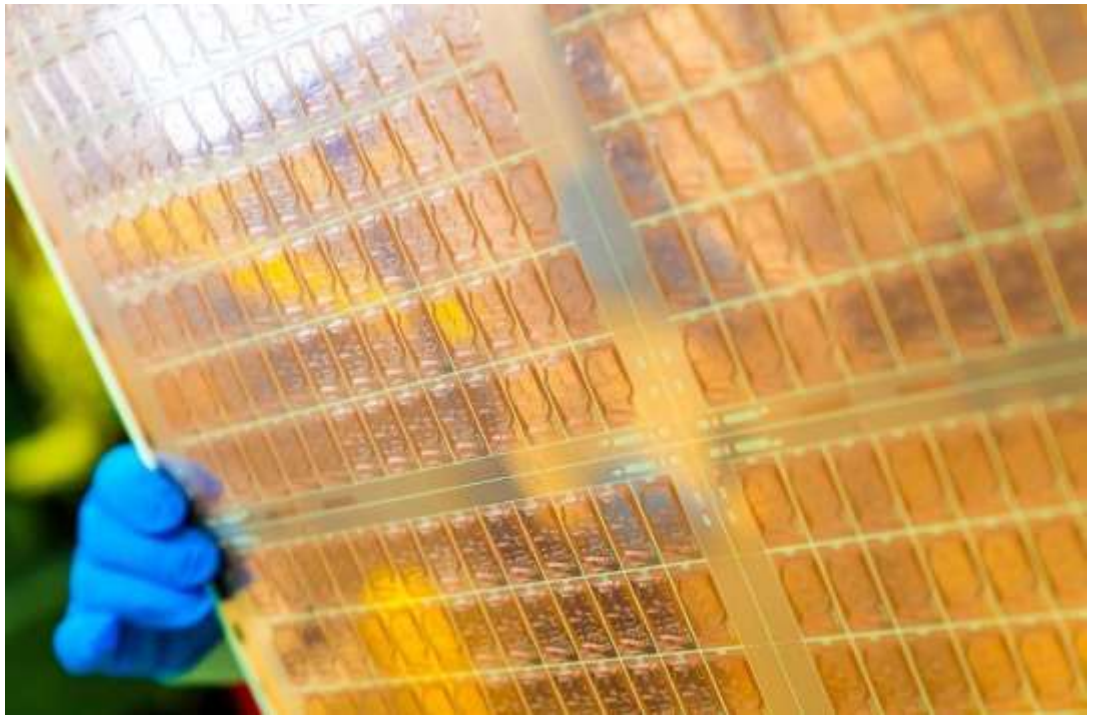
玻璃基板用于封装的优点：超强热稳定性、抗翘曲和经济优势等

- **封装方案更换成玻璃基板的优势：**
- 1）**极致平面度，支持超高密度线路：**玻璃表面平整度远优于有机材料，可精准制作更细密的微型线路；同等面积下可集成更多晶体管，显著提升芯片运算速度。
- 2）**超强热稳定性与抗翘曲：**玻璃高温环境下仍能保持平直；CTE和硅芯片高度接近，可大幅降低冷热循环带来的封装失效风险。
- 3）**卓越的电气性能：**玻璃的介电性能较优，能够降低高频信号损耗、缩短信号延迟，保障信号传输完整、无串扰失真。
- 4）**大尺寸制造具备经济性优势：**玻璃可以做成很大的平面板，适配越来越大面积的AI芯片，没有边缘浪费问题；面板生产技术成熟，有望大幅度降低生产成本。

图：大尺寸封装中WLP与PLP面积利用率对比



图：Intel大尺寸Glass Core Substrate Panel



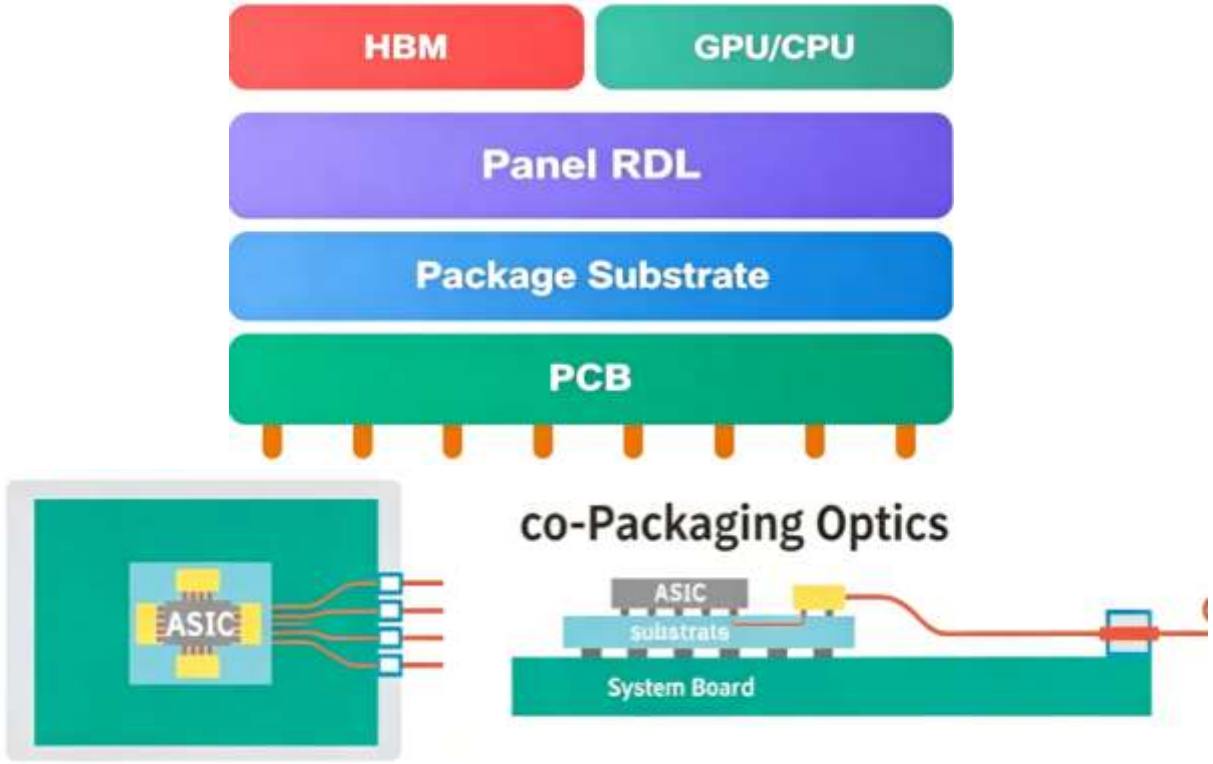
资料来源：合晶科技，yole，lowyat，intel，国盛证券研究所

仅供内部参考，请勿外传！

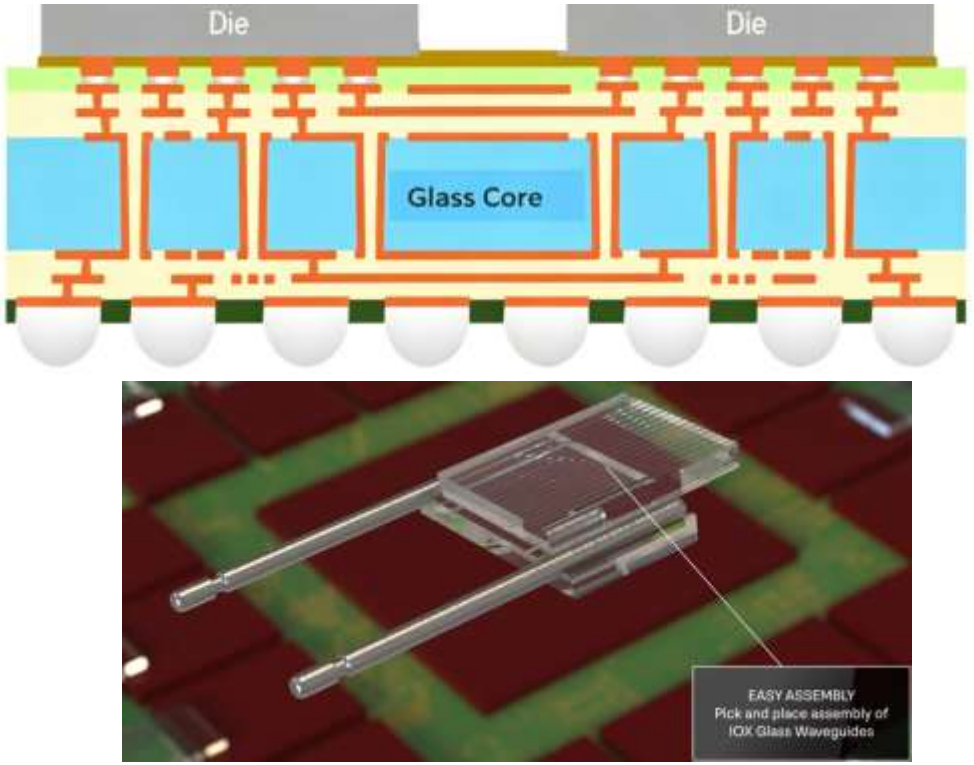
玻璃基板应用方式：CoPos、Intel Glass-Core、CPO和玻璃桥

- **CoPoS是台积电推出的下一代面板级封装方案。** CoPoS改用方形面板作为封装载体，目前台积电正推进试验线建设，预计未来数年进入生产。
- **Intel Glass-Core**是英特尔历经十年研发的玻璃芯层基板技术，目标是用玻璃替换有机基板的核心层。
- **CPO光电共封装有两种方案：**1）封装载板更换成玻璃基板，用光信号取代铜线传输数据；2） Glass Bridge玻璃桥是一种玻璃制成的光互连组件，架在光纤阵列和光子芯片中，充当光路转换桥梁（光波导耦合），解决两者无法直接对接的行业痛点；玻璃基板透明、热稳定性高，天然适合作为光波导载体。

图：CoPoS与CPO结构示意图



图：Intel Glass-Core与Corning玻璃桥示意图



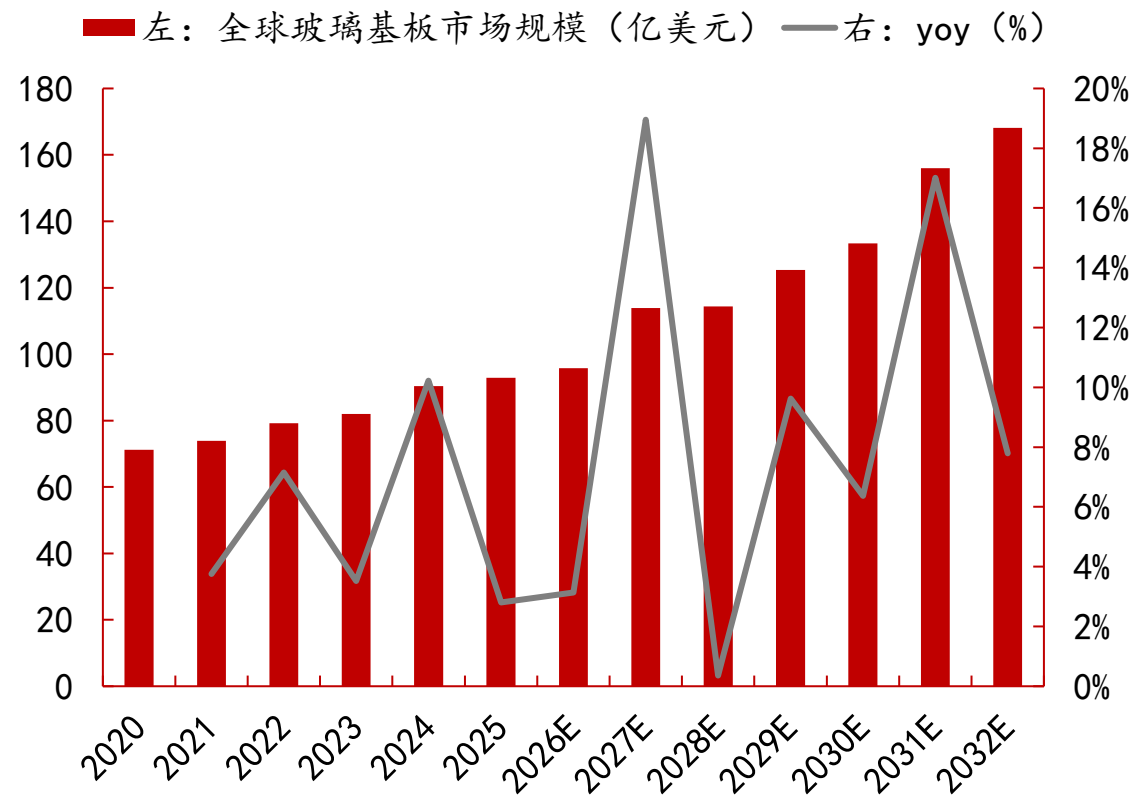
资料来源：technews，bnext， 36氪， Intel，Corning，国盛证券研究所

仅供内部参考，请勿外传！

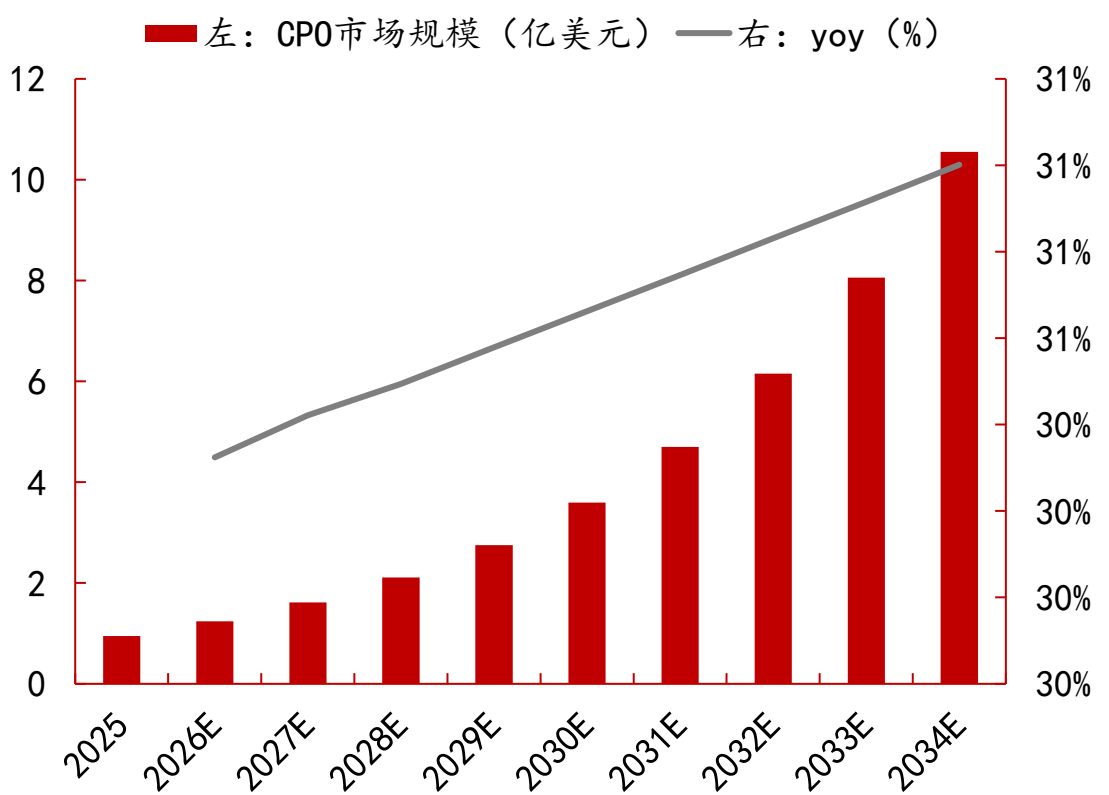
玻璃基板市场稳步扩容，CPO等新兴应用打开增量空间

◆ **全球玻璃基板市场持续扩容，CPO等新兴应用有望贡献增量需求。** 据PMarketResearch，全球玻璃基板市场规模由2020年的71.2亿美元增长至2024年的90.3亿美元，预计2032年达到168.1亿美元。与此同时，AI/HPC等高带宽应用推动光互连技术加速演进，据Precedence Research，全球CPO市场规模预计由2025年的0.95亿美元增长至2034年的10.55亿美元，2025—2034年CAGR为30.66%。随着先进封装和高速光互连需求持续提升，玻璃基板的潜在应用空间有望进一步拓展。

图：全球玻璃基板市场空间



图：全球CPO市场空间



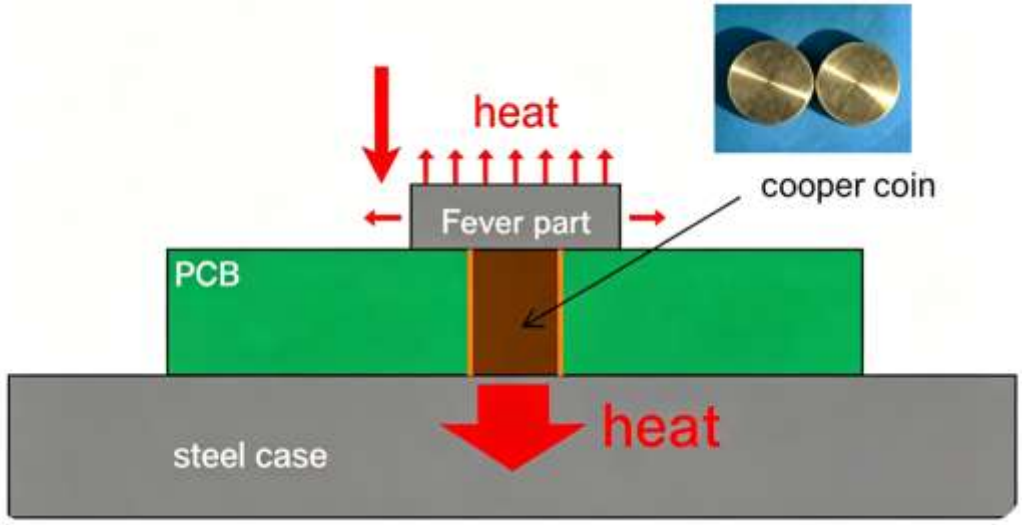
资料来源：PMarketResearch，Precedence Research，国盛证券研究所

仅供内部参考，请勿外传！

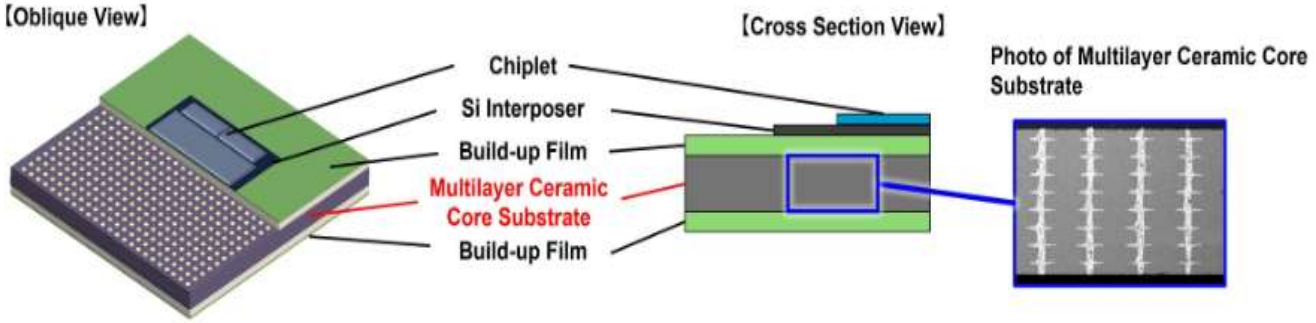
陶瓷基板的两种应用方式：散热管控和基板升级

- **陶瓷基板主要适用于高发热器件，如光源、光通信等场景。**其布线密度、介电系数、CTE系数都不如玻璃基板。
- **1）是将高导热陶瓷作为芯片局部散热的辅助方案，专门解决高功耗芯片的热点问题。** 氮化铝（AlN）陶瓷的导热率高达150–240 W/m·K，显著高于传统有机PCB，可将芯片正下方最集中的热量快速向下导入散热系统。实际落地方式通常是将陶瓷基板贴装于芯片正下方。目前量产中更普遍的做法仍是铜币嵌入技术，陶瓷嵌入方案正处于从研究向产业化过渡的阶段。
- **2）以多层陶瓷芯基板整体替代ABF有机载板，专门解决大尺寸AI芯片封装中随面积增大而急剧恶化的翘曲问题。** 以京瓷2026年4月发布的多层陶瓷芯基板为代表，陶瓷基板凭借与硅芯片接近的热膨胀系数和极高刚性，可在不改变现有FCBGA封装架构的前提下直接替换有机芯板，将大尺寸封装的翘曲控制在可接受范围内。

图：铜币嵌入技术导热技术



图：以多层陶瓷芯基板整体替代ABF有机载板技术



资料来源：PCBMay，Kyocera，国盛证券研究所

仅供内部参考，请勿外传！

03

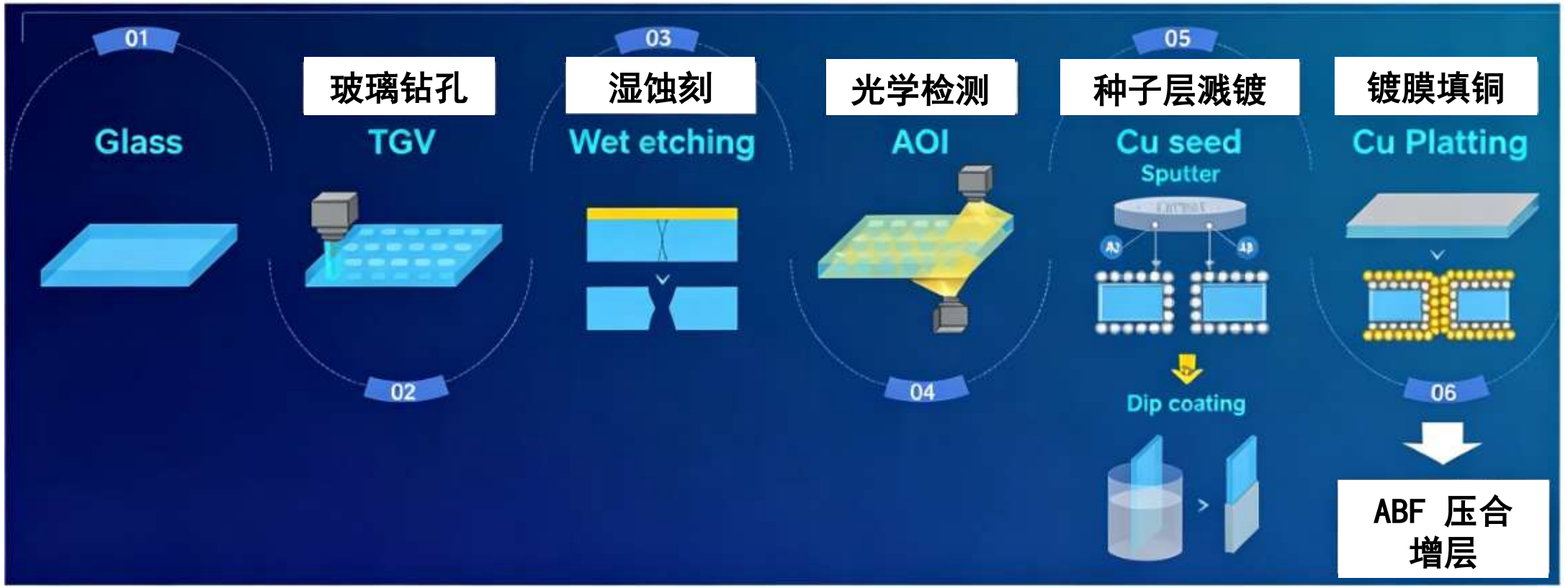
玻璃基板的技术难点：激光打孔和孔内金属化

仅供内部参考，请勿外传！

玻璃基板制造工艺两大核心难点：TGV打孔和孔内金属化

- **玻璃基板的工艺流程会根据用途有所不同。**AI芯片封装核心所使用的玻璃基板工艺流程大致如下：采用超平坦玻璃母板——将母板切成后续加工尺寸（激光或者金刚石切割）——清洗（超声波等）——TGV打孔（激光变性+湿法刻蚀）——清洗（UV光照或碱性脱脂，增强铜附着力）以及光学检测玻璃孔——透过物理气相沉积（PVD）种子层——电化学沉积等方式镀铜——ABF膜压合增层，方便后续布线。每一步都必须有精密的控制，避免造成玻璃基板内部的缺陷形成，影响封装制程的可信赖度。
- **玻璃基板工艺流程中，核心难点在于TGV打孔和后续孔内金属化。**

图：玻璃基板制造工艺流程

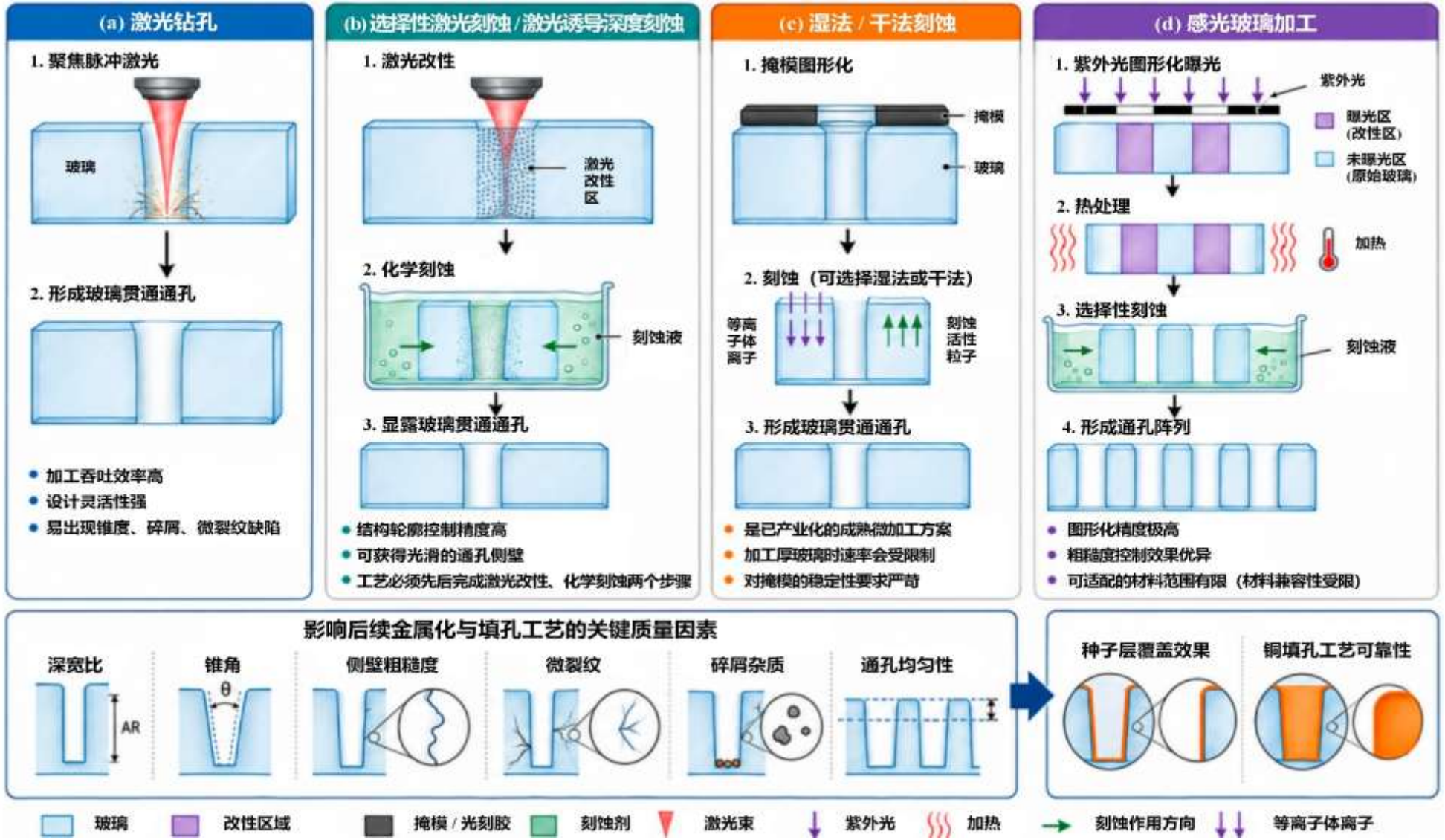


资料来源：钛昇科技，国盛证券研究所

仅供内部参考，请勿外传！

TGV打孔主流方案：激光诱导改性+湿法化学蚀刻法（LIDE）

◆ **TGV形成是实现玻璃基底垂直电连接的第一步工艺，直接影响后续种子层沉积、金属化、填充和可靠性。**



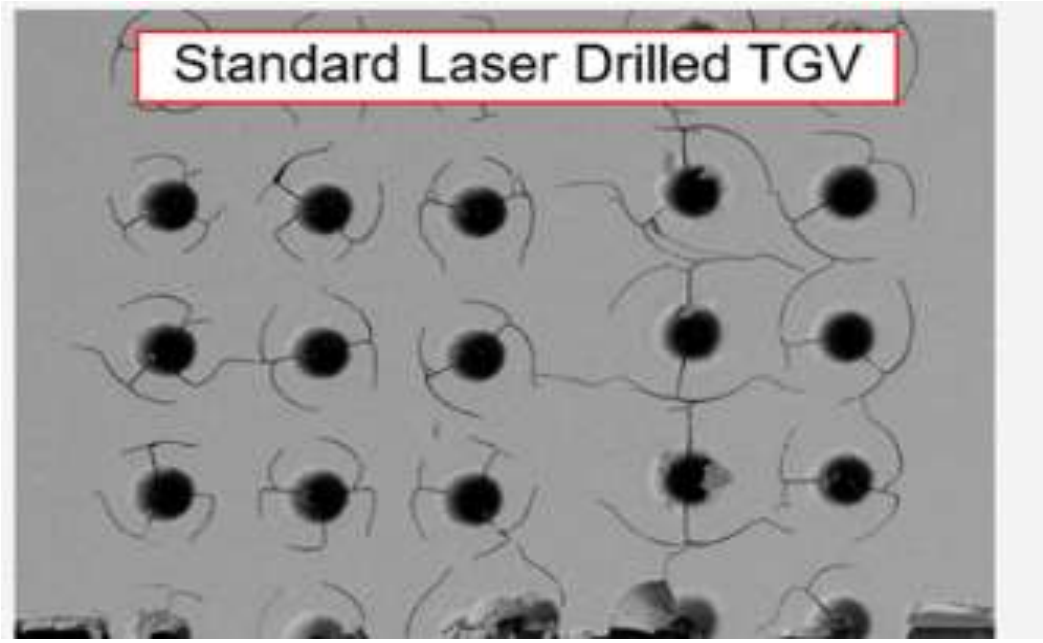
资料来源：《Process Integration and Reliability Challenges of Through-Glass Vias for Glass-Based Advanced Packaging: A Focused Review》Dong Bae Park等，国盛证券研究所

仅供内部参考，请勿外传！

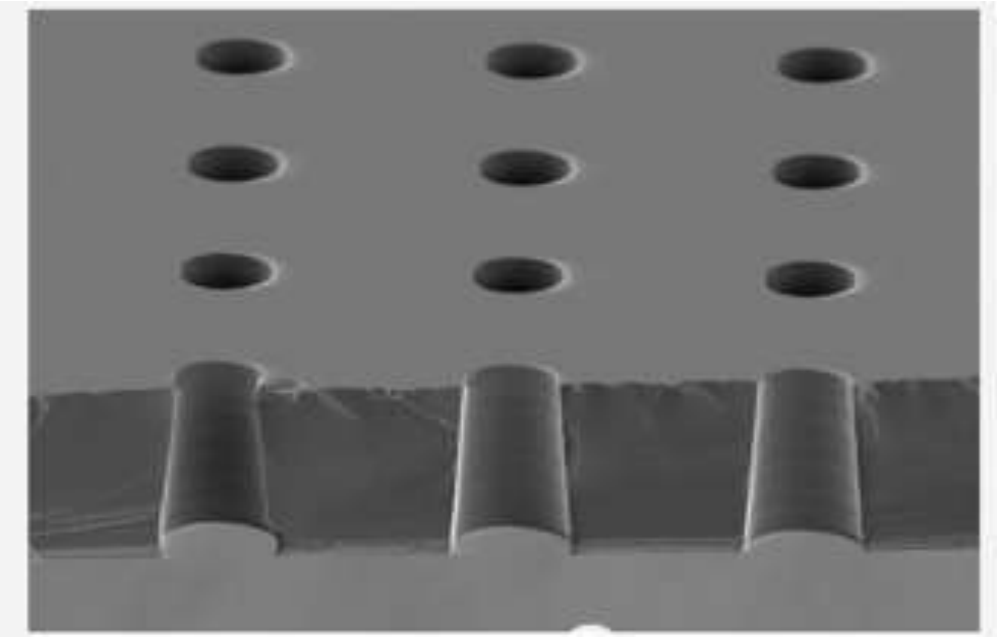
TGV打孔主流方案：激光诱导改性+湿法化学蚀刻法（LIDE）

- **激光诱导刻蚀法（LIDE）是目前玻璃基板打孔的主流方案。**步骤一：飞秒激光改性，飞秒激光脉冲宽度约150fs，极短的脉冲使能量高度集中在玻璃内部极小区域，在几乎不产生热量的情况下将该区域玻璃结构改性，形成一条垂直的“通道”。由于能量不向周边扩散，孔道外侧的玻璃完全不受影响，从根本上避免了热裂纹的产生；步骤二：化学湿法刻蚀，将完成激光改性的玻璃浸入刻蚀液，改性区域因结构被破坏、化学活性大幅提升，刻蚀速率高于未改性区域，刻蚀液沿改性通道将其精确溶解去除，最终形成侧壁光滑、尺寸高度一致的垂直通孔。
- **直接激光烧蚀法是用激光直接将玻璃材料蒸发去除来成孔。**激光高温烧蚀会在孔边产生大量热应力，孔壁留下微裂纹与碎屑，孔形不规则、侧壁粗糙。这些微裂纹在后续电镀填铜时会持续扩展，最终导致基板报废。
- **喷砂法是用高速磨料颗粒物理撞击玻璃成孔，工艺简单、成本低，但精度较低。**孔径一致性难以控制，孔壁粗糙度高，且对玻璃脆性材料的冲击容易引发周边裂纹。对于目标孔径仅10–50μm、深径比超10:1的TGV来说，喷砂法无法达到精度要求。

图：直接激光烧蚀法打出的孔型（周边存在裂痕）



图：激光诱导刻蚀法打出的孔型（孔周边光滑）



资料来源：LPKF，国盛证券研究所

仅供内部参考，请勿外传！

TGV激光打孔设备国外厂商占据主导，国内厂商突围迅猛

- TGV打孔工序涉及激光打孔、湿法刻蚀、清洗等几类核心设备，其中飞秒激光打孔设备是整条产线的关键之一。
- **TGV打孔设备海外厂商占据主导，国内企业有望实现弯道超车。**高精度TGV激光设备是半导体、显示面板、MEMS（微机电系统）和先进封装等领域的关键设备，国际市场主要厂商有LPKF、4JET、EKSPLA、TRUMPF、Piloptics等，2024年前五大厂商占据国际市场大约87.21%的份额。国内企业有望在这一领域实现弯道超车，成为全球市场的重要参与者。如帝尔激光已于2026年1月实现面板级TGV设备出口，TGV激光微孔设备已实现晶圆级和面板级封装激光技术的全面覆盖，并完成面板级玻璃基板通孔设备的出货。
- 国内亦有较多企业布局TGV激光打孔设备，如华工科技、大族激光、德龙激光、钛昇科技等等。

图：帝尔激光晶圆级TGV激光微孔设备可达参数

基板尺寸	4~12 英寸圆片或方片
进料方式	4~12 英寸（花篮）自动
加工形式	激光固定 + 高精密运动平台
平台速度	≤1000mm/s
通孔形状	圆孔、方孔、埋孔、通孔、微槽
最小孔径	5μm
最大径深比	1:100
平台精度	重复定位精度≤±1μm；定位精度 <±2μm
图形位置精度	≤±3um @300mm 范围
设备产能	≥5000 points/s

资料来源：帝尔激光，国盛证券研究所

图：帝尔激光晶圆级TGV激光微孔设备

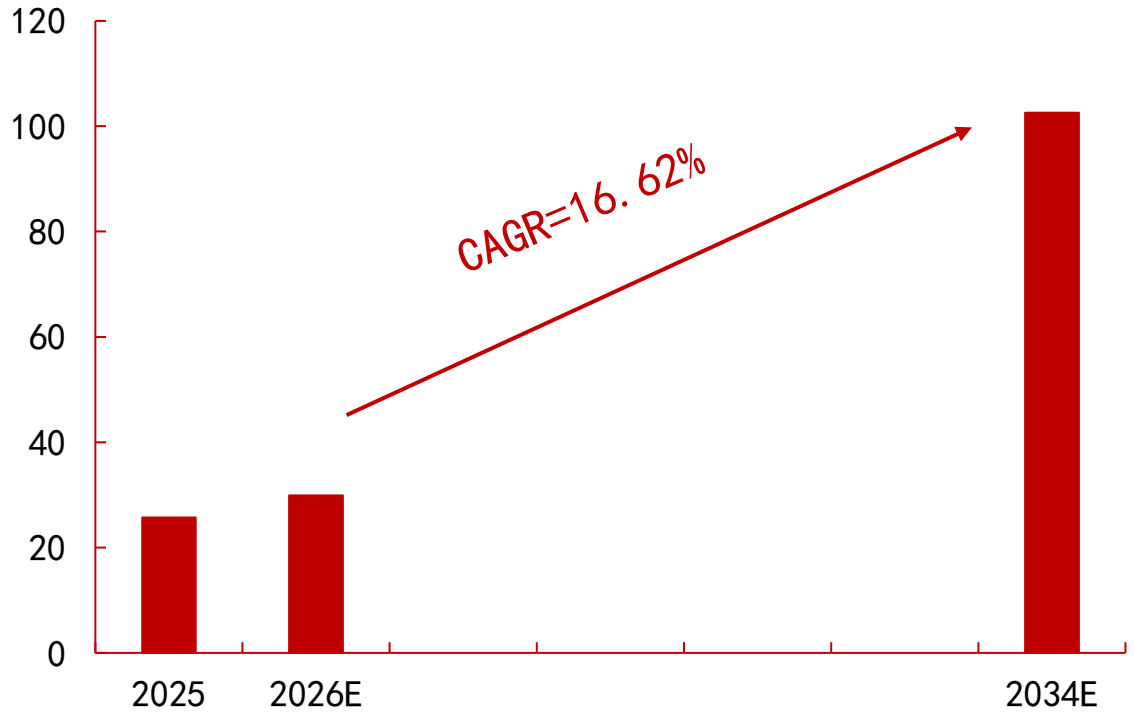


仅供内部参考，请勿外传！

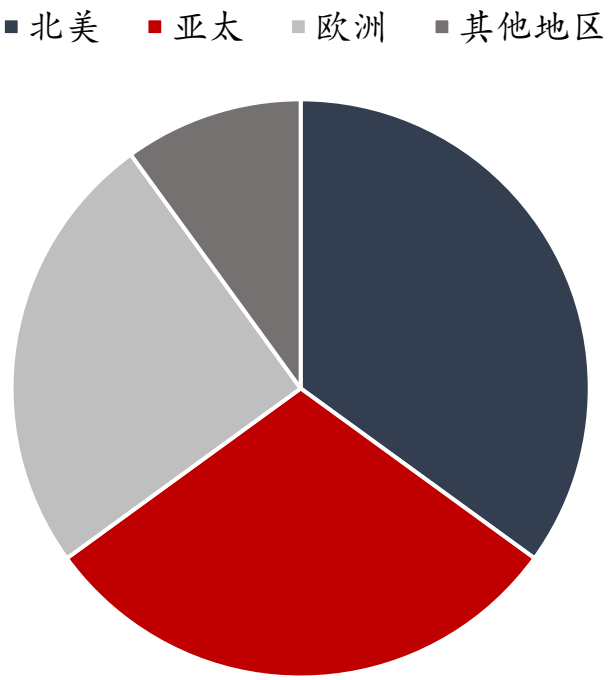
高精度制造需求持续提升，超快激光市场空间加速扩容

◆ **高精度制造需求持续提升，超快激光市场保持较快增长，半导体及先进封装为重要应用方向。** 据Fortune Business Insights，全球超快激光市场规模由2025年的25.7亿美元预计增至2034年的102.6亿美元，2026—2034年CAGR约16.62%。超快激光凭借皮秒、飞秒级超短脉冲，可实现高精度加工并减少热影响，已应用于电子制造、工业微加工等领域，其中飞秒激光可用于晶圆切割、微结构加工及先进封装。2025年北美、亚太分别占全球市场约35%、30%，亚太为增长最快区域。

图：全球超快激光市场空间（亿美元）



图：2025年全球超快激光市场区域结构



资料来源：Fortune Business Insights，国盛证券研究所

仅供内部参考，请勿外传！

TGV化学湿法刻蚀设备亦非常关键，当前行业处于成长初期

- TGV湿法刻蚀设备主要用于激光打孔后的孔壁修整（Laser + Wet Etching），或者LIDE（Laser Induced Deep Etching）工艺中的化学显影。目前产业链中，这类设备与PCB湿制程设备类似，其中TGV专用设备可兼容氢氟酸及碱性蚀刻，并支持高深宽比微孔的精密加工与均匀刻蚀。
- **我们认为TGV化学湿法刻蚀设备处于成长初期，市场格局尚未完全形成。**我们认为，目前TGV化学湿法刻蚀设备格局尚未形成的原因主要有几点：目前TGV化学湿法刻蚀设备仍属于一个非常早期、竞争者较少的细分市场；HF等药水具有强腐蚀性；需要与激光工艺深度耦合，并非简单的PCB刻蚀设备复制；设备厂商需要与封测、玻璃厂等联合开发，时间较长等。目前真正公开推出TGV专用湿法刻蚀设备的企业较少，且海外厂商为主如RENA。

图：RENA湿法刻蚀设备（可用于TGV）



图：TGV湿法蚀刻通用腔体结构



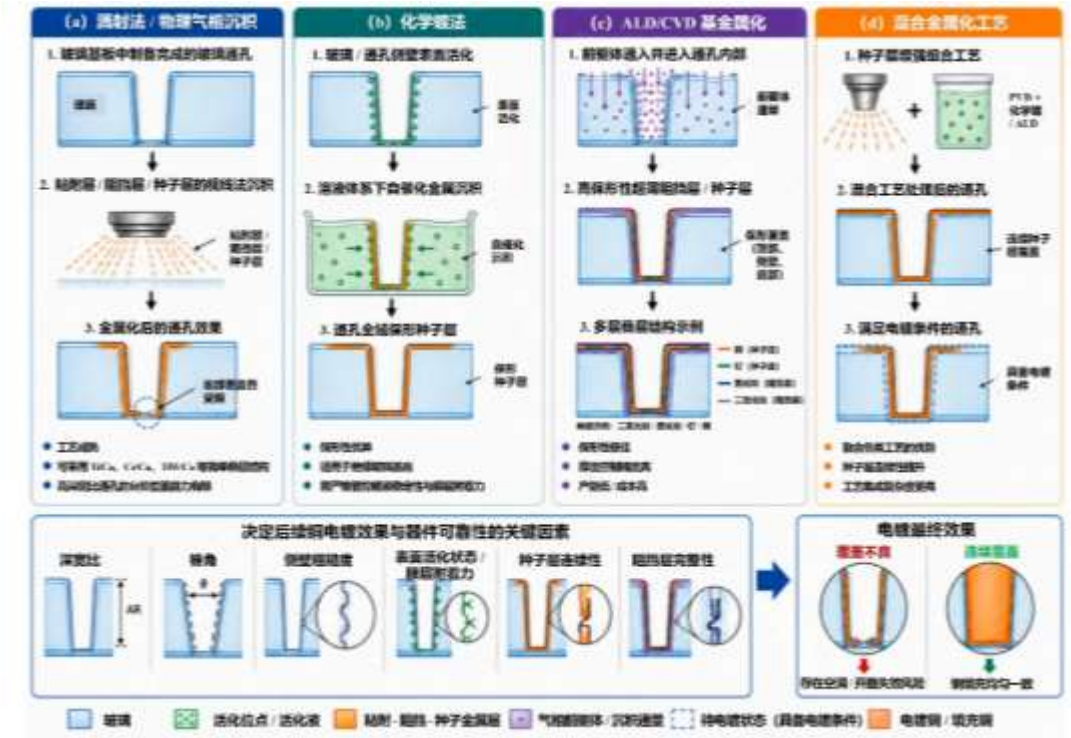
资料来源：RENA，国盛证券研究所

仅供内部参考，请勿外传！

TGV种子层溅射设备可集成HiPIMS高功率脉冲技术

- 种子层沉积（3层，粘附-阻挡-种子层）是决定后续电镀均匀性和通孔填充质量的关键步骤，在AOI检测之后电镀之前，**为后续电镀填铜提供导电通路**。如果种子层在通孔内不连续形成，电镀初期的电流分布可能变得不均匀，导致局部电镀延迟、空隙、接缝或开孔失效。可采用溅射、化学镀、ALD/CVD及混合工艺等多种技术路线。其中，物理气相沉积（PVD）可形成Ti/Cu、Cr/Cu、TiW/Cu等种子层结构，但由于其属于视线沉积（line-of-sight deposition），在高深宽比TGV中存在侧壁覆盖率不足的问题。
- 国内已有汇成真空官网上线TGV深孔专用磁控溅射 PVD 设备，支持 HiPIMS 高功率脉冲溅射等模块化组合（解决传统 PVD「视线沉积、深孔底部覆盖不足」的先天缺陷），针对高径深比玻璃通孔 Ti/Cu 种子层沉积开发，兼容310mm 、510mm等不同面板尺寸。此外，北方华创(PVD)、微导纳米（CVD）等亦有种子层沉积类设备布局。

图：种子层常见的几种方案



图：汇成真空TGV通孔溅射镀膜设备



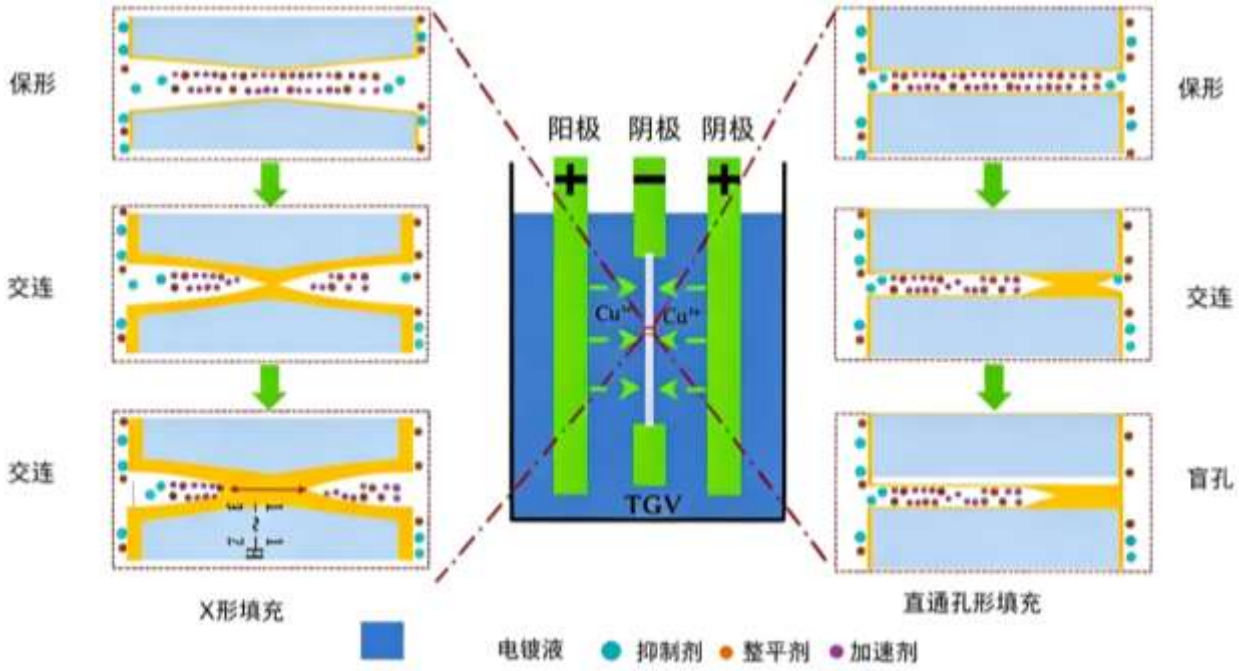
资料来源：汇成真空，《Process Integration and Reliability Challenges of Through-Glass Vias for Glass-Based Advanced Packaging: A Focused Review》Dong Bae Park等，国盛证券研究所

仅供内部参考，请勿外传！

布局TGV铜电镀的厂商大部分来自PCB/IC载板电镀设备企业延伸

- **铜电镀是TGV金属化中最关键的工艺之一，其目的是在已经形成种子层（Seed Layer）的通孔内沉积铜，形成垂直导电互连。**
- **铜电镀设备：**将铜均匀填入高深宽比TGV孔道。主要看以下性能：孔内铜填充无空洞率、面板翘曲容忍度、双面电镀能力、细线电镀精度（目标<10μm）以及支持最大面板尺寸。
- 目前公开推出可用于TGV铜电镀设备或完整铜填孔解决方案的厂商并不多，大部分来自PCB/IC载板电镀设备企业向玻璃基板延伸。如Manz重点布局Glass Substrate，Lam Research亦有相关TGV电镀设备布局；国内也有如盛美上海的Ultra ECP ap-p面板级电镀设备可以达到加工尺寸515x510mm的面板，同时具有600x600mm版本可供选择，该设备兼容有机基板和玻璃基板；以及北方华创、东威科技等等也有布局。

图：TGV铜电镀过程示意图



图：盛美上海Ultra ECP ap-p面板级电镀设备



资料来源：腾讯网，中国科学杂志社，盛美上海，智慧电子解决方案设计平台，国盛证券研究所

仅供内部参考，请勿外传！

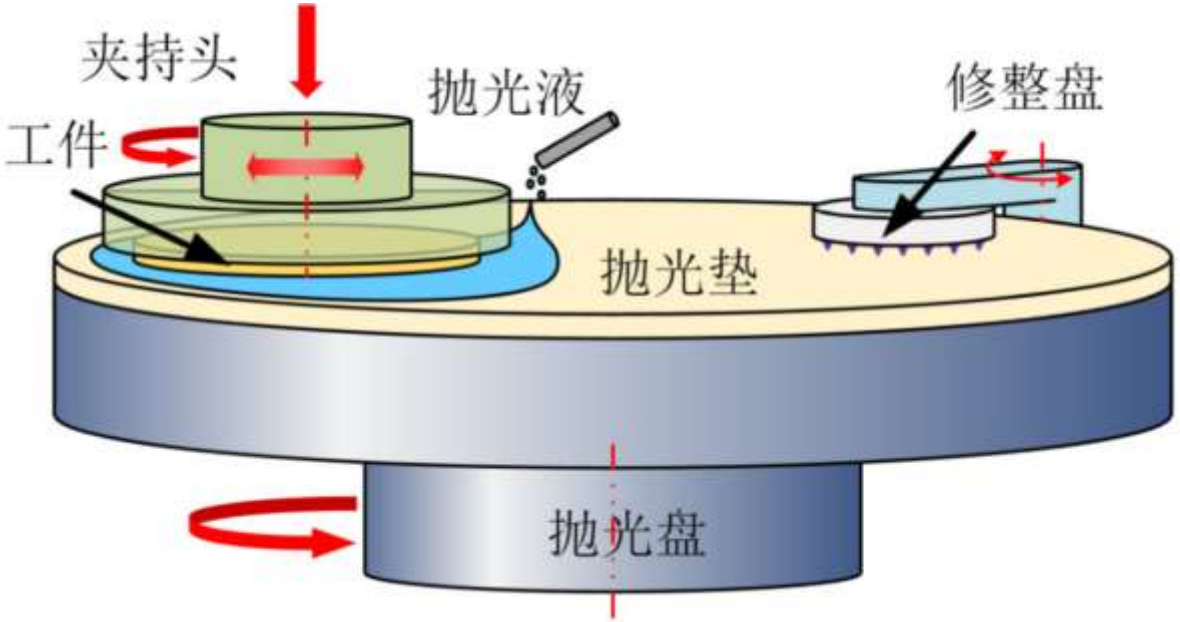
CMP工艺决定介质层和金属层的平坦度，是TGV的核心环节之一

- **CMP化学机械抛光设备（化学软化/改性表层+机械去除软化层实现平整）**用于电镀完成后去除玻璃表面多余铜层，主要看表面平整度与对玻璃基体的兼容性。 TGV铜电镀以后，玻璃基板的表面会有多余的铜附着，在RDL布线之前，需要通过抛光打磨，**在面板级封装中，CMP工艺对介质层与金属层的平坦度、缺陷水平及界面质量有重要影响，是保障互连可靠性及最终芯片性能与良率的核心环节。**
- 国内如华海清科自主研发的国内首台510*515mm尺寸全自动板级CMP量产装备Master-P510APEX已成功获得先进封装领域重要客户订单，将按计划进入客户端产线投入量产应用。这标志着国产高端装备在先进封装核心工艺上取得了关键性突破，也是华海清科CMP装备技术从晶圆级向板级延伸的重要里程碑。

图：华海清科Master-P510APEX



图：CMP化学机械抛光设备工作原理



资料来源: 华海清科，优可测，国盛证券研究所

仅供内部参考，请勿外传！

04

投资建议与风险提示

仅供内部参考，请勿外传！

海外厂商技术进展情况及投资建议

- AI 算力高增推动先进封装迭代，传统有机载板、硅中介层短板凸显，TGV 玻璃基板凭借低损耗、低翘曲、大尺寸优势，有望成为AI/HPC、Chiplet、CPO等下一代先进封装及高速互连场景的重要基材，2026 年行业进入验证关键期，中长期成长空间广阔。
- **投资建议分三条主线关注：**1）TGV精密加工，关注玻璃通孔加工及相关玻璃基板制造环节；2）核心设备卖铲人，重点关注TGV激光打孔、PVD种子层沉积、铜电镀、CMP等关键工艺设备；3）上游原片环节，关注具备玻璃原片研发、制造能力，并有望向半导体玻璃基板领域延伸的厂商。相关标的建议关注：京东方、TCL科技、深天马、沃格光电、帝尔激光、大族激光、华工科技、英诺激光、德龙激光、海目星、华海清科、汇成真空、盛美上海、东威科技、北方华创、天承科技、彩虹股份、凯盛科技等。

图：海外主要厂商玻璃基板技术及产业化进展

厂商	技术及最新进展	产业化进度
Intel	ECTC 2026披露已可精准、可重复制造低锥度TGV、混合尺寸TGV及嵌入器件空腔结构；全铜填充TGV在严苛冷热循环测试中未失效。	持续推进玻璃基板技术及可靠性验证；Intel此前规划于本十年后半段向市场提供完整玻璃基板解决方案。
Absolics（SKC）	同步推进Embedding和Non-Embedding两类产品；Embedding已启动初步可靠性测试，Non-Embedding已向一家美国通信企业供应下一代网络半导体样品。	2026H2计划完成Embedding可靠性测试，并推进Non-Embedding产品PoC准备，目前仍处客户验证及商业化准备阶段。
三星电机	已在世宗工厂建设玻璃基板Pilot Line并生产样品；同时与住友化学集团推进Glass Core合作。	计划2027年以后推进正式量产。
DNP	久喜工厂新建TGV Glass Core Pilot Line，支持510×515mm基板，并提供铜填孔Filled Type及孔壁金属化Conformal Type两类方案。	Pilot Line自2025年12月分阶段运行，2026年初开始送样，计划FY2028建立正式量产体系。
Shinko Electric	玻璃芯基板最外层对位标记位置精度波动较有机芯基板降低约35%，翘曲控制在其一半以下；260°C回流后可抑制SeWaRe，TGV/RDL界面未见剥离或裂纹。	正在开发采用玻璃芯的下一代Build-up基板。
TSMC	当前大尺寸先进封装仍以CoWoS为主，同时正在开发CoPoS；针对玻璃基板、Glass Core等新方案，公司亦在开发替代技术并与基板供应商合作。	CoPoS Pilot Line正在建设，公司预计数年后进入生产；针对玻璃基板等新方案，相关技术预计约还需一年成熟，之后可与客户导入生产。

资料来源：Intel，SKC，三星电机，DNP，Shinko Electric，TSMC，国盛证券研究所

仅供内部参考，请勿外传！

风险提示

- **研发不及预期风险：**每项技术迭代严格依赖于研发投入，然研发过程中不确定性较高，若技术研发不及市场预期，需求将会受到影响。
- **技术路线不确定性风险：**AI属于新兴产业，每一项细小的技术都是新兴技术，技术的发展从来都是曲折向前，在技术发展过程中，存在诞生新技术而丢弃现有技术的风险。
- **第三方数据及信息准确性风险：**本文部分数据及信息来源于第三方机构及公开资料，受统计口径、样本范围、更新时点等因素影响，相关数据及信息可能存在偏差，进而影响报告相关判断。
- **宏观经济环境风险：**任何行业的发展都会受制于宏观经济环境，若未来宏观经济恶化，那么对应的市场需求和研发等都会受到不利的影响。
- **贸易限制风险：**先进封装属于高科技行业，若后续地缘政治恶化，或可能存在贸易限制。
- **行业竞争格局风险：**若持续有厂商布局先进封装行业相关设备工艺等，现有厂商或存在竞争加剧风险。

免责声明

国盛证券股份有限公司（以下简称"本公司"）具有中国证监会许可的证券投资咨询业务资格。本报告仅供本公司的客户使用。本公司不会因接收人收到本报告而视其为客户。在任何情况下，本公司不对任何人因使用本报告中的任何内容所引致的任何损失负任何责任。

本报告的信息均来源于本公司认为可信的公开资料，但本公司及其研究人员对该等信息的准确性及完整性不作任何保证。本报告中的资料、意见及预测仅反映本公司于发布本报告当日的判断，可能会随时调整。在不同时期，本公司可发出与本报告所载资料、意见及推测不一致的报告。本公司不保证本报告所含信息及资料保持在最新状态，对本报告所含信息可在不发出通知的情形下做出修改，投资者应当自行关注相应的更新或修改。

本公司力求报告内容客观、公正，但本报告所载的资料、工具、意见、信息及推测只提供给客户作参考之用，不构成任何投资、法律、会计或税务的最终操作建议，本公司不就报告中的内容对最终操作建议做出任何担保。本报告中所指的投资及服务可能不适合个别客户，不构成客户私人咨询建议。投资者应当充分考虑自身特定状况，并完整理解和使用本报告内容，不应视本报告为做出投资决策的唯一因素。

投资者应注意，在法律许可的情况下，本公司及其本公司的关联机构可能会持有本报告中涉及的公司所发行的证券并进行交易，也可能为这些公司正在提供或争取提供投资银行、财务顾问和金融产品等各种金融服务。

本报告版权归"国盛证券股份有限公司"所有。未经事先本公司书面授权，任何机构或个人不得对本报告进行任何形式的发布、复制。任何机构或个人如引用、刊发本报告，需注明出处为"国盛证券研究所"，且不得对本报告进行有悖原意的删节或修改。

分析师声明

本报告署名分析师在此声明：我们具有中国证券业协会授予的证券投资咨询执业资格或相当的专业胜任能力，本报告所表述的任何观点均精准地反映了我们对标的证券和发行人的个人看法，结论不受任何第三方的授意或影响。我们所得报酬的任何部分无论是在过去、现在及将来均不会与本报告中的具体投资建议或观点有直接或间接联系。

投资评级说明

投资建议的评级标准		评级	说明
评级标准为报告发布日后的6个月内公司股价（或行业指数）相对同期基准指数的相对市场表现。其中A股市场以沪深300指数为基准；新三板市场以三板成指（针对协议转让标的）或三板做市指数（针对做市转让标的）为基准；香港市场以摩根士丹利中国指数为基准，美股市场以标普500指数或纳斯达克综合指数为基准。	股票评级	买入	相对同期基准指数涨幅在15%以上
		增持	相对同期基准指数涨幅在5%~15%之间
		持有	相对同期基准指数涨幅在-5%~+5%之间
		减持	相对同期基准指数跌幅在5%以上
	行业评级	增持	相对同期基准指数涨幅在10%以上
		中性	相对同期基准指数涨幅在-10%~+10%之间
		减持	相对同期基准指数跌幅在10%以上

国盛证券研究所

北京

地址：北京市丰台区丽泽路22号院新华社国家金融信息大厦西塔B座38层

邮编：100077

邮箱：gsresearch@gszq.com

上海

地址：上海市浦东新区南洋泾路555号陆家嘴金融街区22栋

邮编：200120

电话：021-38124100

邮箱：gsresearch@gszq.com

南昌

地址：南昌市红谷滩新区凤凰中大道1115号北京银行大厦

邮编：330038

传真：0791-86281485

邮箱：gsresearch@gszq.com

深圳

地址：深圳市福田区福华三路100号鼎和大厦24楼

邮编：518033

邮箱：gsresearch@gszq.com