

先进封装：技术路线分化与设备投资机会 20260826

先进封装产业趋势：Chiplet 架构变革与 CoWoS/EMIB 产能竞速

摘要

- Chiplet 架构驱动先进封装从后道转向系统核心，预计全球 Chiplet 用量 2025-2030 年 CAGR 达 70%，2.5D/3D 封装市场 2031 年将达 537 亿美元。
- 台积电 CoWoS 产能持续紧缺，预计 2026 年仍有 10%-20% 缺口；月产能计划从 2025 年底 7.5 万片增至 2027 年 17 万片，且后段工序外包比例将显著提升。
- 英特尔 EMIB 凭借 30%-40% 的成本优势切入 AI 推理 ASIC 市场，已获谷歌 TPUv9 订单，但 90% 的良率及载板供应仍是短期瓶颈。
- 台积电拟于 2028 年量产玻璃基板 CoWoS-L，通过方形面板提升利用率并降本 10%-30%，NVIDIA 预计为首发客户。
- HBM 堆叠驱动键合设备放量，Hanmi 占据 40% 份额；未来 3-5 年技术将向混合键合（Hybrid Bonding）演进，单台价值量约 500 万美元。
- 后道量测检测市场格局变动，Onto Innovation 凭借 Dragonfly G5 获台积电认证，预计 2028 年份额将回升至 40%，挑战科磊领先地位。

Q&A

在 AI 时代，半导体产业的微缩逻辑正在发生怎样的变化，以及先进封装在此背景下的市场规模和发展趋势如何？

当前半导体产业的微缩逻辑正从传统的制程微缩（晶体管微缩）转向系统级微缩，先进封装是实现系统级微缩的关键基础设施。这一转变主要由两个因素驱动：首先，随着进入 FinFET 和 GAA FET 时代，制程微缩的研发、晶圆制造及光罩成本持续提升，导致单位性能提升的经济性明显弱化。其次，AI 芯片的 die 面积持续扩大，例如英伟达从 H100 到 Blackwell 再到 Rubik，其芯片和封装系统尺寸不断增加，逐渐接近甚至超过光刻曝光的光罩极限，给良率和成本带来压力。因此，产业趋势正从制造单颗大芯片转向通过 Chiplet 技术将多个小 die 集成在一起。这一架构变化显著推动了 Chiplet 的市场增长。预计全球 Chiplet 的用量将从 2025 年的 18.58 亿颗增长至 2030 年的 256.98 亿颗，年化增长率约为 70%。这表明先进封装的底层驱动力不仅是封装价格的上涨，更是芯片架构的根本性变

革。未来的产品将越来越多地采用将不同 die、HBM 及其他 Chiplet 通过先进封装集成的模式，使封装从后道制造环节转变为系统架构的核心组成部分。从市场规模来看，全球先进封装市场预计将从 2025 年的约 540 亿美元增长至 2031 年的 1,108.6 亿美元，年化增长率约为 12%。其中，2.5D 和 3D 先进封装是增长最快的领域，其市场规模预计将从 2025 年的 173 亿美元增长至 2031 年的 537 亿美元，年化增长率达到 21%。在 2.5D 封装领域，目前以 CoWoS-S 为主，未来带硅桥的 CoWoS-L 和英特尔的 EMIB 技术规模将逐渐增长。在 3D 封装领域，HBM 的规模将持续扩大，而 DRAM 领域的 3D CBA DRAM 预计从 2028 年开始放量，成为另一个重要的增长点。

台积电 CoWoS 技术目前的产业地位、产能规划、外包策略以及主要客户的需求分配情况是怎样的？

台积电的 CoWoS 技术凭借其领先的工艺和强大的产业生态，在未来几年仍将是 AI GPU 先进封装的主流平台。自 2012 年率先规模化集成 GPU 和 HBM 以来，CoWoS 已围绕英伟达、AMD、博通等客户建立了成熟的产业链，其护城河已从单一工艺优势扩展到平台与生态的整体优势。当前 CoWoS 面临的主要挑战是产能不足，预计到 2026 年仍将存在 10%至 20%的产能缺口。具体的产能规划如下：2025 年底，CoWoS 月产能预计达到 7 万至 7.5 万片；2026 年将是产能增长最快的一年，年底月产能预计增至 13 万片；到 2027 年底，月产能将进一步提升至 16 万至 17 万片，增加约 3 万片。2027 年之后，台积电的扩产重点将更多地转向先进制程及应对 2028 年后的 CoWoS 需求。在业务策略上，台积电正逐步将 CoWoS 的后道工序外包。其自身将更专注于前段的 Chip-on-Wafer 环节，而将 on-Substrate 以及部分后道测试环节外包给日月光、矽品等封测厂。预计到 2027 年，台积电自身新增的 CoWoS 月产能约为 3 万至 4 万片，而封测厂新增的月产能将达到 5 万至 6 万片。这一外包趋势将使设备采购从高度集中于台积电转向外溢至封测厂，对设备供应商构成利好。从主要客户的需求分配来看：英伟达作为最大客户，其 2026 年的 CoWoS 产能分配预计为：Blackwell 约占 60%，Rubik 约占 35%，其余 5%为其他产品。到 2027 年，需求将转向新平台，Rubik 及 Rubin Ultra 合计将占约 90%的产能，剩余部分分配给 Vertas。AMD 预计在 2027 年将获得约 24 万片的 CoWoS 年产能，其 MI450 与 MI455 两款产品的合计出货量预计约为 150 万颗。此外，AMD 也在寻求多元化封装方案，例如其 Barnes 产品计划与矽品合作，采用双方共同开发的 EFB 技术。谷歌是另一个重要客户，预计在 2027 年将获得约 48 万片的 CoWoS 年产能。

英特尔 EMIB 技术的特点、市场定位、主要订单情况以及面临的挑战是什么？

英特尔的 EMIB 技术与台积电的 CoWoS-L 技术路线相似，均采用硅桥设计，但 EMIB 不使用大面积的硅中介层，而是直接连接芯片和基板，这使其具备显著的成本优势。与 CoWoS 相比，EMIB 的成本可降低 30%至 40%，因为其使用的硅桥成本仅为几美元。EMIB 的市场定位并非直接替代 CoWoS，而是在技术路线上形成分工。CoWoS 凭借其硅中介层的高密度布线，在满足 GPU 高带宽需求方面具备优势，适

用于 AI 训练场景。然而，随着 AI 需求向推理端转移（IDC 预测 2027 年推理需求将占 AI 总需求的 70%），ASIC 芯片的需求将随之提升。EMIB 凭借其成本优势，非常适合对成本更敏感的 ASIC 芯片，因此其市场机会在于满足推理需求增长所带来的 ASIC 市场。在订单方面，EMIB 已获得产业验证。谷歌已为其 TPU v9 下了 300 万颗订单，预计在 2027 年左右出货。同时，Meta、英伟达、博通和 Marvell 目前正在进行 EMIB 的导入评估，未来可能下单。此外，海力士也计划在下一代 HBM 中采用英特尔的 EMIB 工艺，这进一步验证了英特尔的封装能力。尽管前景看好，EMIB 目前仍面临良率挑战。其当前良率约为 90%，与台积电 CoWoS 98% 的良率相比存在一定差距。提升良率是英特尔在与台积电竞争中需要解决的关键问题。

英特尔 EMIB 技术在服务其内部产品之外，面临哪些新的挑战 and 产能瓶颈？

英特尔 EMIB 技术过去主要服务于其内部产品，这类封装通常仅包含十几个硅桥。然而，面对外部新订单，如谷歌 TPU v9，单个芯片集成的硅桥数量增至三十多个，并需集成大量电容等元件，产品复杂度的提升对英特尔能否维持高良率构成了持续的验证挑战。在产能方面，预计 2026 至 2027 年，英特尔的整体月产能约为 1 万至 2 万片，与台积电存在较大差距。其产能瓶颈部分源于上游载板供应商，因为 EMIB 载板在制造阶段就需要完成打孔和元件内置等步骤，而目前此类载板的制造良率仅为 50%。预计到 2027 年左右，随着上游供应商如 Ibiden 和台湾欣兴电子等进行扩产，EMIB 载板供应紧张的状况有望得到缓解。

随着 AI 芯片系统尺寸不断增大，台积电的 CoWoS 技术路线将如何演进，特别是向玻璃基板技术过渡的逻辑、优势、技术瓶颈以及量产规划是怎样的？

随着 AI 封装系统尺寸持续扩大，硅中介层的面积扩展面临边际收益递减的问题，例如成本、翘曲、散热及良率挑战。目前 NVIDIA Blackwell 的光罩面积约为 3.3 倍，Rubik 将达到 4 倍，谷歌 TPU v9 预计为 9.5 倍，台积电预计到 2029 年将实现 14 倍光罩面积。为解决此问题，台积电选择玻璃作为中介层材料，发展 CoWoS-L 技术路线。其核心逻辑是从传统的圆形晶圆转向大尺寸方形面板，从而显著提升面积利用率至 80% 以上，部分可达 95%。这一转变预计可使单位面积的封装成本相较于传统 CoWoS 降低 10% 至 30%。同时，更大的封装面积也提高了系统集成的上限，未来单个系统有望集成 10 到 12 颗 HBM。然而，该技术路线的量产仍面临技术瓶颈。例如，在设备层面，传统的半导体设备是为圆形晶圆设计的，转向方形面板后，在 CMP（化学机械抛光）过程中，边角受力和研磨均匀性控制变得更为复杂；在光刻胶涂布环节，传统依赖旋转离心力的方式不再适用，需开发新设备来保证方形面板上材料的均匀性。根据规划，台积电已计划在嘉义建设相关量产工厂，预计在 2028 年下半年开始量产，目标是在 2028 年底至 2029 年初实现规模化生产。NVIDIA 预计将成为首个客户，其未来的“Blackman”架构产品可能成为首批试水 CoWoS-L 技术的产品之一。



先进封装技术的发展如何影响半导体设备市场，其核心驱动逻辑是什么，对前道和后道设备分别产生了哪些具体影响？

先进封装对半导体设备市场的主要影响体现为量价齐升的逻辑。量的增长源于整体需求的增加，而价格的提升则是因为每片晶圆需要更多的工艺步骤、更高的性能要求以及更严格的良率控制，这驱动了设备性能升级，从而提高了单片晶圆所需的设备价值量。对于前道设备而言，尽管面临厂房和洁净室建设等供给侧限制，但下游需求的可见度充足。先进封装技术会带动电镀、沉积等前道工艺步骤的需求，为 ASML、应用材料、泛林集团和科磊等前道设备巨头带来利润增量。例如，ASML 的 DUV 及浸没式 DUV 机型未来两年预计将扩产 30%。对于后道设备，先进封装主要推动了封装与测试相关设备的升级和需求增长。这为专注于后道封装测试的设备公司创造了显著的增量空间，尤其是在测试、键合以及量测检测等领域。

在后道封装测试设备市场中，测试设备和键合设备的市场格局、增长逻辑以及未来技术演进方向是怎样的？

在后道封装测试设备市场中，测试设备是规模最大的部分，主要由日本的爱德万和美国的泰瑞达主导，市场份额分别约为 60% 和 30%。其增长逻辑主要有两方面：首先，对测试精度的要求提升导致单次检测时长大幅增加，叠加测试需求的增长，共同推动了设备需求量的上升；其次，测试精度的提升也带来了设备内部结构的复杂化，加之当前设备存在短缺溢价，导致设备价格上涨。键合设备约占后道设备市场规模的 20%。短期内，市场以热压键合设备为主，其主要增量来源于 HBM 的产能扩张和堆叠层数提升。该市场的领导者是韩国的 Harumi，占据约 40% 的份额，主要绑定了 SK 海力士和美光的订单。ASMPT 和 Kulicke & Soffa 分别占据约 15% 的份额，其中 ASMPT 凭借在逻辑厂的优势，也已获得 SK 海力士的 HBM 订单。展望未来三到五年，市场预计将从热压键合转向混合键合 (Hybrid Bonding)。驱动因素包括 HBM 堆叠层数的增加（如 HBM4e 的 16 层堆叠和未来的 HBM5）以及逻辑芯片与存储芯片的 3D 直接堆叠。英特尔已下了首个混合键合订单，预计 NVIDIA 的“Feiman”架构和苹果的 M5 芯片也将采用此技术。中性预测下，到 2030 年，混合键合设备的累计出货量将在 1,700 至 1,800 台左右，单台价值量约 500 万美元。

在后道晶圆级封装领域，量测与检测设备市场的主要参与者有哪些，市场份额如何分布，以及未来的竞争格局可能出现怎样的变化？

后道晶圆级封装的量测与检测设备市场主要由三家美股上市公司主导：科磊、Onto Innovation 和 Camtek。从包含前道和后道的整体量测检测市场来看，预计 2025 年市场规模约为 150 亿美元，其中科磊凭借其在前道光学检测领域的优势，将占据约 60% 的市场份额。若仅聚焦于后道晶圆级封装市场，目前科磊、Onto 和 Camtek 的市场份额大致为 4:3:3 的格局。然而，Onto Innovation 凭借其新款 Dragonfly G5 设备已获得台积电的认证，并于近期与一家 HBM 制造商达成了批量采购协议。基于此，预计到 2028 年左右，Onto 在晶圆级封装市场的份额有

望回升至 40%左右，这可能会侵占科磊和 Camtek 的部分市场份额。