

从制程微缩到系统集成：先进封装技术变革与设备投资新周期

海外科技

评级：

增持

■ 先进封装系列报告一

姓名	电话	邮箱	登记编号
秦和平(分析师)	0755-23976666	qinheping@gtht.com	S0880523110003
刁云鹏(研究助理)	021-38674878	diaoyunpeng@gtht.com	S0880125070016

本报告导读：

摩尔定律放缓，Chiplet 和先进封装成为制程微缩瓶颈的解决之道；CoWoS 是目前主流的先进封装技术平台，但由于产能受限和 AI 推理需求提升等原因，EMIB 正在获得外部订单；随着 Capex 持续投入，未来先进封装设备供应链将整体受益。

投资要点：

- **摩尔定律放缓，Chiplet 和先进封装成为进一步提升性能的替代方案。** 摩尔定律曾长期驱动晶体管密度跃升，但随着研发与制造成本攀升，Cost Scaling 已经结束，传统 Scaling 模式面临瓶颈。为了兼顾性能、成本和良率，行业开始采用 Chiplet 架构，将不同功能模块拆分并通过先进封装实现异构集成。随着 Chiplet 数量、互连密度及系统规模持续提升，先进封装已经由芯片制造的配套工序，演变为实现异构集成和 System Scaling 的核心平台。
- **先进封装市场规模快速增长，2.5D/3D 先进封装是未来主要增量来源。** 随着 HBM 和逻辑芯片等总需求的增长和技术演变，2.5D/3D 先进封装将迎来规模增长和内部技术的演变。CoWoS-S 等将向 CoWoS-L、EMIB 等技术演变，HBM 层间也将从微凸块连接向混合键合转变，而 3D Die-to-Die 和 3D CBA DRAM 等新型技术预计将为未来几年的先进封装市场持续贡献新的增量。
- **台积电 CoWoS 仍为主流解决方案，产能紧缺背景下英特尔 EMIB 正在获得外部订单。** 台积电的 CoWoS 是目前 AI 时代先进封装的主流技术平台，它满足了 GPU 与 HBM 的高密度系统集成要求，并随着 GPU 的性能要求的提升而实现了技术的进步。与此同时，Intel 的 EMIB 路线依靠更低的成本、更大的面积，正在成为部分 ASIC 厂商先进封装的解决方案，目前 EMIB 已获得谷歌等多家外部客户订单，有望成为 CoWoS 重要的补充方案。着眼未来，台积电的 CoPoS 技术正通过化圆为方、采用玻璃基板等方式来解决目前存在的散热与翘曲问题，从而提升面积利用率并降低成本，有望在 28 年量产后快速增长。
- **全球半导体厂加大 Capex 投入，Capex 向后道封装测试设备倾斜。** 从先进封装所需的设备来看，除了前道巨头会显著受益外，中后道设备厂亦将获得结构性增量。1) 以 ASMPT、Besi 为主的键合设备供应商会受益于热压键合和混合键合的渗透率提升。短期内热压键合仍为 HBM 主流方案，而混合键合作为高端先进封装设备的长期趋势不会改变。键合设备需求增长和设备价值量提升将持续带动键合厂商获得业绩增量。2) 以 KLA、Onto 为主的量测/检测设备供应商具备较大机会。随着 HBM 层数的提升，单颗封装的检测步骤、精度要求也会提升，量检测设备的市场规模或将实现非线性增长。3) 以 TER、Advantest 为主的测试设备供应商，也将受益于整体存储、逻辑测试需求的增长。未来随着测试流程的升级、测试环节向精细化转变，测试头龙厂商或将迎来更多的业绩增量。
- **风险提示：** AI 下游需求不及预期风险；新技术研发与量产进度不及预期风险；核心设备交期延长限制产能扩张风险；行业竞争加剧风险。

相关报告

海外科技《就业降温缓解加息压力，AI 业绩驱动美股风险偏好回升》2026.08.09
 海外科技《北美 CSP Q2 业绩，AI 投资 ROI 商业逻辑确立》2026.08.02
 海外科技《26Q3 合约价涨幅放缓，高盈利韧性支撑长景气周期》2026.07.26
 海外科技《资本开支加速，Agentic AI 拉动 CPU 需求持续上行》2026.07.26
 海外科技《业绩验证 AI 算力景气度，Kimi 推动国产模型能力破圈》2026.07.20

目录

1. Chiplet 与先进封装：从晶体管 Scaling 到系统 Scaling	3
1.1. Cost Scaling 结束，传统 Scaling 模式面临瓶颈	3
1.2. System Scaling 时代：先进封装成为 Chiplet 集成的核心载体	4
1.3. System Scaling 驱动先进封装进入高速增长阶段	5
2. 台积电 CoWoS：AI 时代先进封装的主流技术平台	7
2.1. CoWoS 满足了 AI 时代 GPU+HBM 的系统集成要求	7
2.2. CoWoS 技术演进：从满足 HBM 集成到突破系统尺寸限制	8
3. Intel EMIB：AI 推理需求提升带动 EMIB 获得产业机会	10
3.1. EMIB 并非替代 CoWoS，二者是在不同应用场景下的技术分工	10
3.2. EMIB 持续成熟，应用边界不断拓宽	11
4. 台积电 CoPoS：迈向下一代的 System Scaling 平台	14
4.1. AI 算力膨胀推动封装革命	14
4.2. Glass Core 推动平台演进，目前量产仍存在技术瓶颈	16
4.3. CoPoS 预计 28 年量产，预计分三阶段实现技术演进	17
5. 先进封装的发展推动设备产业链的整体受益	20
5.1. AI 驱动下，半导体厂商加速 Capex 投入	20
5.2. Capex 向设备传导，推动先进封装相关设备产业链受益	22
6. 风险提示	25
6.1. AI 下游需求不及预期风险	25
6.2. 新技术研发与量产进度不及预期风险	25
6.3. 核心设备交期延长限制产能扩张风险	25
6.4. 行业竞争加剧风险	25

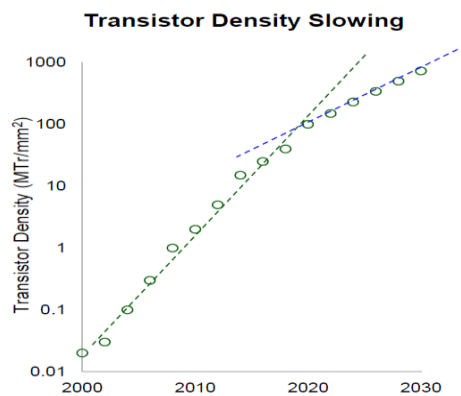
1. Chiplet 与先进封装:从晶体管 Scaling 到系统 Scaling

1.1. Cost Scaling 结束，传统 Scaling 模式面临瓶颈

Moore's Law 曾长期驱动晶体管密度以惊人节奏跃升： Moore's Law 指出，集成电路上可以容纳的晶体管数目大约每经过 18 个月到 24 个月便会增加一倍，即代表着晶体管尺寸的缩小和密度的提升。在过去的几十年中，集成电路的制程节点一直遵循摩尔定律发展，芯片的性能和功耗也持续得到优化。

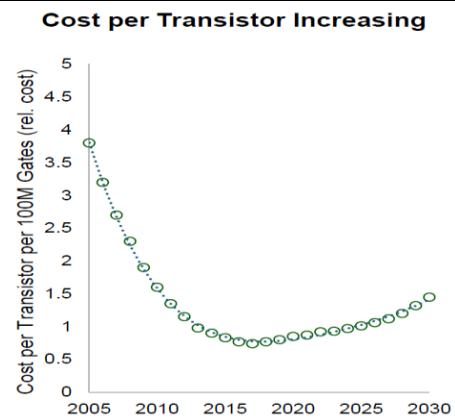
Moore's Law 仍在继续，但是 Cost Scaling 已经结束。 随着先进制程进入 FinFET、GAAFET 时代，制程升级所带来的单位性能提升逐渐放缓，而研发成本、晶圆制造成本及 Mask 成本在 5nm 节点附近不降反升，行业已经从 Performance Scaling 进入 Cost Scaling 瓶颈。

图1: 晶体管密度增长速度正在放缓



资料来源：IRDS 2023 Edition, Besi

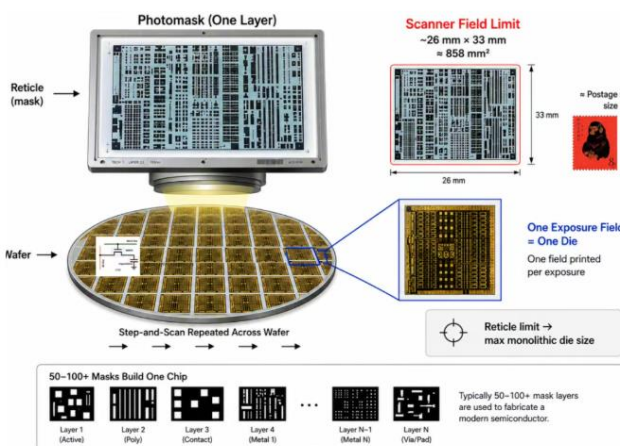
图2: Cost Scaling 已经结束



资料来源：Tom's Hardware, IEDM 2023 – Google, Besi

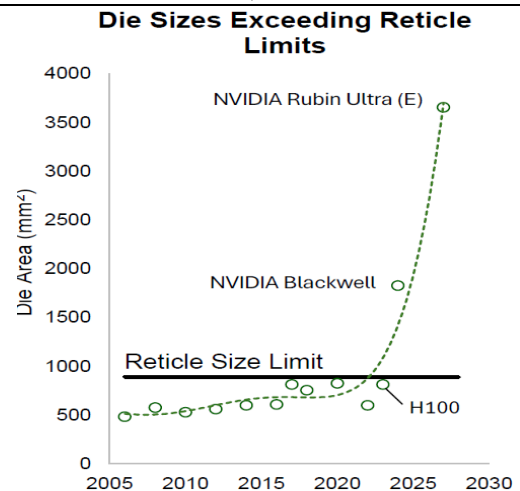
芯片尺寸正在超过光罩极限，行业选择系统集成而非继续扩大 Die。AI 发展带动 GPU 等芯片面积增大，以 NVDA 产品路线为例，从 H100 到 Blackwell，再到 Rubin Ultra，芯片面积已经逼近甚至超过光刻机单次曝光的光罩极限（858mm²）。随着单颗 Die 尺寸逐渐逼近光刻 Reticle Limit，继续扩大 Monolithic Die 不仅良率快速下降，也限制了进一步扩展算力。

图3: 单次曝光的光罩面积极限在 858mm²



资料来源：中科院半导体所公众号

图4: 芯片面积正超过光罩极限

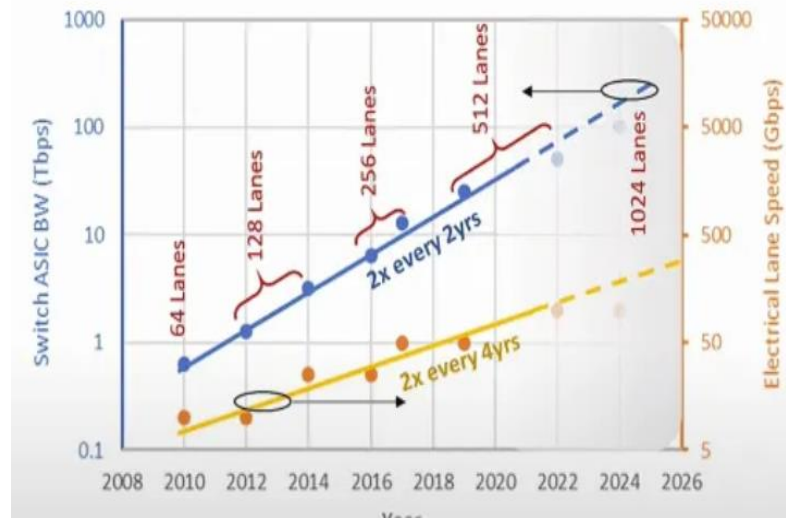


资料来源：Besi

AI 芯片正在从单个芯片演进成为一个异构集成的系统。过去的 CPU 时代，性能的提升主要依赖频率和制程，而目前 AI 模型参数、HBM 需求增长速度远快于制程。AI 模型带来的数据吞吐需求远超片上 SRAM 和传统 DDR

所能支持，Memory Wall 成为 GPU 性能释放的主要瓶颈，高带宽、低延迟互连成为新的核心需求。

图5: I/O 密度与 switch scaling 发展速度存在差异



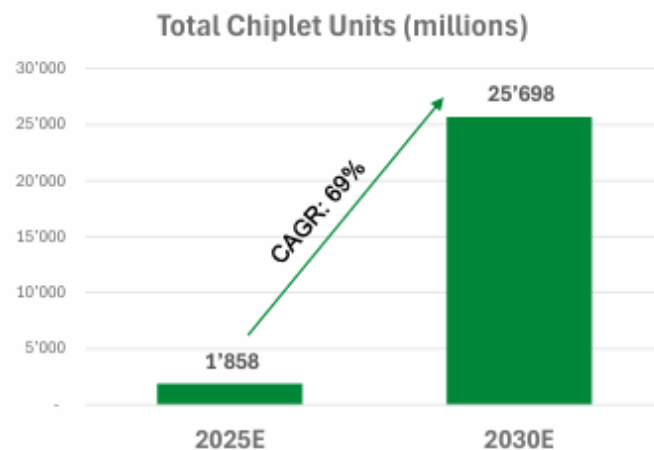
资料来源: Semi analysis

当面积、成本和带宽同时成为约束时，仅依赖先进制程已无法继续推动系统性能提升，行业开始由“Transistor Scaling”向“System Scaling”演进，通过 Chiplet 解决目前的瓶颈，而 Chiplet 最终催生了先进封装的发展。

1.2. System Scaling 时代: 先进封装成为 Chiplet 集成的核心载体

在 Cost Scaling 放缓、光罩面积限制及内存墙等约束下，继续依赖 Monolithic Die 提升性能的成本和难度持续上升。为了兼顾性能、成本和良率，行业开始采用 Chiplet 架构，将计算、I/O、缓存及 HBM 等不同功能模块拆分为多个 Die，并通过先进封装实现异构集成，从而绕过光罩面积限制，并显著提升芯片间的通信带宽。Chiplet 用量预计将从 2025 年的 18.58 亿 units 增长至 2030 年的 256.98 亿 units，25-30 年 CAGR~69%。

图6: chiplet 用量预计快速增长



资料来源: Tech Insights 2026, Besi

Chiplet 为封装提出了新的要求: 1) Die 的数量越来越多，封装除了具备保护芯片的作用，还增加了不同芯片连接的要求；2) Die 之间的通信速度越来越快：如今 I/O 密度和 Pitch 间距要求逐渐提升，以达到传统封装极限，需要 TSV、RDL、混合键合等多种更加先进的封装步骤。因此，随着 Chiplet 数量、互连密度及系统规模持续提升，先进封装已经由芯片制造的配套工

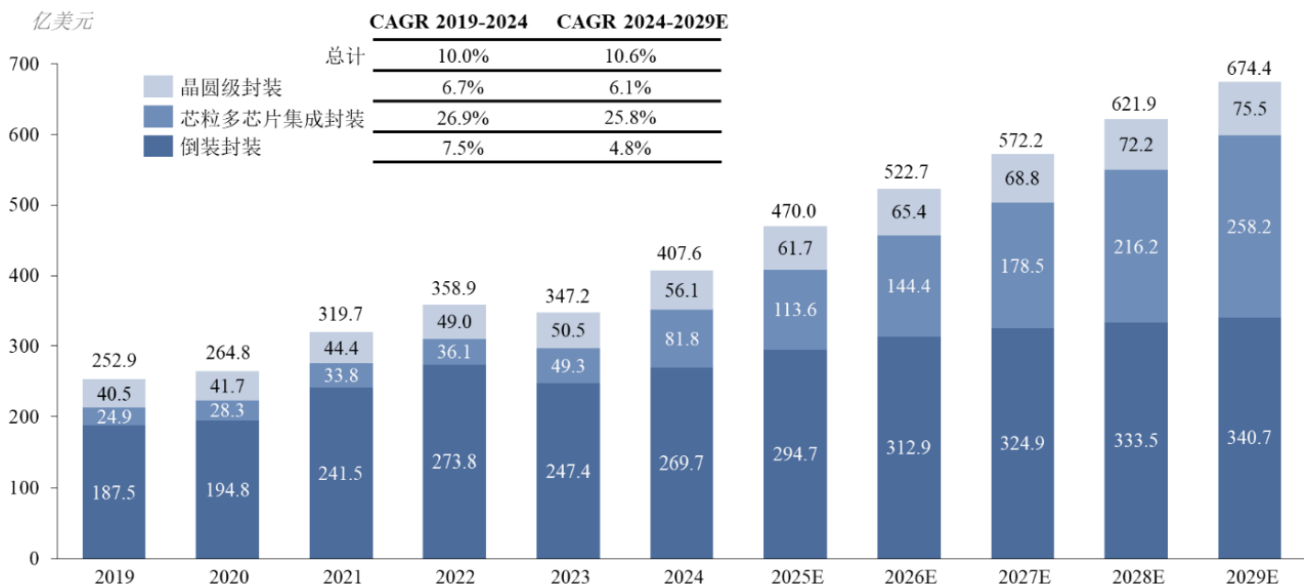
序，演变为实现异构集成和 System Scaling 的核心平台。

过去半导体产业依赖 Transistor Scaling 提升性能，而 AI 时代正逐步转向 System Scaling。先进封装不再只是连接芯片的制造环节，而是承载 Chiplet、HBM 及异构计算的平台，其重要性已经从“后道工艺”升级为“系统架构的一部分”。

1.3. System Scaling 驱动先进封装进入高速增长阶段

与传统封装主要承担保护、引脚引出和机械支撑不同，先进封装更加侧重于高密度互连、异构集成及系统级优化，其核心目标已从“封装芯片”转向“构建系统”。AI 服务器单机算力持续提升，推动 Chiplet 数量、高带宽互连需求及 HBM 集成度快速增加，先进封装由过去的辅助制造环节逐渐演变为决定系统性能的重要组成部分，从而带动行业进入高速增长阶段。2024 年先进封装市场规模~408 亿美金，预计到 2029 年市场规模增长至~674 亿美金，24-29 年 CAGR~10.6%。

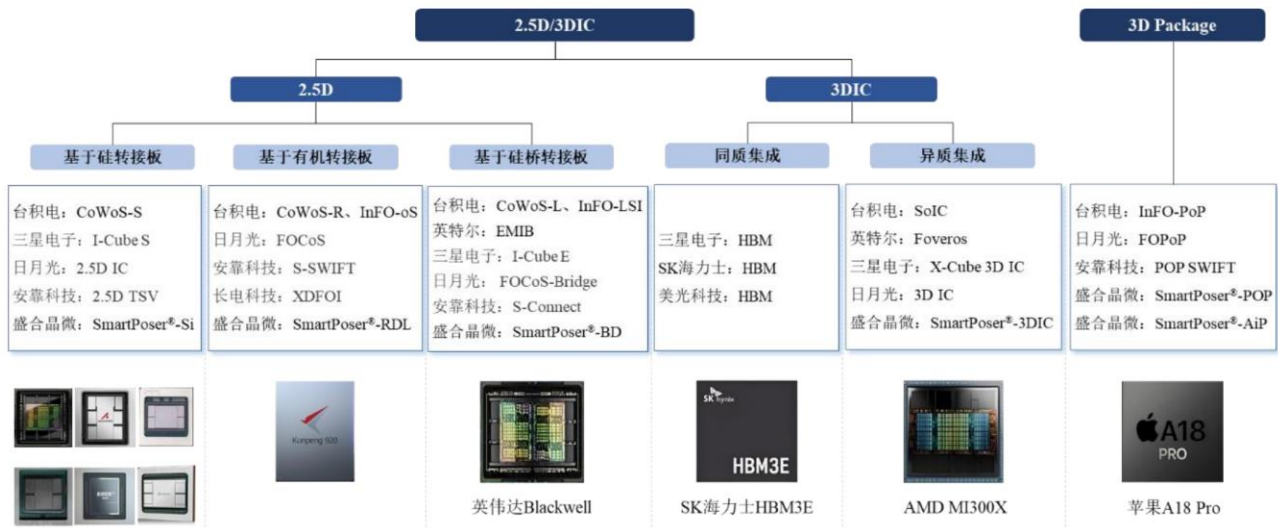
图 7: 2020-2030 年全球先进封装市场规模预测



资料来源：盛合晶微招股说明书

2.5D/3D 封装（即芯粒多芯片集成封装）是先进封装行业规模增长的最充分受益者。未来，受益于人工智能、数据中心、云计算、自动驾驶等高性能运算的快速发展，以及高端消费电子的持续进步，据盛合晶微招股书，2.5D/3D 先进封装（即芯粒多芯片集成封装）市场规模预计从 2024 年的 81.8 亿美金增长至 2029 年的 258.2 亿美金，24-30 年 CAGR~25.8%，是增长最快的先进封装子类别。

图8: 2.5D/3D 先进封装分类



资料来源: 盛合晶微招股说明书

未来几年, HBM、逻辑芯片等总需求的增长、技术的演进, 将推动 2.5D/3D 先进封装规模的增长和内部占比结构变化: 1) 2.5D 先进封装方面, 由于硅中介层价格更高, 且受光刻机单次曝光的光罩面积限制, 硅中介层的先进封装 (2.5D Si Interposer, 如 CoWoS-S) 将向有机中介层+硅桥类 (如 CoWoS-L、EMIB) 等演进; 2) HBM 方面, 由于 HBM 整层高度的限制, 以及为了更好解决散热等问题, HBM 层间连接方式将从微凸块 (ubump) 连接向混合键合转变; 3) 3D 存储/逻辑 Die-to-Die 键合方面, 3D D2W 混合键合 (如台积电 SoIC、Intel Foveros-Direct) 将持续贡献增量, 目前已在 AMD V-Cache 架构中采用, 未来苹果 M5 处理器、英伟达 Feynman 架构也将采用 3D 堆叠;

市场竞争格局来看, 2.5D/3D 先进封装市场目前仍主要由存储 IDM、Foundry 及逻辑 IDM 厂及特定领域的 IDM 龙头 (如索尼) 主导, 在掌握晶圆制造能力的基础上, 将先进封装作为提升系统性能、延续摩尔定律的重要竞争手段。随着先进封装价值量持续提升, 上述厂商已成为先进封装资本开支和技术迭代的核心驱动力。

展望未来, 2.5D/3D 技术有望结合, 远期 3D 技术或将取代 2.5D 技术。以 AMD 为例, 其 MI300 芯片是在 CoWoS 中阶层上集成了三个计算层和 6 个 HBM 模块; 博通最新 3.5D XPU 也采用 2.5D 和 3D 相结合的方式。远期来看, 随着台积电 CoWoS 产能的进一步扩张, 以及 SoIC 技术进步使得间距进一步缩小, 叠加 AI 对芯片间连接密度需求的不断提升, 3D 封装技术有望取代 2.5D 封装。

2. 台积电 CoWoS: AI 时代先进封装的主流技术平台

在先进封装逐渐成为 AI 系统性能提升核心平台的背景下，产业正围绕不同互连方式形成多条技术路线，并推动先进封装市场进入快速成长阶段。目前行业内的先进封装主要有 CoWoS 和 EMIB 两种解决方案，而未来先进封装也在向玻璃基板为载体的 CoPoS 演变。

对于 CoWoS 而言，其并非因为封装工艺本身而成为行业标准，而是率先满足了 AI 时代 GPU 与 HBM 系统集成需求，并依托台积电“Foundry + Advanced Packaging + Ecosystem”的一体化平台形成事实标准。未来 CoWoS 仍将是 AI 训练 GPU 的主流方案，但其成本、面积及产能约束，也将推动 EMIB、CoPoS 等新技术路线的发展。

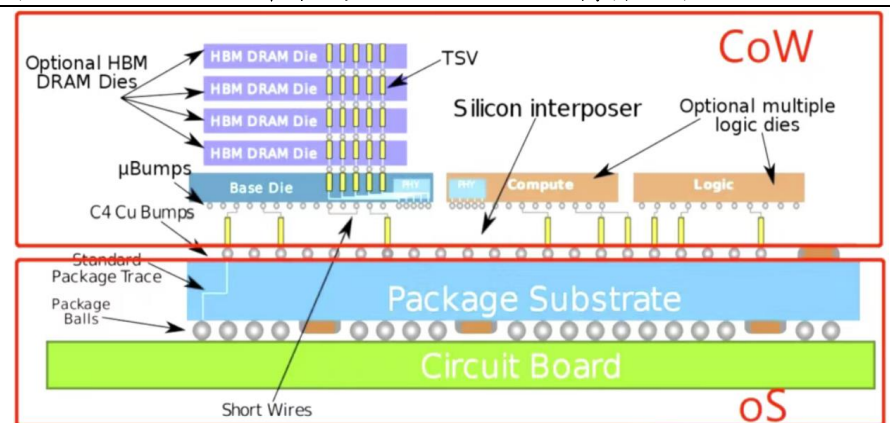
2.1. CoWoS 满足了 AI 时代 GPU+HBM 的系统集成要求

异构集成是满足高互联要求的必需项。AI 训练模型参数和 Token 吞吐量快速增长，使得 GPU 计算能力持续提升。然而，GPU 性能提升的同时，也带来了数据传递需求的指数级增长，传统 DDR 由于带宽和功耗限制，已经无法满足 AI 训练的数据吞吐需求，HBM 逐渐成为 AI GPU 的标准配置。HBM 虽然能够提供远高于 DDR 的带宽，但其依赖 TSV 技术实现垂直堆叠，并要求 GPU 与 HBM 之间实现极短距离、高密度互连，传统有机基板已无法满足互连密度要求，因此需要借助硅中介层实现 Logic Die 与 HBM 的异构集成。

因此，AI 时代先进封装并非性能优化项，而是 HBM 商业化后的必要基础设施。CoWoS 于 2012 年最先为市场提供了可量产的 GPU 与 HBM 信息快速传递的系统：

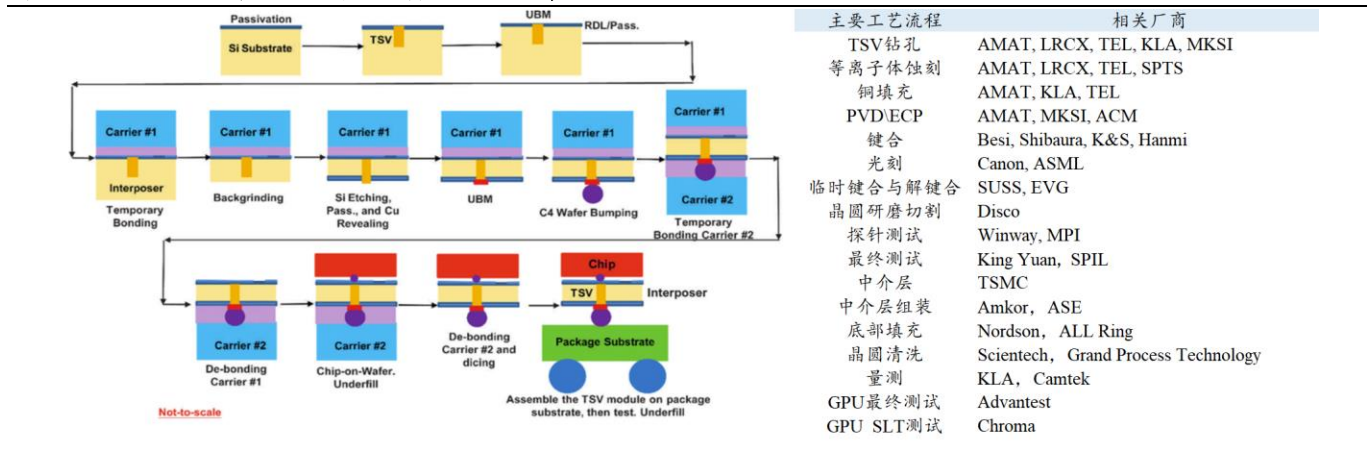
CoWoS (Chip-on-Wafer-on-Substrate) 是台积电于 2012 年左右实现量产的 2.5D 先进封装技术。CoWoS 的核心架构是通过一块硅中介层 (Silicon Interposer) 来实现逻辑芯片 (如 GPU、AI 芯片) 与高带宽存储器 (HBM) 之间的高密度互联。CoWoS 的封装结构可以拆解为“CoW”和“WoS”两个环节：CoW (Chip-on-Wafer) 指的是将多个芯片堆叠安置在硅中介层上，实现芯片间的短距离、高带宽通信；WoS (Wafer-on-Substrate) 则是指将承载了芯片的硅中介层整体通过微凸块 (Micro-bumps) 连接到封装基板 (Substrate) 上，最终实现与 PCB 主板的电气连接。CoWoS 改变的不是封装方式，而是 AI 芯片的系统架构。

图9: CoWoS 通过硅中介层实现 GPU 与 HBM 高密度的互连



资料来源：EE Times China

图10: CoWoS 主要工艺流程与对应设备厂商



资料来源：半导体封装工程师之家，国泰海通证券研究

从技术角度来看，2.5D 先进封装并非台积电独有，Samsung、Intel 等企业均具备类似封装能力。然而，CoWoS 能够成为行业标准，真正的领先优势更多来自生态闭环，而非单一工艺的领先，因此短期竞争壁垒较高。CoWoS 的竞争优势并不仅来自硅中介层或 TSV 工艺，更重要的是台积电率先构建了覆盖晶圆制造、先进封装、EDA 设计支持、HBM 供应链及客户验证的完整产业生态。随着 NVIDIA、AMD、博通等头部厂商持续采用 CoWoS，HBM 供应商、基板厂商、设备供应商及 EDA 工具逐步围绕 CoWoS 形成协同开发体系，平台优势不断强化。因此，CoWoS 竞争已经由单一封装工艺竞争逐渐演变为平台生态竞争。

英伟达推动 CoWoS 成为 AI 训练的事实标准。从 A100 开始，NVIDIA 持续采用 CoWoS 作为 AI GPU 主要先进封装方案，H100、B200 以及 Rubin 平台进一步提升 HBM 数量及封装面积，使 CoWoS 逐步成为 AI 训练 GPU 的事实标准。由于 CUDA 生态及 NVIDIA 市场份额持续提升，服务器 OEM、HBM 供应商及设备厂商均围绕 CoWoS 持续扩产，使 CoWoS 形成较强的网络效应。因此，目前 CoWoS 不仅是一种封装工艺，更是 AI GPU 产业链的标准平台。

2.2. CoWoS 技术演进：从满足 HBM 集成到突破系统尺寸限制

GPU 的发展推动了 CoWoS 技术的不断演变。CoWoS 具备多种变体，CoWoS-S 主要使用在英伟达 A100、H100 等产品中。随着英伟达 GPU 的发展，需要容纳更多晶体管和更多数量的 HBM，封装尺寸已经达到甚至超过光罩极限的 3.3 倍，如果继续使用 CoWoS-S 的巨大硅中介层，晶圆良率会大幅下跌，导致封装成本上涨。

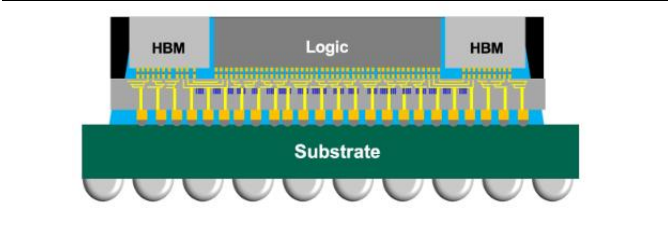
图11: AI GPU 驱动 CoWoS 技术持续演进

	HBM	CoWoS 技术	封装需求变化
A100	HBM2	CoWoS-S	首次大规模 AI 训练
H100	HBM3	CoWoS-S	带宽提升、面积扩大
B200	HBM3e	CoWoS-L	超大面积，突破光照限制
Rubin	HBM4	CoWoS-L	更大系统规模

资料来源：英伟达，Semi Analysis，腾讯网，国泰海通证券研究

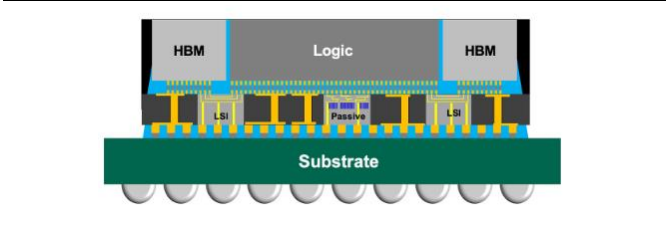
因此，CoWoS 技术正开始向 CoWoS-L 演进。CoWoS-L 融合了 CoWoS-S 和 InFO 技术的优点，通过采用重布线层（RDL）和局部硅桥实现高带宽互连，支持高达 12 颗 HBM 存储器堆叠，成本介于 S 与 R 之间。这项技术目前是英伟达 H100、H200、Blackwell 等 AI 训练芯片的标配封装方案，也是全球 AI 算力竞赛中的关键瓶颈环节之一。

图 12: CoWoS-S 示意图



资料来源：TSMC

图 13: CoWoS-L 示意图



资料来源：TSMC

表 1: 台积电各类 CoWoS 工艺对比

	CoWoS-S	CoWoS-R	CoWoS-L
量产时间	2012 年	2023 年	2024 年
应用	AI 服务器芯片、HPC 等	HBM 等	HPC
优势/劣势	性能最佳；成本较高，且硅材料较脆弱，尺寸放大后良率难以提升	成本较 CoWoS-S 低，封装尺寸弹性高；性能不及 CoWoS-S	成本介于 CoWoS-S 和 R 之间，可堆叠的 HBM 数量较 CoWoS 多
代表产品	英伟达 Hopper H100/H200、AMD MI300	Edge AI 产品等	NVIDIA B100/B200/B300 等

资料来源：TSMC 官网，锐芯闻公众号，国泰海通证券研究

随着 AI GPU 持续向更多 HBM、更大 Chiplet 系统演进，CoWoS 也逐渐暴露出新的挑战，包括硅中介层面积持续扩大导致成本快速提升、Reticle Limit 限制 Interposer 进一步扩展，以及产能扩张周期较长等问题。这些约束并未削弱 CoWoS 作为当前主流方案的地位，但推动产业进一步探索 Bridge、Glass Core 及 Panel 等新型先进封装路线。因此，CoWoS 并非先进封装演进的终点，而是 AI 时代第一代 System Scaling 平台，其后续升级及替代路线将成为先进封装下一阶段竞争焦点。

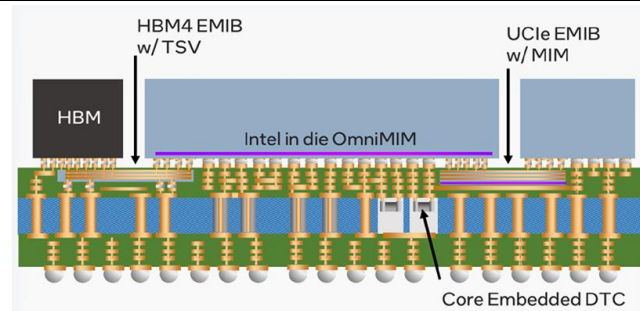
从供需格局来看，CoWoS 产能缺口是主导当前 AI 芯片交付周期的核心变量。尽管台积电正在全力扩产，但设备的超长交期（如刻蚀、电镀、高精度键合设备交期长达 8-12 个月）限制了产能爬坡的斜率。

3. Intel EMIB: AI 推理需求提升带动 EMIB 获得产业机会

3.1. EMIB 并非替代 CoWoS, 二者是在不同应用场景下的技术分工

英特尔的 EMIB 基本原理与台积电 CoWoS-L 类似，通过在基板中嵌入硅桥，实现多个裸片间的高带宽互连，提供比传统封装更低的功耗和成本，是目前挑战台积电 CoWoS 技术的核心方案。

图 14: EMIB 较 CoWoS 少一层 RDL 中介层



资料来源：Intel

在过去，AI 训练需求提升，带动英伟达 GPU 对 CoWoS 的需求快速提升。过去 AI 需求主要集中在训练，英伟达 GPU 为主要供给来源。对英伟达的 GPU 来说，其标准化产品中每一颗 GPU 的架构是固定不变的，设计目标是极致的通用计算性能，因此带宽是封装的首要要求，而台积电的 CoWoS 的高密度布线传统在带宽上具备明确优势，英伟达不会为了降低封装成本去重新设计 GPU 接口，因此在过去 CoWoS 成为 GPU 的主要封装平台。

CoWoS 的产能限制叠加 AI 需求向推理转变，驱动 EMIB 从自用转向对外出售。参考 IDC 数据，目前 AI 推理需求正在快速提升，预计到 27 年推理需求将占据 AI 总需求的 70%，推理需求的提升也驱动了 ASIC 的需求提升。对于正在给 EMIB 下订单的 ASIC 厂来说，其 ASIC 芯片逻辑与 GPU 不同，架构可由自己掌控，用于制作转为特定工作负载设计的芯片。因此这些 ASIC 设计者可以在设计阶段就将封装考虑进去：如调整芯片边缘接口数量和布局以适配 EMIB 的桥宽，选择匹配 EMIB 带宽范围的传输协议，把对带宽要求最高的通信集中在硅桥覆盖的区域等。芯片架构围绕封装做优化，封装的限制就不再是限制。

而与 CoWoS 相比，EMIB 技术具备成本等优势，使得 ASIC 厂选择转向 EMIB：1) 成本上，CoWoS 多了一整块中介层的材料和制造费用，中介层越大越贵，一块大面积中介层成本可以超过 100 美元；而 EMIB 硅桥极小，一片晶圆可以切出几千座桥，每座桥的成本几乎可以忽略。据 Wccftech，EMIB-T 的成本比 CoWoS 低~50%。

2) 除成本外，EMIB 还具备一定的面积优势：EMIB 技术以矩形基板封装，而 CoWoS 技术的圆形晶圆存在利用率低的问题。具体来看，台积电 CoWoS-S 技术能够实现 3.3 倍光罩尺寸拓展，预计 27 年其 CoWoS 技术实现 9.5 倍拓展；而英特尔 EMIB 目前已支持 8 倍拓展，2028 年目标实现 12 倍拓展，可容纳 24 颗 HBM。

图15: EMIB 技术优势对比



资料来源：EE Times China，Intel

EMIB 目前已获得部分 ASIC 订单或评估。EMIB 凭借着其成本优势和更优的散热性能，获得部分客户的评估和订单：联发科宣布下一代芯片独家采用 EMIB-T，预计 26Q4 流片，27Q4 量产；Google 正在评估 EMIB 用于其 2027 年的 TPU v9，目前已计划 2027 年导入 EMIB 试用，Meta 正在考虑将其用于 MTIA，英伟达也正在评估中；定制 ASIC 和推理加速器的爆炸式增长将为 EMIB 提供新的增长空间。另外，联发科也在同步评估 EMIB 和 CoWoS 技术，博通和 Marvell 也在评估是否使用 EMIB 方案。

3.2. EMIB 持续成熟，应用边界不断拓宽

英特尔 EMIB 并非新技术，而是一项量产近 10 年，经历多代产品的验证的成熟封装平台。英特尔从 2017 年开始量产 EMIB，最先用在 FPGA 芯片上，后来 Sapphire Rapids 服务器 CPU 用 EMIB 连接 HBM 内存，Ponte Vecchio GPU 使用超 40 颗芯片和大量 EMIB 桥。目前英特尔也已开始获得越来越多的外部订单。

表2: 英特尔与台积电的 2.5D/3D 封装技术对比

技术	台积电	英特尔
2.5D	CoWoS 互联间距: 40μm	EMIB-M 互联间距: 55μm--45μm--35μm 互联密度: 330/mm ² --772/mm ²
		EMIB-T 互联间距: 45μm--35μm--25μm
3D	SoIC-X 互联间距: 6μm—4.5μm--3μm	Foveros Direct 3D 互联间距: 10μm 互联密度: 10,000/mm ²
3D	SoIC-P 互联间距: 25μm--16μm	Foveros-S,R,B 互联间距: 36μm--25μm 互联密度: 772/mm ² --1600/mm ²

资料来源：TSMC，Intel，国泰海通证券研究

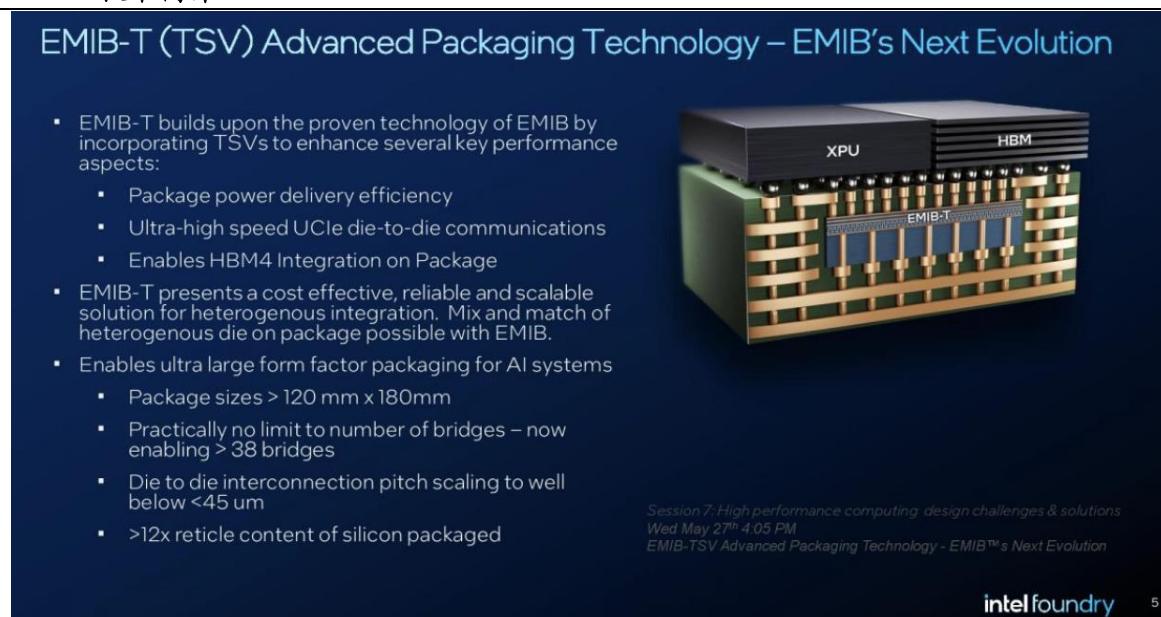
目前 EMIB 仍在部分维度落后于台积电 CoWoS 平台。在良率方面，尽管 EMIB 的贴合步骤更小，步骤相对 CoWoS 更少，但目前 EMIB 良率~90%，

仍低于 CoWoS 良率；此外，CoWoS-L 继承了台积电在硅底板积累的高密度布线优势，在芯片间极高带宽需求的背景下，CoWoS-L 能够提供的通信性能远优于 EMIB；尽管 EMIB-T 在缩小与 CoWoS 差距，台积电在集成电压调节器和有源硅桥等方面仍优于 EMIB。

EMIB 不断升级，目前有 EMIB-M 与 EMIB-T 两个关键版本。EMIB-M 专为能效设计，在硅桥中集成了 MIM（金属-绝缘体-金属）电容器，通过降低噪声增强供电完整性，电力需绕过桥接路由。

随着 HBM 进入 4e 时代，EMIB 也开始演进成为支撑更高带宽、更高供电密度的新一代先进封装平台，EMIB-T 应运而生。EMIB-T 专为高性能 AI 芯片打造，集成了 TSV，允许电力直接穿过桥接路由，大幅提升扩展密度。在扩展性方面，EMIB-T 当前已支持 >8x Reticle 尺寸，在 120x120 封装内容纳 12 个 HBM 芯片、4 个密集小芯片及超过 20 个 EMIB-T 连接。

图 16: EMIB-T 技术简介



资料来源：EE Times China, Intel

EMIB 未来将持续演进，以满足不断提升的 AI 需求。展望 2028 年，英特尔计划将 EMIB-T 扩展至 >12x Reticle 尺寸，在 >120mm*180mm 封装内容纳超过 24 个 HBM 裸片和 38 个以上 EMIB-T 桥接；bump 间距方面，目前 Intel EMIB-T 正在进行 4.5 倍光罩 bump 间距 36/35um 的验证工作，25um 也已经处于测试流程。

除了 EMIB 外，英特尔还在大力研发 3.5D 封装技术，将成熟的 EMIB 技术与 Foveros Direct 技术相结合，EMIB 负责在基板上实现高密度芯片间水平互连，Foveros Direct 则在有源芯片间进行垂直堆叠。这种技术与台积电的 CoWoS 和 SoIC 技术效果类似，从而进一步缩小英特尔和台积电之间的差距。

图 17: Intel 先进封装技术路线图



资料来源：Intel

展望未来，英特尔 EMIB 已明确将玻璃芯基板作为其核心技术路径。通过康宁的技术授权与转移，并结合自身的知识产权，正在自建玻璃芯基板工厂。目前，其位于亚利桑那州凤凰城的实验线已进入小规模量产阶段。此外，英特尔宣布将在新墨西哥州新建一座工厂，并于 2026 年 4 月公布了在印度的另一座新玻璃基板厂建设计划。

表 3: 英特尔及合作方扩产/合作进展

新厂地点/合作公司	项目名称	目前进展/介绍
马来西亚槟城	Project Pelican (鹤鹑项目新厂)	预计 26 年内正式投产运行；海外最大先进封装基地，~71 万平方英尺洁净室，全面打通晶圆预处理到 EMIB/Foveros 全套流程
美国新墨西哥州	Fab9 /Fab 11X	美国本土供应链核心，Intel 首个 3D 先进封装量产基地，目前正在承接玻璃基板研发和扩产，并利用该技术生产硅光子和 CPO 器件
美国亚利桑那州	Chandler/Ocotillo	主力前道产能，拥有 Fab 12、22、32、42 等多座成熟及先进晶圆厂，承载了英特尔大量 10nm/Intel 7 以及更先进节点的 CPU 晶圆制造。最新的 Fab 52 和 Fab 62 正全力推进 Intel 18A 节点的量产
美国俄勒冈州	Hillsboro D1X 等	R&D 厂
OSAT (安靠)	韩国松岛 K5 厂及欧美新厂	利用安靠后道封装能力，配合 Intel 的硅桥技术，加快 EMIB 量产
载板巨头	扩产高端 ABF 载板专用生产线	Intel 的封装尺寸扩大至 120*120mm 规格，载板厂扩建自动化开槽 (Cavity) 和高精密激光直布 (LDI) 产线。EMIB 需要把硅桥嵌入载板中，载板扩产速度决定了 EMIB 最终出货上限

资料来源：东方日报，EE Times China，Intel，艾邦半导体网，财联社，国泰海通证券研究

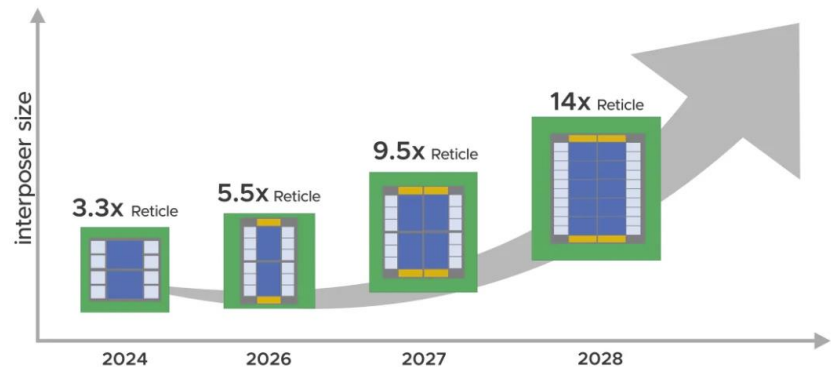
4. 台积电 CoPoS: 迈向下一代的 System Scaling 平台

过去几年，CoWoS 凭借硅中介层提供超高密度互连能力，解决了 GPU 与 HBM 之间的高带宽互连需求，成为 AI 训练时代最重要的先进封装平台。从 H100、B100 到最新一代 AI GPU，台积电持续升级 CoWoS 以满足越来越高的封装需求，推动封装系统的扩大。展望未来，随着 AI 模型参数的持续增长，Interposer 成本及 Reticle Limit 逐渐成为新的约束，CoWoS 的升级或以到达其能力边界，因此 Panel 及 Glass Core 预计将是下一阶段的重要演进方向。

4.1. AI 算力膨胀推动封装革命

随着 AI 需求提升，封装系统规模在持续扩大，AI 芯片也在快速膨胀，目前英伟达 Blackwell ~3.3 倍光罩，Rubin 预计 4 倍光罩，谷歌 TPU v9 预计 9.5 倍光罩，而台积电预计 2029 年实现~14 倍光罩。

图 18: 有机基板和玻璃基板在不同温度下的翘曲度不同



资料来源: TSMC

随着 Interposer 面积持续扩大，材料成本、翘曲控制、散热问题、封装良率等挑战也在逐渐上升，继续扩大中介层虽然在技术上可行，但其成本和复杂度在快速增加，平台优化升级的边界受益越来越低，台积电在此背景下提出了 CoPoS 技术路线。

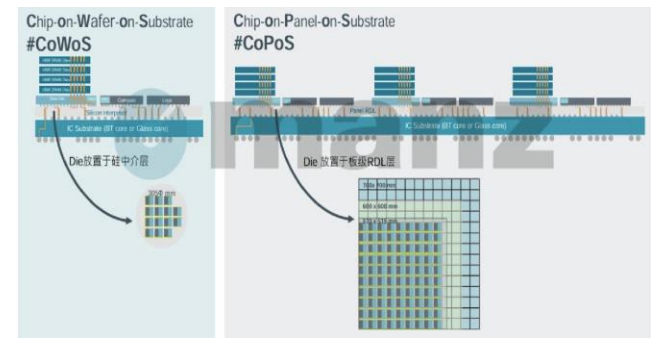
CoPoS 是先进封装底层载体和制造范式的升级和迁移，通过“面板化”的系统级创新，追求在一次封装中集成更多 Chiplet 芯粒和更高堆叠数的高带宽内存。CoPoS (Chip-on-Panel-on-Substrate) 是台积电推出的新一代先进封装技术，被定位为 CoWoS 的下一代继任者。该技术的核心是“化圆为方”，采用玻璃或蓝宝石方形载具作为中介层，以矩形面板基板（如 310x310mm、750x620mm）替代传统的圆形硅中介层，旨在提升封装面积利用率、生产灵活性与可扩展性，并降低成本。其面板面积利用率可达 81%至 95%以上，远超传统 300mm 圆形晶圆，预计能将单位面积封装成本降低约 10%至 30%。

CoPoS 通过“变圆为方”，可以显著提升产能，并降低单位面积成本。将 CoWoS 中基于圆形硅晶圆的中介层替换为面积更大的矩形面板。典型面板尺寸包括 310mm×310mm、515mm×510mm 甚至 750mm×620mm。这种从圆形到方形的转变大幅减少了边缘浪费，面板面积利用率可提升至 81%甚至 95%以上，单次封装可容纳的芯片数量是 12 英寸晶圆的数倍，从而显著提升产能并降低单位面积成本。

得益于更高的面积利用率和生产效率，CoPoS 预计能将单位面积封装成本降低约 10%至 30%。更大的封装面积使得 CoPoS 能够容纳更多 Chiplet 芯粒和更高堆叠数的高带宽内存，例如可集成多达 10-12 颗下一代 HBM4。这带来了更高的理论性能天花板，其峰值带宽有望突破 13-15 TB/s，存储容量

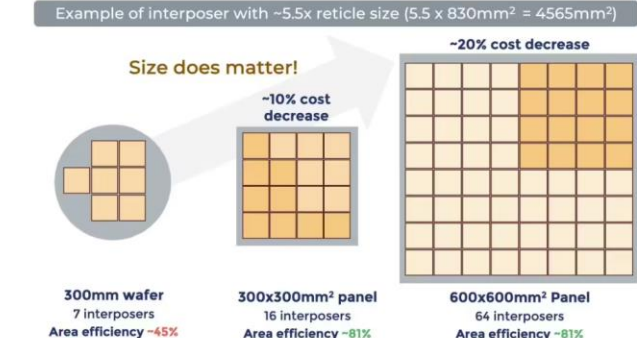
也至少翻倍。

图19: CoPoS 与 CoWoS 面板利用率对比



资料来源: Manz

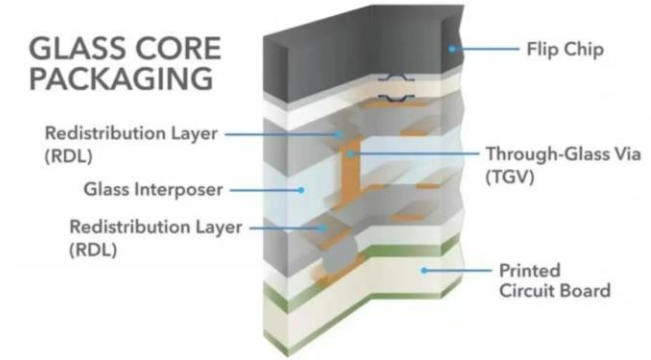
图20: “化圆为方”能显著提高面板面积利用率



资料来源: IT 之家

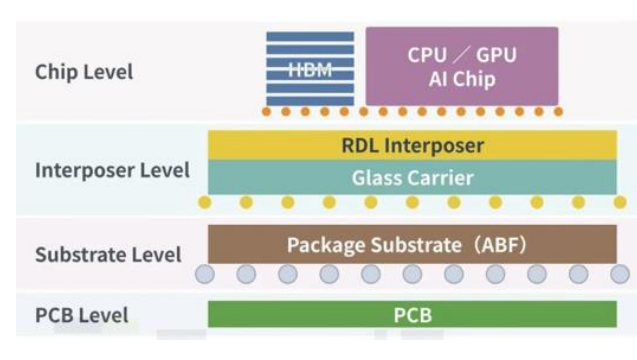
CoPoS 中介层材料向玻璃发展，可以较好缓解散热翘曲问题，并提升互连性能。中介层材料从传统的硅中介层演进为板级重布线层，并进一步向玻璃中介层发展；有机载板被玻璃基板替代，玻璃材料凭借卓越的平整度、热稳定性和电气性能，更适合高频传输与高密度互连；CoPoS 载板/基板由玻璃芯层和两侧的 ABF 增层构成，因此芯片位于 ABF 增层表面，互连由芯片侧的 RDL 与 ABF 增层承担；同时引入了玻璃通孔技术，以提供更优的垂直互连能力，改善散热和信号完整性。

图21: CoPoS 中介层材料变为玻璃



资料来源: 玻璃线路板产业联盟 GCPA 公众号

图22: CoPoS 工艺拆解



资料来源: Trendforce

表4: CoPoS 与其他技术对比

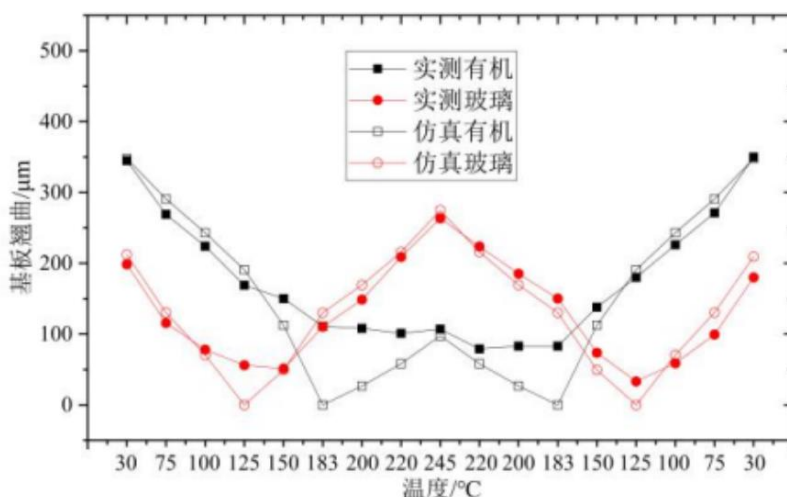
技术	CoWoS	CoPoS	CoWoP
架构	芯片-硅中介层-ABF 基板-PCB	芯片-玻璃-基板-PCB	芯片-硅中介层-PCB
主要不同点	硅中介层实现高密度互联，成熟稳定	化圆为方，降低损耗	省区 ABF 基板与 BGA，简化互联链路
互联密度	线宽<1 微米，微凸块间距 40 微米	RDL 线宽 2 微米，TGV 通孔精度 ±1 微米	依赖 mSAP 工艺，线宽介于 HDI 与载板之间
带宽能力	最高 1TB/s (H100)	目标突破 2TB/s	支持 800G/1.6T 光模块级传输
成本	高 (硅中介层+ABF 基板成本占 60%+)	中 (量产后预计比 CoWoS 低 20%~30%)	低 (较 CoWoS 成本降低 30%~40%)
技术成熟度	成熟 (台积电 25 年月产能 2.5 万片)	预计 28H2 量产	验证阶段 (26 年英伟达平台首发)

资料来源: EE Times China，国泰海通证券研究

4.2. Glass Core 推动平台演进，目前量产仍存在技术瓶颈

玻璃基板是有机基板的重要替代项。传统有机基板因成本低、可支持高密度互连而被广泛使用，但随封装尺寸和集成度的提升，其热机械失配导致的翘曲、应力集中问题愈发显著，影响封装良率与产品可靠性。玻璃基板以其热膨胀系数低、尺寸稳定性好、导热性强及电性能优异等优势，成为有机基板的重要替代选项。英特尔、台积电等领先企业正积极推动玻璃基板技术研发，期望突破高算力芯片封装的瓶颈。

图23: 有机基板和玻璃基板在不同温度下的翘曲度不同

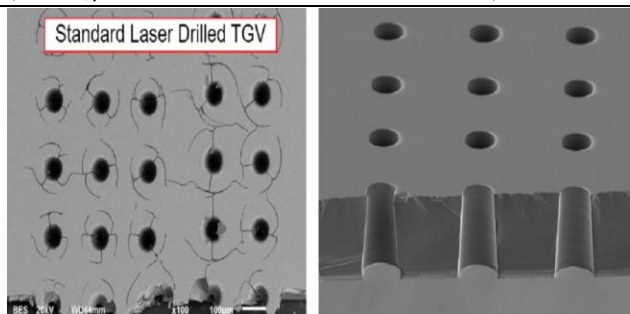


资料来源：《基于玻璃基板的 2.5DCoWoS 封装翘曲研究》，艾邦半导体网

目前 CoPoS 量产目前主要难点在玻璃打孔与金属化方面。合格的玻璃基板要实现量产，主要关注以下几点：1) 能够稳定控制通孔的形状；2) 确保凹陷区域有足够的种子层覆盖；3) 实现无缺陷的金属沉积；4) 有效进行 CMP 处理；5) 保证在薄型面板的热循环过程中防止裂纹产生，即需要具备高速在线检测的能力。

玻璃打孔问题目前可以被 LPKF 的 LIDE 技术解决：目前业界有多种打孔技术，如磨料射流加工技术、电化学放电加工技术、光敏玻璃法、玻璃回流工艺、激光烧蚀法等，不过这些方法都存在一些问题，比如无法加工小孔径、精度不佳以及容易产生裂纹等。目前 LPKF 公司开发的激光诱导深度刻蚀技术 (LIDE) 可以克服上述缺陷，形成通孔的深宽比在 5 到 10 之间，被认为是可以用于生产的 TGV 制造技术，目前已被康宁、肖特、AGC、Samtec 等多家公司采用。

图24: 普通激光钻孔工艺与 LIDE 工艺对比



资料来源：艾邦半导体网、LPKF

图25: 各类 TGV 技术参数对比

Table 1. The comparison of TGV-formation processes.

Process	AJM	EDM/ECDM	Photosensitive Glass	Glass Reflow Process	LD	LIDE
Minimum size	50 μm	20 μm	1 μm	1 μm	5 μm	5 μm
Mass fabrication efficiency	Medium	Medium	High	Low	High	High
Supported TGV array density	Low	Medium	High	Medium	High	High
TGV reliability	Medium	Low	High	High	Low	High
Complexity	Low	Medium	High	High	Low	Medium

资料来源：Application of Through Glass Via (TGV) Technology for Sensors Manufacturing and Packaging (2023)

金属化是目前构建 TGV 玻璃基板中最难的步骤，也是目前量产瓶颈。目前 TGV 已经基本解决，目前尚未解决的问题是在保持结构完整的同时用铜填充

充这些孔洞。

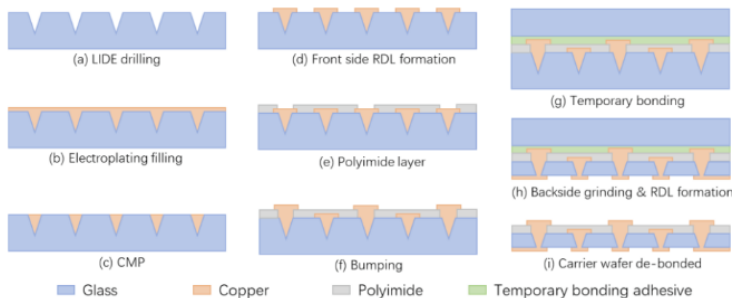
图26: 各类玻璃通孔金属化工艺参数对比

Process	Conductive Paste Filling	Magnetic Self-Assembly	Electroplating
Minimum size	20 μm	70 μm	3 μm
Aspect ratio	>10	2	15
Reliability	Low	High	High
Complexity	Low	Medium	Medium

资料来源: Application of Through Glass Via (TGV) Technology for Sensors Manufacturing and Packaging (2023)

金属化是一系列步骤，通过转化成导电铜互连，并在其周围电镀铜布线。目前金属化步骤面临三个问题：一是无空洞填充，将铜填充在一个深而窄的孔洞，内部不能有间隙；二是铜与玻璃的附着力，铜无法自然黏附在光滑的玻璃上，如果没有合适的表面化学处理，金属会剥离。有机基板没有这个问题，但是玻璃有；三是承受热循环：铜在加热时膨胀约为玻璃的 5 倍，因此每次电源循环都会对每个通孔周围的玻璃施加应力，并有可能导致开裂。一个通过电气测试的基板仍可能在几千次热循环之后失效。

图27: 电镀法 TGV 金属化流程图



资料来源: Application of Through Glass Via (TGV) Technology for Sensors Manufacturing and Packaging (2023)

4.3. CoPoS 预计 28 年量产，预计分三阶段实现技术演进

台积电 CoPoS 加速建厂，英伟达预计成为首个合作伙伴。台积电已启动建设 310 mm² Panel-Level chiplet 先进封装试产线。首条 CoPoS 实验线将于 2026 年在台积电子公司采钰（VisEra Technologies）设立。该中试生产线已于 2 月启动设备交付。

CoPoS 预计将于 2028 年下半年量产，目标提升 9.5 倍光罩尺寸以上大型异构集成系统的量产经济性。台积电计划在嘉义 AP7 厂区建立 CoPoS 量产工厂，目标在 2028 年底至 2029 年间实现大规模量产。此外，台积电在美国亚利桑那州规划的两座先进封装厂中，也有一座将以 CoPoS 技术为主。英伟达预计将成为 CoPoS 技术的首发合作伙伴；英伟达的 Feynman AI GPU 预计是首个试水产品。AMD、博通等也是潜在客户。全球供应链企业已参与竞标或合作，包括 KLA、TEL、Applied Materials、Disco 等国际大厂，以及印能、辛耘、弘塑等台厂，生态系统正在加速构建中。

预计 CoPoS 将分成三阶段实现技术演进。参考奕成科技，预计 28 年量产的 CoPoS 为第一阶段，使用临时载板替代，解决“成本、产能与大尺寸集成”问题。采用大尺寸方形临时载板（Panel）替代传统 12 英寸圆形晶圆载板，主要目标是提升材料利用率和产能。通过方形载板，单次制程面积利用率显著提高，产能可提升至 4-6 倍，从而在短期内可有效降低大尺寸封装成本，中期缓解产能紧缺，长期解决大尺寸系统集成问题，这是 CoPoS 从实验室走向规模化制造的关键起步。

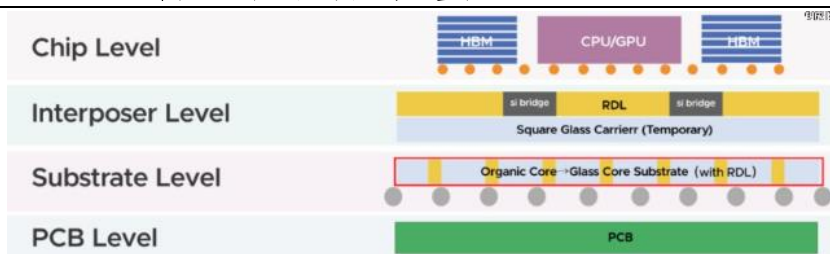
图 28: CoPoS 第一阶段预计采用临时玻璃基板解决成本产能与集成问题



资料来源: Trendforce, ECHINT

待技术成熟后，CoPoS 预计将引入玻璃芯基板以解决大面积翘曲和高频信号损耗问题。引入玻璃芯基板置于两层 ABF 增层之间，逐步替代传统有机基板。与有机 ABF 基板相比，玻璃基板具备更低的介电损耗、更优的表面平整度，以及与硅高度匹配的热膨胀系数（CTE）。配合玻璃通孔 TGV 技术，玻璃从单纯的支撑材料升级为具备垂直互联能力的平台，显著提升了大尺寸封装的高密度互连能力和信号完整性，解决了有机材料在大面积下易翘曲、信号损耗高等难题。

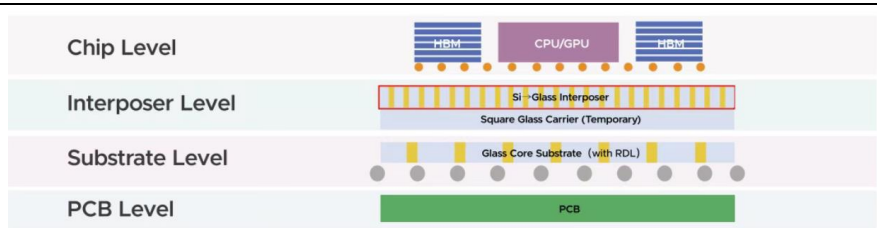
图 29: CoPoS 阶段二引入临时玻璃芯基板



资料来源: Trendforce, ECHINT

CoPoS 最终版本为采用永久玻璃中介层方案，发挥玻璃基板的全部潜力。最终方案可实现更低的信号损耗和更好的整体成本优势。TGV 技术成为核心要素：只有具备高可靠、高密度 TGV 工艺，玻璃才能真正作为活跃的中介层承担复杂 3D/2.5D 异构集成任务。

图 30: CoPoS 阶段三采用永久玻璃中介层方案



资料来源: Trendforce, ECHINT

CoPoS 正加速供应链合作，已确认部分供应商合作。参考 DigiTimes，全球供应链企业已参与竞标或合作，包括 KLA、TEL、Applied Materials、Disco 等国际大厂，以及印能、辛耘、弘塑等台厂。

表 5: 台积电 CoPoS 供应商梳理

工艺流程	供应商	股票代码	供应商所在地	合作进展
光刻与涂布	Canon	7751.T	日本	FPA-5525Iv LF2 曝光设备
	SUSS	SMHN.DE	德国	DSC310s Gen4 曝光机合 ACS301 Gen2 涂布/显影集群平台
	Tokyo Electron	8035.T	日本	LITHIUS Pro SQ3

金属化与铜电镀	SCREEN	7735.T	日本	LM-3000
	Scientech	3583.TW	中国台湾	面板级玻璃层涂布设备
	Applied Materials	AMAT	美国	确定合作
	KLA	KLAC	美国	确定合作
	Leading Precision	未上市	中国台湾	确定合作
研磨、激光加工和芯片键合	Lam Research	LRCX	美国	提供用于铜电镀的 SABRE 3D FP 和用于 UBM 刻蚀的 QUAROS FP
	DISCO	6146.T	日本	拿下几乎全部研磨和激光加工工具订单
	Nitto Denko	6988.T	日本	Frame Mount 框架安装设备和 UV 擦除设备
	LINTEC	7966.T	日本	层压（lamination）和去胶带（de-taping）工艺
	Kulicke&Soffa	KLIC	新加坡	APATURA WP 用于无助焊剂芯片贴装（Fluidless Die attach）设备
	ASMPT	0522.HK	新加坡	Firebird XQ 用于无助焊剂芯片贴装（Fluidless Die attach）设备
	Shibaura	6590.T	日本	提供 TFC-6600-WB 和 TFC-6500-WB 系统
	All Ring	6187.TWO	中国台湾	填胶设备
湿法工艺和热处理	GPTC	3131.TWO	中国台湾	用于湿法工艺设备
	Scientech	3583.TW	中国台湾	用于湿法工艺设备
	Semtek	未上市	中国台湾	用于湿法工艺设备
	AblePrint	7734.TWO	中国台湾	BPO-60A 烘烤设备
	Kokusai Electric	6525.T	日本	450A 和 450A-HT 设备
	C Sun	2467.TW	中国台湾	HOMOL-AP31、HP-AP31 和 CSL-A300PL 热处理系统
模塑与回流	TOWA	6315.T	日本	模塑设备
	APIC YAMADA	未上市	日本	模塑设备
	SEMIgear	未上市	美国	回流炉
	Heller	未上市	美国	回流炉
计量与检测	V5 Tech	7822.TWO	中国台湾	V5P310 Pro 玻璃 AXI 检测设备、V5300 宏观 AOI 系统
	Favite	3535.TW	中国台湾	提供自动光学检测（AOI）设备、负责叠层计量
	Weike Semi	未上市	中国台湾	3D 轮廓测量与尺寸测量
	YaYa Tech	未上市	中国台湾	面板翘曲测量工具
	ChromaATE	2360.TW	中国台湾	AOI 系统
	Mirle Automation	2464.TW	中国台湾	与日本 KOBELCO 合作，提供斜边检测和键合偏移测量工具
玻璃加工	Ta Liang Technology	3167.TW	中国台湾	玻璃面板自动化机械加工供给
封装	Gallant Micro (GMM)	6640.TW	中国台湾	高精度模具分选和键合机
	Gudeng Precision	3680.TW	中国台湾	光罩载具和先进封装材料

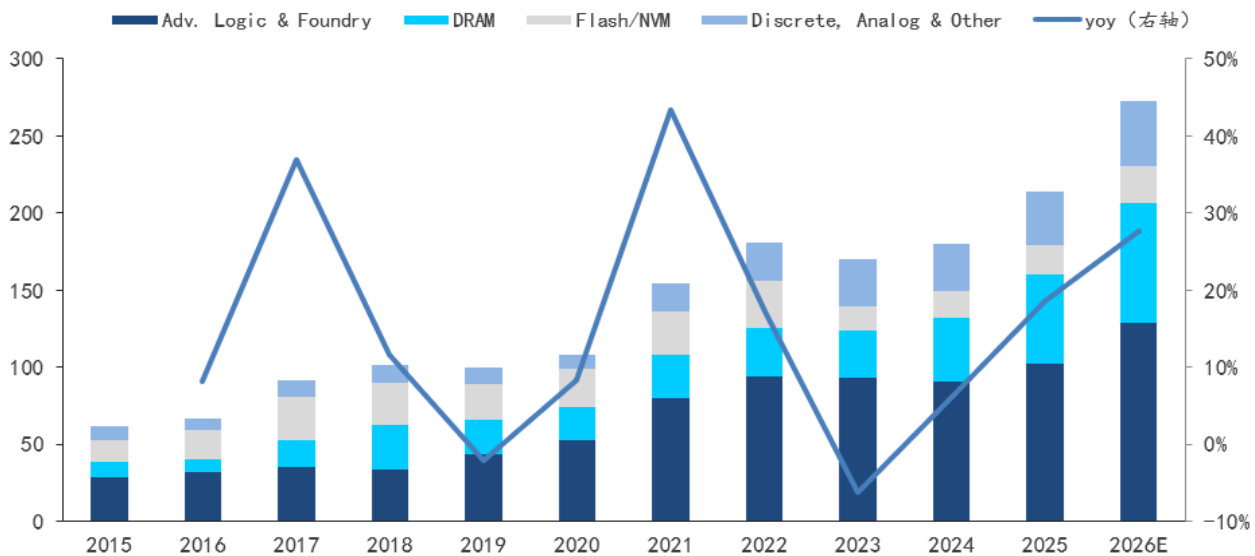
资料来源：DigiTimes，Trendforce，国泰海通证券研究

5. 先进封装的发展推动设备产业链的整体受益

5.1. AI 驱动下，半导体厂商加速 Capex 投入

AI 带动下，全球半导体厂资本开支自 2023 年触底后加速反弹。2023 年，由于智能手机、PC 出货量持续下滑，存储芯片价格暴跌，全球半导体库存周转天数处于历史高位，英特尔、三星、SK 海力士等大幅削减 Capex，全球半导体进入库存调整期；2024 年以来，AI 成为 Capex 的增量引擎，云厂商数据中心扩建，HBM 需求爆发，带动美光、海力士等存储厂商加大 Capex 投入，参考 Tech Insights 数据，2026 年全球半导体厂 Capex 预计达 2727 亿美金，同比增长 28%。

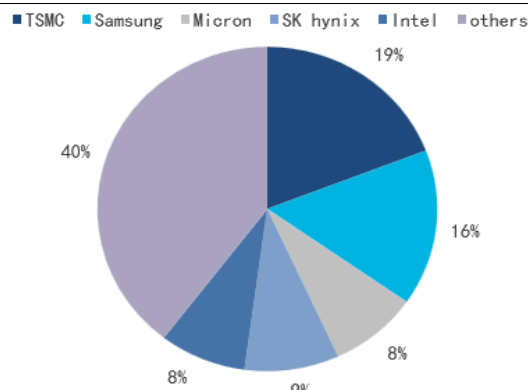
图31: 全球半导体厂 Capex 自 2023 年以来加速上涨 (billion \$)



资料来源: Tech Insights, 国泰海通证券研究

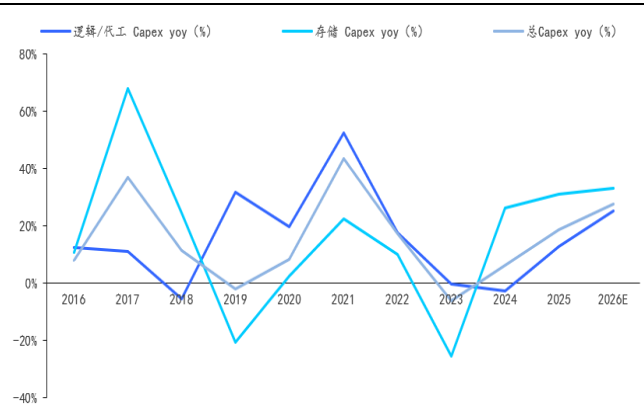
半导体厂 Capex 增长主要由巨头推动，主要增量来自于存储芯片 HBM/DDR5，以及逻辑芯片 AI GPU/ASIC 的需求增长。主要厂商包括韩国存储厂商、中国台湾地区台积电，以及美国 Intel 等。2025 年，全球半导体厂 Capex 约为 2137 亿美金，其中前五大厂商（台积电、三星、美光、海力士、英特尔）占据 Capex 总额的~60%。

图32: 全球半导体厂 Capex 增长主要由 Top 厂商驱动



资料来源: Tech Insights, 国泰海通证券研究

图33: 存储是 Capex 增长的主要驱动因素

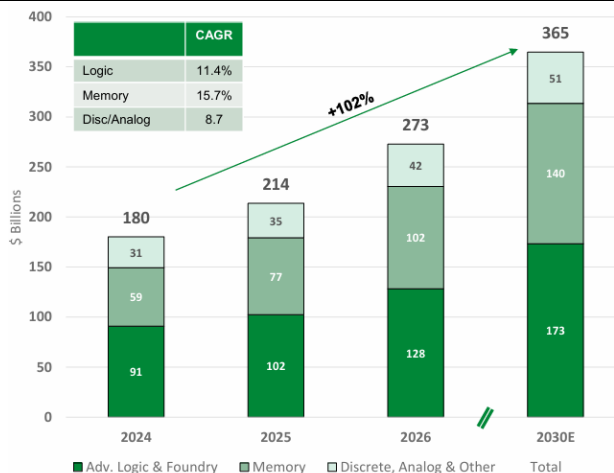


资料来源: Tech Insights, 国泰海通证券研究

韩国存储厂仍在加速扩产，长期 Capex 预计持续增长。2026 年 6 月 29 日，韩国正式公布半导体、物理人工智能、AI 数据中心三大国家级超级项目，计划斥资万亿级韩元重构全国半导体产业布局，应对全球芯片、AI 算力竞争，巩固韩国全球内存龙头地位。除存储厂积极扩产外，台积电预计 26 年

Capex 将达 600-640 亿美金，未来三年 Capex 预计仍将继续大幅增长。参考 Techinsight 数据，至 2030 年，半导体厂年度 Capex 投入将增长至 3650 亿美金，封装相关的投资扩产也已超千亿美金。

图34: Capex 长期预计继续增长



资料来源: Tech Insights, Besi

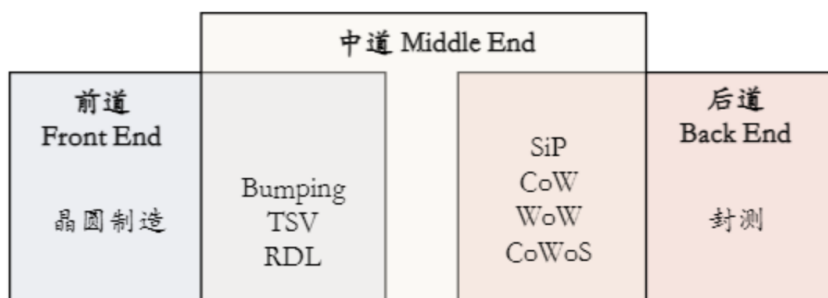
图35: 超千亿美金封装投资扩产正在计划/进行中

Packaging Fab Projects	# Projects	Cost (\$B)
USA	7	33
Taiwan	6	30
Korea	3	26
India	3	10
Singapore	1	7
China	7	6
Europe	5	5
Vietnam	2	5
Malaysia	3	3

资料来源: Techinsights, Besi

先进封装模糊了前道和后道界限，并产生了“中道”环节，包括硅片加工环节 Bumping、TSV、RDL 以及后道的键合等步骤。未来随着先进封装需求的增长，半导体厂的 Capex 预计也将向中后道倾斜：

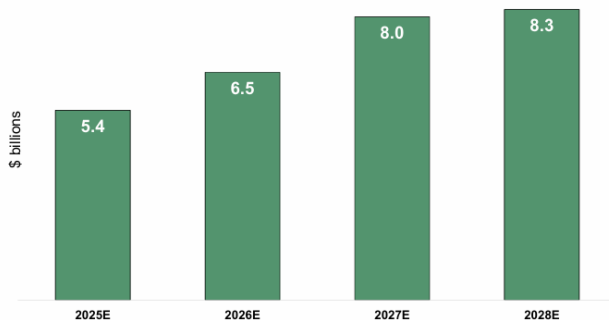
图36: 先进封装处于晶圆制造和封测的中间环节



资料来源: 艾森股份招股说明书

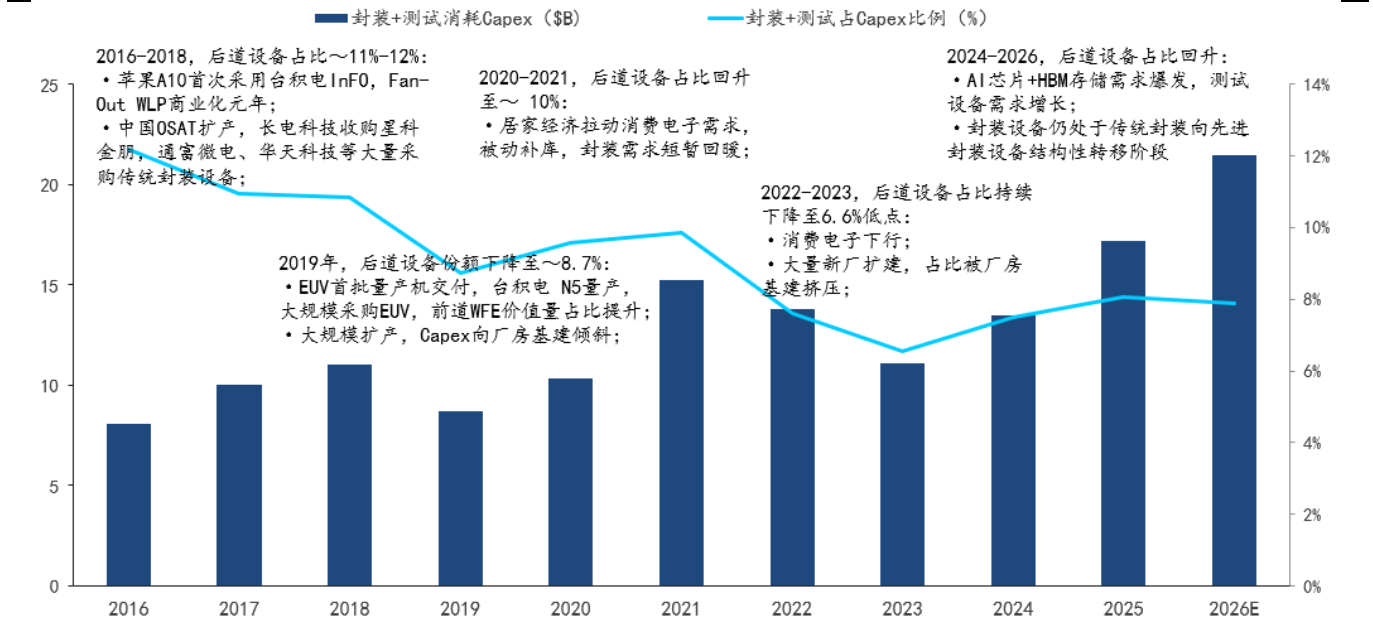
Capex 总量增长的背景下，后道封测设备占总 Capex 的比例也触底回升。2022-2023 年，整体消费电子行业下行，后道传统封装、测试设备出货量下降，叠加 22 年台积电、三星扩产，后道封测设备占总 Capex 的比例下降至 6.6% 低点。2024 年以来，随着 AI 芯片和 HBM 需求的增长，整体封测设备占总 Capex 的比例有所回升。

图37: 后道封测设备规模快速增长



资料来源: Tech Insights, Besi

图38: 2016 年以来 Capex 中投入后道封测设备比例变化



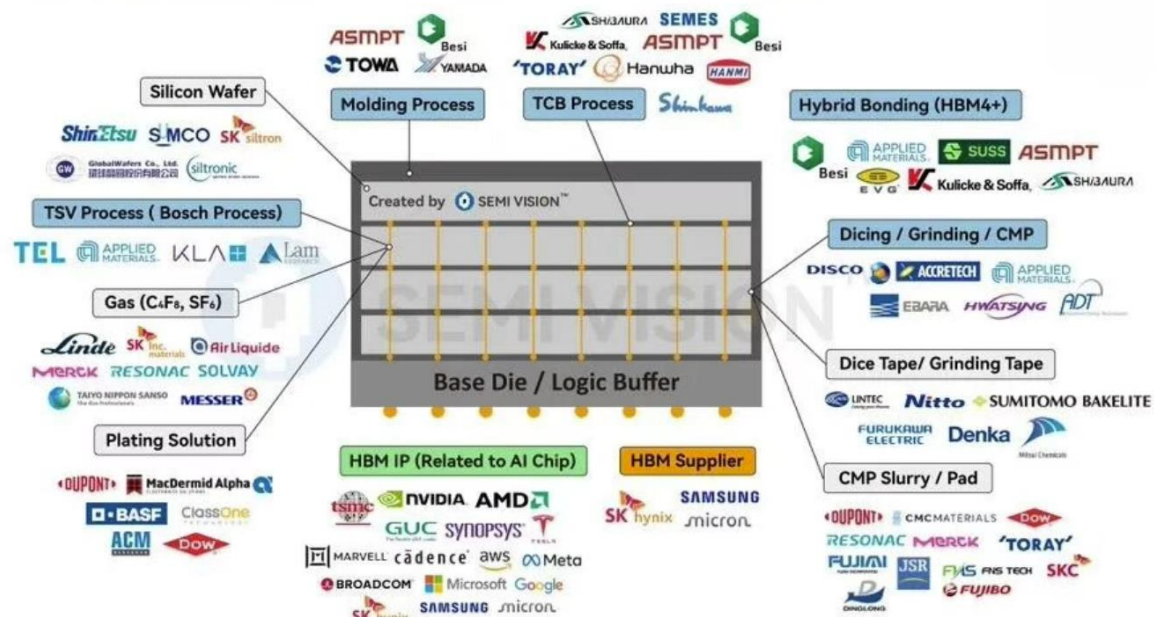
资料来源: Tech Insights, 国泰海通证券研究

具体拆分来看, 目前后道封测设备占 Capex 投入比例提升的主要驱动因素在测试设备: 据 Tech Insight 数据, 2025 年全球测试设备市场规模~120 亿美元 (同比+44.6%), 占总 Capex 比例增长至 5.6% (vs 2023 年 4%)。而 25 年全球后道封装设备市场规模~52 亿美元, 占总 Capex 比例 2.4% (vs 2023 年 2.6%)。短期来看, 受益于 HBM 需求提升, 后道设备市场规模预计继续增长, 主要由测试设备拉动; 长期来看, 随着 HBM 的层数提升, 以及对工艺精度的要求提升, 键合设备将从热压键合向混合键合设备升级, 以键合设备和量检测设备为主的中后道封装设备预计将迎来进一步市场规模的增长。

5.2. Capex 向设备传导, 推动先进封装相关设备产业链受益

图39: HBM 供应链厂商梳理

High Bandwidth Memory (HBM) Supply Chain Overview

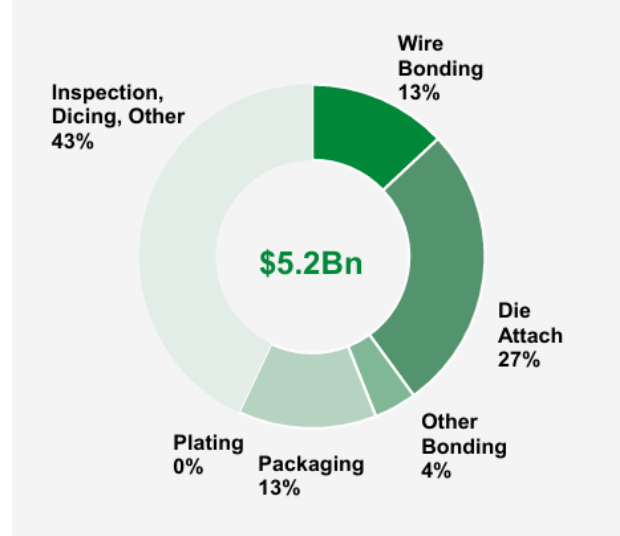


资料来源: Semi Vision

后道封装设备中，价值量较大的设备主要为键合设备市场（合计~43%）和量检测市场。随着先进封装的要求不断提升，对键合密度、精准度的要求提升，键合设备逐渐向高端键合发展，在单机价值量增大、精度提升导致的UPH降低的双重驱动下，整个键合设备市场占比预计持续提升；与此同时，更高精度的键合也对量检测设备提出了更高的要求，光学、声学、X-ray检测需求提升，量检测设备预计将继续随着先进封装的需求提升而受益。

从后道封装流程设备的整个市场竞争格局来看，大部分工艺都由巨头把控：切割、减薄、晶圆安装（总价值量占比超30%）等工艺流程由Disco占据主要份额，而高端键合设备则主要由Besi、ASMPT等厂商主导。

图40：后道封装设备市场份额



资料来源：Tech Insights, Besi。注：未统计 TCB 市场数据。

目前市场对先进封装的定价，主要集中在 CoWoS 产能扩张上，但是随着产业链价值量向后道转移，封装单位价值量的扩张，目前在部分环节仍存在一定的价值低估：

1. **键合设备产业链的机会：**尽管 JEDEC 再次放宽 HBM 封装高度的限制，导致混合键合全面导入的时点可能再次延后，短期内热压键合仍为主导，但是混合键合作为高端先进封装设备的长期趋势不会改变。目前热压键合作为高端 HBM 生产的主力设备，随着 HBM 层数的提升，散热问题依旧无法解决。但是，混合铜键合方式相较传统热压键合，可使 HBM 堆叠热阻下降~19%，键合密度提升 4 倍时降幅达 29.1%。当基底芯片功耗升至 3 倍时，两者的热阻差距会持续扩大，堆叠热阻将成为算力提升的核心约束。因此，不论是 HBM 高度的限制，还是后续的散热问题，远期采用混合键合代替热压键合均为确定结果，混合键合的主要厂商 ASMPT, Besi 等厂商将会因此受益。此外，高端混合键合设备对中道的设备要求更高，一旦确定采用混合键合设备，中道相关的设备可能也会迎来更新，混合键合带动的是整个产业链的增量。

2. **量测检测的机会：**从 Capex 到设备的传导看，以 KLA、Onto 为主的量测/检测设备供应商具备较大机会。无论是台积电从 CoWoS 升级至 CoPoS，或是英特尔 EMIB 技术，都会面临翘曲、对准精度和键合精度的问题，这是封装面积变大、凸点间距带来的必然结果。随着 HBM 层数的提升，单颗封装的检测步骤、精度要求也会提升，量检测设备的价值量或将实现非线性增长。同时，大尺寸封装对应的硅片价值更高，后道报废的损失远高于前道，生产厂商在量检测上投入的边际回报率注定更高。在这样的背景下，各类量检测设备，尤其是专业性量检测，如专注于 3D 检测的 Onto 等厂商，将会

获得更多的产业机会。更远期来看，混合量测等新业态也是量检测厂商的新增量。

3. 测试设备的机会：目前测试设备主要厂商仅有泰瑞达（TER）和爱德万（Advantest）两家厂商。测试市场首先受益于存储、逻辑芯片市场的快速增长，测试需求提升；此外，先进封装增加了测试的复杂性，单芯片的测试时长成倍增长，而在 AI/HPC 等高端应用场景，测试流程新增了 BIT、SLT 等多种测试环节，驱动测试设备和相关硬件也将迎来新一轮的升级换代。未来随着测试流程的升级、测试环节向精细化转变，测试头龙厂商将迎来更多的业绩增量。

6. 风险提示

6.1. AI 下游需求不及预期风险

先进封装的扩产高度依赖于 AI 算力芯片和 HBM 的需求爆发，若 AI 大模型商业化落地放缓、应用端变现困难，或是算力需求增速不及预期，导致云厂商及相关企业削减 Capex，将影响先进封装相关设备的业绩放量。

6.2. 新技术研发与量产进度不及预期风险

目前先进封装新技术，如 CoPoS 等，目前仍存在金属化等技术瓶颈，而混合键合设备也存在量产良率等技术问题，若核心技术突破进度不及预期，可能会导致相关技术更新延缓，影响相关产业链公司的业绩兑现。

6.3. 核心设备交期延长限制产能扩张风险

目前先进封装产能瓶颈已经部分向上游设备端转移，部分键合、量检测以及前道设备的交期在延长，若设备供应商因零部件短缺、产能不足等原因导致设备交付期进一步拉长，将制约台积电、英特尔的先进封装产能释放节奏。

6.4. 行业竞争加剧风险

台积电、英特尔、三星等均投入大量成本并研发先进封装新技术，若未来行业产能集中释放导致供给过剩，或出现新的替代性封装方案，可能会导致部分厂商面临市场份额流失和毛利率下滑的压力。

本公司具有中国证监会核准的证券投资咨询业务资格

分析师声明

作者具有中国证券业协会授予的证券投资咨询执业资格或相当的专业胜任能力，保证报告所采用的数据均来自合规渠道，分析逻辑基于作者的职业理解，本报告清晰准确地反映了作者的研究观点，力求独立、客观和公正，结论不受任何第三方的授意或影响，特此声明。

免责声明

本报告仅供国泰海通证券股份有限公司（以下简称“本公司”）授权客户使用。本公司不会因接收人收到本报告而视其为本公司的当然客户。本报告仅在相关法律许可的情况下发放，并仅为提供信息而发放，概不构成任何广告。

本报告的信息来源于已公开的资料，本公司对该等信息的准确性、完整性或可靠性不作任何保证。本报告所载的资料、意见及推测仅反映本公司于发布本报告当日的判断，本报告所指的证券或投资标的的价格、价值及投资收入可升可跌。过往表现不应作为日后的表现依据。在不同时期，本公司可发出与本报告所载资料、意见及推测不一致的报告。本公司不保证本报告所含信息保持在最新状态。同时，本公司对本报告所含信息可在不发出通知的情形下做出修改，投资者应当自行关注相应的更新或修改。

本报告中所指的投资及服务可能不适合个别客户，不构成客户私人咨询建议。在任何情况下，本报告中的信息或所表述的意见均不构成对任何人的投资建议。在任何情况下，本公司、本公司员工或者关联机构不承诺投资者一定获利，不与投资者分享投资收益，也不对任何人因使用本报告中的任何内容所引致的任何损失负任何责任。投资者务必注意，其据此做出的任何投资决策与本公司、本公司员工或者关联机构无关。

本公司利用信息隔离墙控制内部一个或多个领域、部门或关联机构之间的信息流动。因此，投资者应注意，在法律许可的情况下，本公司及其所属关联机构可能会持有报告中提到的公司所发行的证券或期权并进行证券或期权交易，也可能为这些公司提供或者争取提供投资银行、财务顾问或者金融产品等相关服务。在法律许可的情况下，本公司的员工可能担任本报告所提到的公司的董事。

市场有风险，投资需谨慎。投资者不应将本报告作为作出投资决策的唯一参考因素，亦不应认为本报告可以取代自己的判断。在决定投资前，如有需要，投资者务必向专业人士咨询并谨慎决策。

本报告版权仅为本公司所有，未经书面许可，任何机构和个人不得以任何形式翻版、复制、发表或引用。如征得本公司同意进行引用、刊发的，需在允许的范围内使用，并注明出处为“国泰海通证券研究”，且不得对本报告进行任何有悖原意的引用、删节和修改。

若本公司以外的其他机构（以下简称“该机构”）发送本报告，则由该机构独自为此发送行为负责。通过此途径获得本报告的投资者应自行联系该机构以要求获悉更详细信息或进而交易本报告中提及的证券。本报告不构成本公司向该机构之客户提供的投资建议，本公司、本公司员工或者关联机构亦不为该机构之客户因使用本报告或报告所载内容引起的任何损失承担任何责任。

评级说明

	评级	说明
投资建议的比较标准 投资评级分为股票评级和行业评级。 以报告发布后的 12 个月内的市场表现为比较标准，报告发布日后的 12 个月内的公司股价（或行业指数）的涨跌幅相对同期的沪深 300 指数涨跌幅为基准。	增持	相对沪深 300 指数涨幅 10%以上
	谨慎增持	相对沪深 300 指数涨幅介于 5%~10%之间
	中性	相对沪深 300 指数涨幅介于-5%~5%
	减持	相对沪深 300 指数下跌 5%以上
	无评级	对于个股未来市场表现与基准指数相比无明确观点
股票投资评级	增持	明显强于沪深 300 指数
	中性	基本与沪深 300 指数持平
	减持	明显弱于沪深 300 指数
行业投资评级		

国泰海通证券研究所

地址 上海市黄浦区中山南路 888 号

邮编 200011

电话 (021) 38676666