

玻璃基板专题报告： 材料变革与封装工艺升级共振，产业化临界点将近

首席证券分析师：周尔双
执业证书编号：S0600515110002
zhouersh@dwzq.com.cn

研究助理：陶泽
执业证书编号：S0600125080004
taoz@dwzq.com.cn

2026 年 7 月 27 日

投资建议

- **AI算力需求高增推高带宽需求，玻璃基板有望开启先进封装的“材料革命”，产业链设备与材料环节率先受益。** 后摩尔时代芯片制程红利趋缓，先进封装成为提升系统性能的关键路径；根据Yole数据，2024年全球先进封装市场约460亿美元、同比+19%，2030年有望达794亿美元、CAGR约9.5%。随着算力芯片与HBM高带宽存储协同要求不断提高，硅基与有机中介层/载板在大尺寸、翘曲控制、高频损耗等方面逐渐触及瓶颈，玻璃凭借机械尺寸稳定、CTE可调、介电损耗低、表面平整、且可面板级大尺寸加工等本征特性，成为破局材料。当前时点产业共识正在形成：英特尔于2026年第76届ECTC发布玻璃芯基板量产技术突破，台积电推进面板级CoPoS，康宁推出Glass Bridge玻璃桥CPO方案，京东方在5月20日公告与康宁合作、玻璃基封装载板试验线已通线并送客户认证，沃格光电、蓝思科技等亦密集布局，海内外龙头共同验证玻璃基板的产业化方向。
- **玻璃基板落地三大方案，层层递进打开设备与材料空间。** 1) **面板级封装（CoPoS）方案：**玻璃作为方形临时载具，承载CoWoS-L式RDL重布线，在玻璃上打TGV玻璃通孔、金属化后制备RDL，以TGV垂直互连；该方案相比圆晶圆更具经济性、支持面板级大尺寸，CTE可调以改善翘曲，并可掏槽内嵌元件、演化出5.5D封装。2) **玻璃芯封装载板方案：**以玻璃替代传统覆铜板有机核心层，机械刚性与介质损耗Df优于有机材料，更好满足高频高速传输。3) **CPO玻璃桥方案（康宁）：**在玻璃内部制作光波导，直接连接PIC与光纤、取代FAU，显著降低耦合对位难度，并可与玻璃基板工艺相结合。三条主线的共同点是把价值量集中导向TGV打孔、金属化电镀、RDL布线等前道图形化与镀铜环节。
- **核心增量在加工设备与材料：TGV打孔（激光/刻蚀）、金属化与电镀、RDL光刻是玻璃基板产业化的三大关键工艺环节。** TGV成孔以激光钻孔（紫外超快激光优于CO₂）、激光诱导改性+湿法刻蚀、感光玻璃光刻为主流路线；金属化以磁控溅射种子层配合化学镀/电镀实现全铜填充；RDL沿用硅基的电镀法与大马士革法，对直写光刻、垂直电镀与电镀化学药水提出更高要求。当前瓶颈集中在高深宽比成孔、电镀无空隙填充与玻璃开裂控制，正是国产设备与材料企业切入的窗口期。
- **投资建议：沿“激光—光刻—电镀”三条工艺主线，关注玻璃基板产业化中的国产设备与材料机会。** （1）**激光钻孔/改性设备：**TGV成孔是玻璃基板的关键工艺，相关标的为大族数控、帝尔激光、德龙激光；（2）**光刻/直写设备：**RDL高密度布线与感光玻璃光刻环节，相关标的为芯碁微装；（3）**电镀设备与电镀化学品：**TGV铜填充与RDL电镀是价值量核心环节，相关标的为东威科技、洪田股份、三孚新科。
- **风险提示：**下游巨头玻璃基板导入进度不及预期；关键工艺良率突破不及预期；先进封装及AI算力需求不及预期。

目录



■ 一、AI 算力驱动带宽升级，玻璃基板开启材料革命

■ 二、面板级封装：CoPoS 玻璃载具利好终端设备

■ 三、玻璃芯载板：替代有机核心层，强化载板性能

■ 四、CPO玻璃桥：玻璃波导破解光纤-PIC 耦合难题

■ 五、TGV加工工艺：关注国产设备材料机会

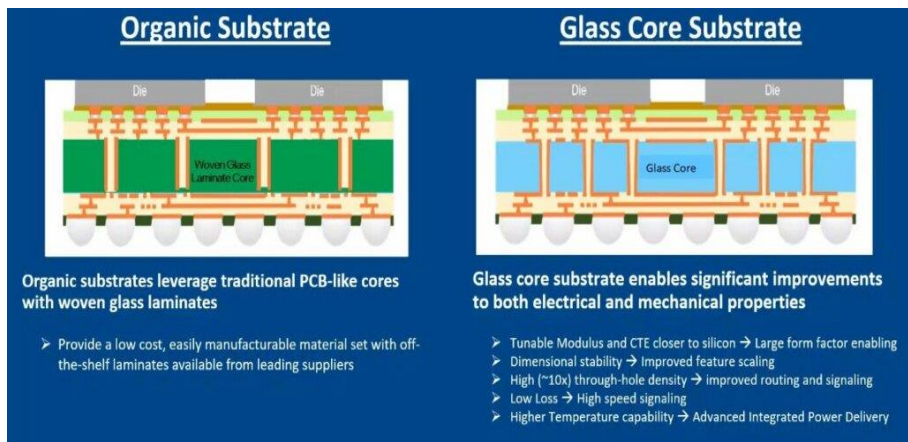
■ 六、相关公司投资建议

■ 七、风险提示

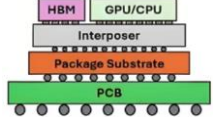
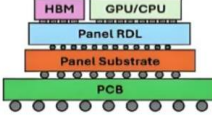
1.1.1 玻璃基板产业化布局加速，海内外厂商推进工艺与产线研发 东吴证券 SOOCHOW SECURITIES

- ◆ 伴随高端封装需求与技术的持续提升，传统硅基制程载体、有机封装基板均显现固有短板，玻璃基材料有望成为新一代方案。当前玻璃基材料主要分为两大技术方向：**玻璃载板（Glass Carrier）、玻璃封装基板（Glass Core Substrate）**。**英特尔、台积电、康宁、京东方、沃格光电、蓝思科技等**均开展玻璃基板相关工艺、产线研发工作。
- ◆ **英特尔：ECTC 2026发布玻璃芯基板量产工艺，完成产品开发**。英特尔展出业内首款 510mm×515mm 规格、20 层布线玻璃芯基板面板，基板集成全铜填充玻璃通孔（TGV）、两组嵌入式 EMIB 互连桥，且在玻璃通孔之间同步一体化制备埋入式光波导。
- ◆ **台积电：CoPoS玻璃面板封装方案**。采用玻璃或蓝宝石材质的方形载具作为中介层，并在其上镀制RDL，相比硅基CoWoS 具备刚性强、信号损耗低、矩形面板材料利用率高的潜在优势。规划2026年完成设备材料验证，2027年小规模试产，2028年下半年正式量产。量产之后可降低封装成本约30%，面板利用率提升至90%以上。

图：Organic Substrate VS Glass Core Substrate



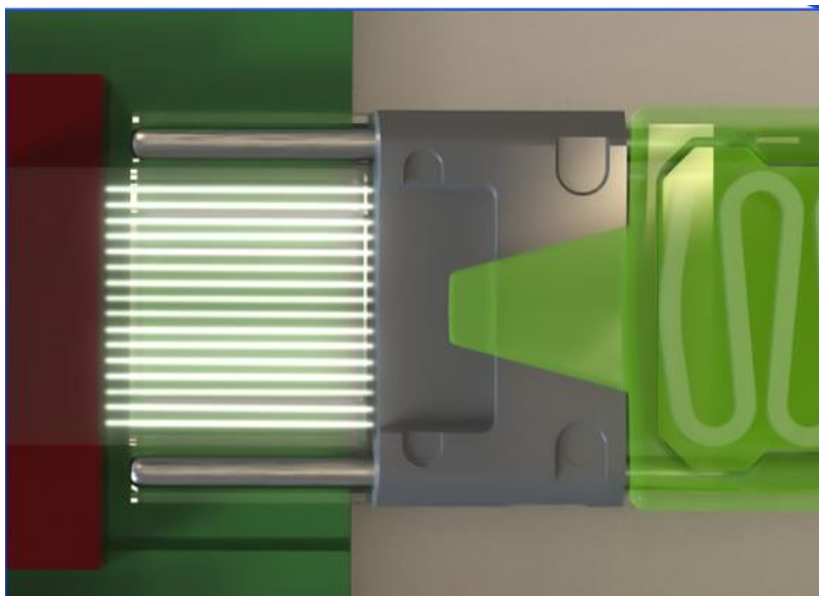
图：CoWoS硅基方案与CoPoS玻璃面板封装方案对比

类型	CoWoS	CoPoS
结构		
中介层	硅中介层	面板级 RDL
难点	基板尺寸存在上限、热曲率高易发生翘曲、信号损失	TGV通孔良率、ABF多层增厚匹配、RDL超细线路制程工艺

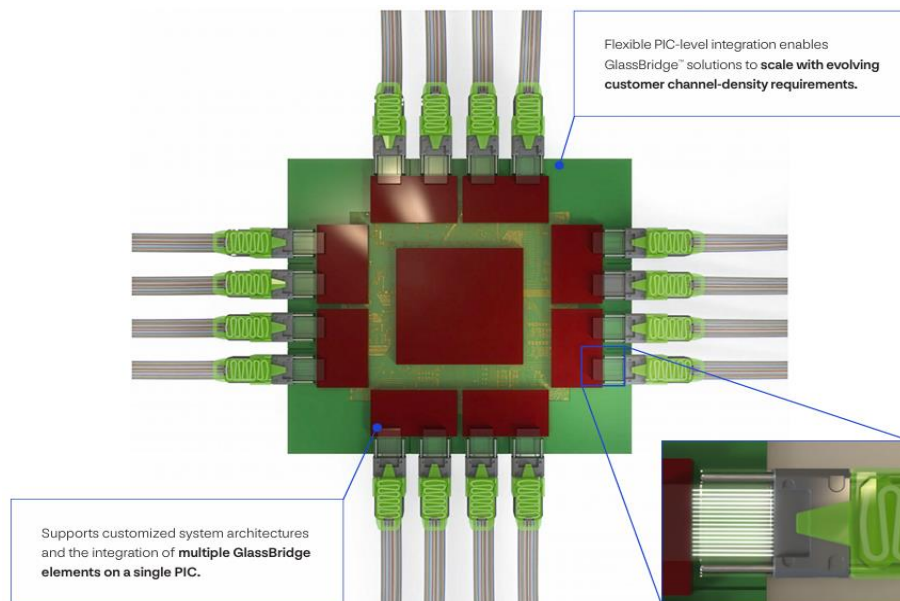
1.1.2 玻璃基板产业布局加速，海内外厂商推进工艺与产线研发

- ◆ **康宁：推出Glass Bridge光纤-PIC连接器方案。**在光纤与PIC之间增加一层离子交换玻璃波导（IOX）作为过渡层。借助玻璃的传输特性解决光纤与PIC之间光斑尺寸失配问题，降低耦合工艺难度与制造成本，同时有效压低O波段耦合损耗至1.5dB，支持CPO新一代光学架构。
- ◆ **多通道架构集成度高。**一颗交换芯片周围可接入**16个Glass Bridge连接器**，单个Glass Bridge连接器中可集成**24根光纤**。

图：Glass Bridge连接器多通道架构



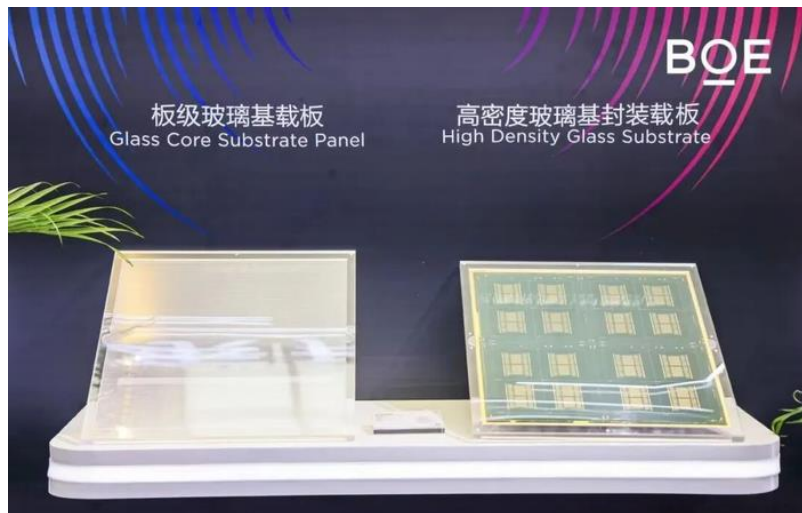
图：GlassBridge连接器多通道架构



1.1.3 玻璃基板产业化布局加速，海内外厂商推进工艺与产线研发

- ◆ **京东方联手康宁，板级玻璃载板试验线通线。**2026年5月与康宁签订三年战略合作协议，将围绕玻璃基封装载板、可折叠玻璃、钙钛矿玻璃基板、光互连相关应用等重点领域开展合作。**2024年投资9.93亿元**建设板级玻璃基封装载板试验线，2026年上半年板级产线全线通线，**月产能1000片**，已实现TGV钻孔、填铜、高层RDL完整工艺流程，完成多层玻璃基板样品制备并对部分客户送样认证。
- ◆ **沃格光电：自研TGV技术，深宽比达150:1。**其自主研发的TGV技术可实现**最大深宽比150:1**，TGV通孔最小孔径**可达3 μ m**。子公司**通格微**正在建设**年产10万平方米**玻璃基封装载板产线，预计2026下半年实现投产。
- ◆ **蓝思科技：超大尺寸极薄玻璃百万级通孔。**其自主研发的微米级钻孔技术成功在超大尺寸的极薄玻璃基板上实现了数百万个微米级通孔的精准加工，通孔贯通率达到100%。正在建设一座3万平方米的半导体专用厂房及配套产线，预计于2026年年底正式投产，公司自研的TGV玻璃基板已向海内外数家头部芯片及封装客户送样测试。

图：京东方玻璃载板实物



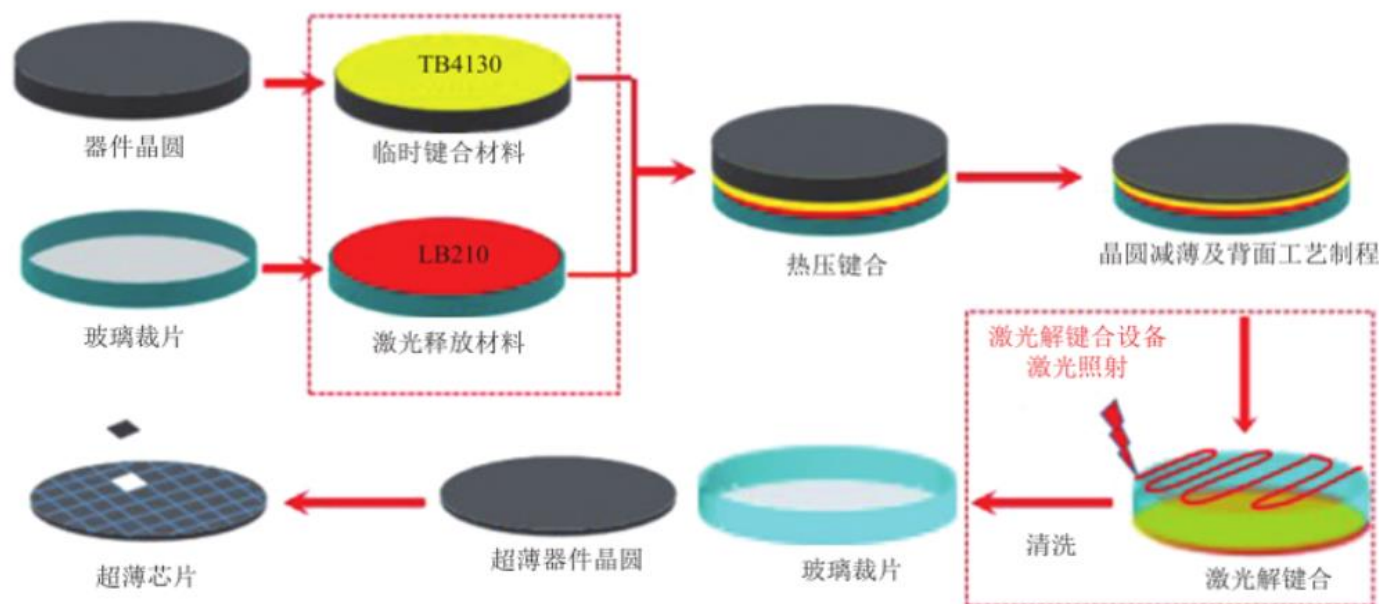
图：通格微TGV通孔样品



1.2.1 玻璃基材综合性能适配先进封装

- ◆ **玻璃载板（Glass Carrier）**是先进封装制程中的临时性工艺支撑材料。为超薄晶圆、重构芯片提供机械支撑与平整度基准，制程完成后通过激光解键合移除，可重复使用 3-4 次，是玻璃封装材料中最早实现规模化量产的赛道。
- ◆ **玻璃载板**兼顾激光低损伤解键合与面板级高利用率，综合优于硅基载片与有机载板。硅基载片原材料成本偏高、圆形晶圆形态裁切利用率偏低，且硅片不透光无法适配激光解键合，剥离时碎裂风险较高；有机载板刚性偏弱，因不透光，解键合时需通过加热实现，有机载板CTE与芯片差距较大，高低温加工中极易产生翘曲变形。玻璃载板透光特性**适配低损伤激光解键合**，搭配矩形面板生产模式，大尺寸制程下单片可加工单元数量更多，有效摊薄成本。

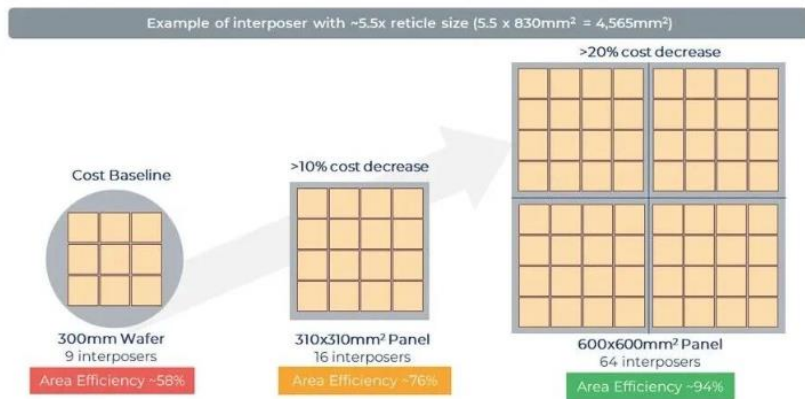
图：适配玻璃载板的激光解键合工艺流程



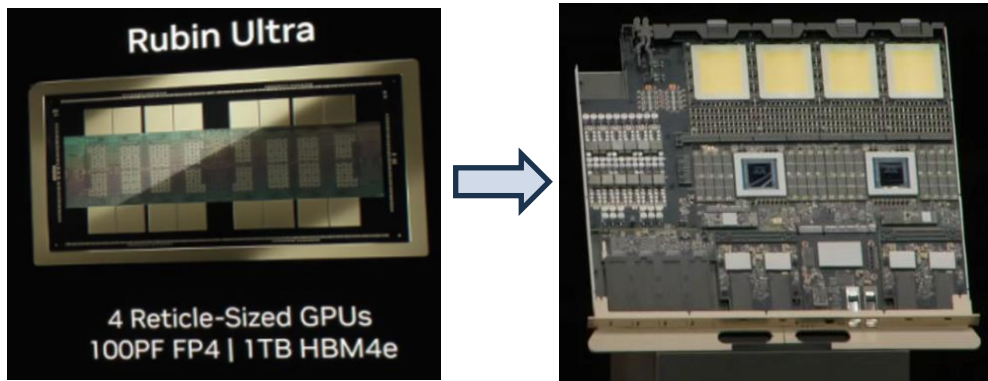
1.2.2 玻璃基材综合性能适配先进封装

- ◆ **玻璃载板、玻璃基板均采用矩形面板工艺。**硅晶圆受圆形外形约束，在大尺寸封装场景下存在材料利用率低且单批次产出有限。根据Yole数据，在 4565mm^2 的大尺寸场景下， 300mm wafer仅可排布9个，面积利用率58%；而采用 $310 \times 310\text{mm}^2$ 面积利用率可提升至76%， $600 \times 600\text{mm}^2$ 可排布64个，利用率大幅提升至94%，并分别带来高于10%和20%的成本下降。
- ◆ **英伟达Rubin Ultra原定4 Die架构，最终缩减为2 Die方案。**4 Die架构对应更大幅面的封装载板，受圆形载具形态限制，裁切矩形载板单元时四周会产生大量无效边角，存在单批次产出有限、材料利用率低的问题；且有机载板自身刚性不足，多芯片大功率持续发热会诱发基板形变，影响芯片长期工作稳定性。
- ◆ **玻璃双路径载板方案可解决大尺寸算力芯片加工与翘曲痛点，支撑超大集成方案量产。**玻璃材料方案可在制程环节使用玻璃载板，依托大尺寸矩形面板提升重构晶圆加工效率；也可以在底层基板端采用带玻璃核心层的有机载板作为芯片承载基底，强化基板刚性抑制大尺寸基板翘曲变形。待玻璃材料加工工艺成熟后，Rubin Ultra这类超大算力、大尺寸集成方案在未来有潜在产业段落地的可能性。

图：大尺寸晶圆封装和面板2.5D封装对比



图：硅中介尺寸约束下Rubin Ultra架构有潜在可能成为2Die



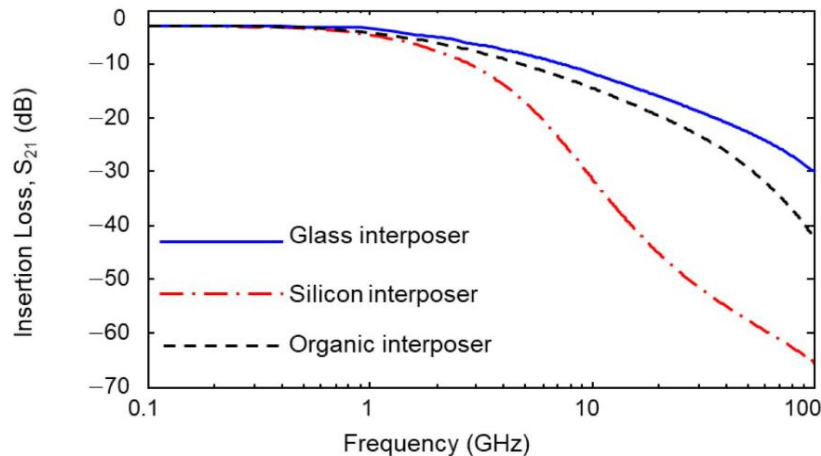
1.2.3 玻璃基板综合性能适配先进封装

- ◆ 玻璃基板具备更低的Dk/Df，高频高速信号传输完整性更优。当前AI算力芯片高速SerDes传输速率持续迭代升级，从技术演进历程看，SerDes速率基本保持每三年翻倍的发展节奏。根据OIF CEI数据，SerDes速率从2012年的28Gbps，到2017年的112Gbps，再到2021年的224Gbps，**预计2027年将实现448Gbps产业化落地。**
- ◆ 高频高速SerDes 算力芯片封装介质优选玻璃基板，根据奈奎斯特频率，SerDes速率与频率正相关，448Gbps对应112 GHz，高频率要求基板介质的低损耗、低介电属性。对比现有两类主流封装介质，玻璃基板电性能优势明显，硅中介层受载流子效应影响，全频段损耗受频率影响较大，ABF/BT有机基板则在高频区间损耗显著劣化，同时面临高传输延时、高频大幅衰减问题，易引发信号失真与有效带宽缩减；当前量产主流的硼硅酸盐封装玻璃 Dk约4.5–5.5、10GHz下Df为0.002–0.003，在高频段下信号损耗特性显著优于硅基与有机基材；适配多芯粒大带宽高频率算力芯片需求。若采用高纯熔融石英玻璃，Df可低至0.0005级、Dk低至3.5左右，但受TGV加工难度与成本限制，暂未实现规模化封装应用。

图：基板材料电性能对比

指标	硅	有机材料 (ABF/BT)	封装专用玻璃 (硼硅酸盐)
Dk (1-10GHz)	~11.9	~3.5-4.7	~4.5-5.5
Df (损耗)	较高，且随频率/载流子效应恶化	~0.005-0.015	~0.002-0.003
信号传播速度	慢	快	中等

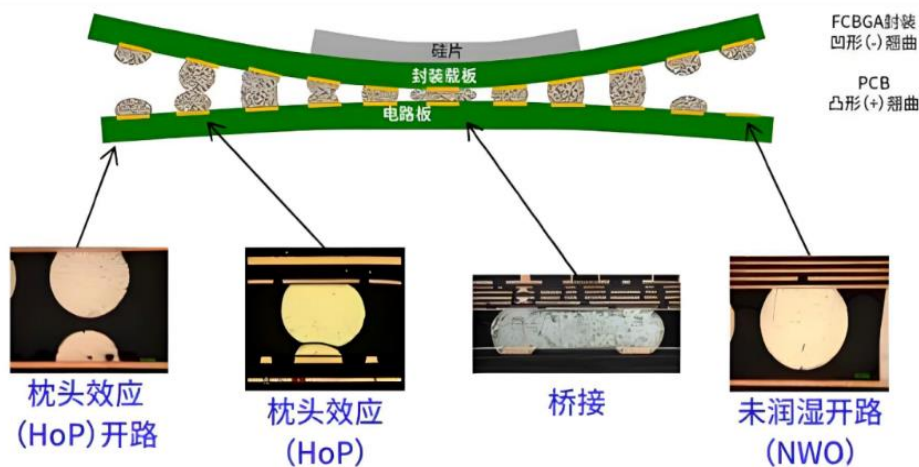
图：实验室仿真实验：玻璃、硅、有机中介层 0.1–100GHz 插入损耗对比



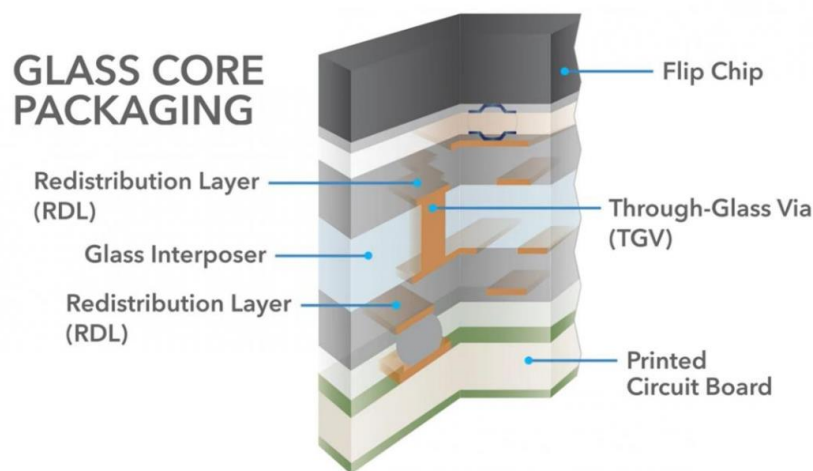
1.2.4 玻璃基材综合性能适配先进封装

- ◆ **玻璃芯层基板可有效解决高功率AI芯片热形变与界面应力问题。**在基板结构中嵌入玻璃核心层，可从架构层面形成高刚性支撑骨架，提升基板整体结构强度与抗形变能力，可大幅提升基板整体刚性，抵御AI算力芯片长期高功率工作产生的热形变，缓解基板与芯片间热应力。玻璃基板的优势来源于自身材料本征特性：**CTE**与芯片匹配度高，缓解界面应力；**杨氏模量（Young's Modulus）**更高，具备优异结构刚度，抗弯曲、抗变形能力显著优于树脂基材。

图：封装翘曲引发各类焊点失效



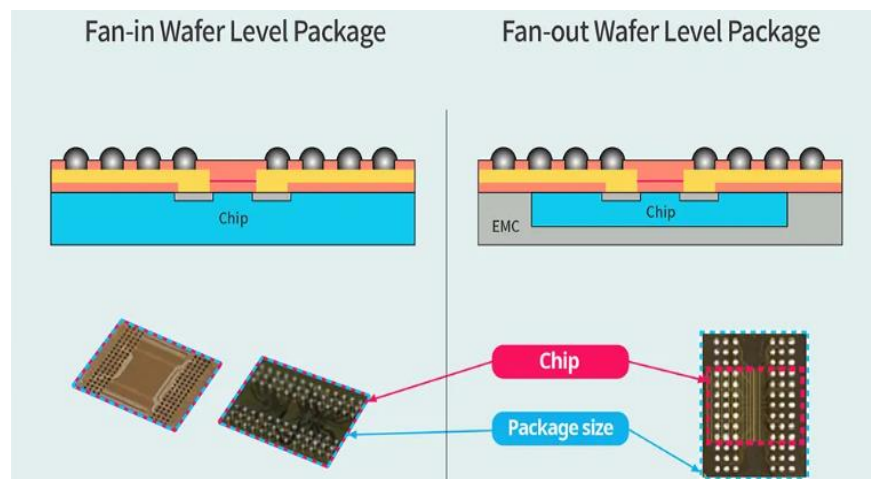
图：插入玻璃核心层的封装基板



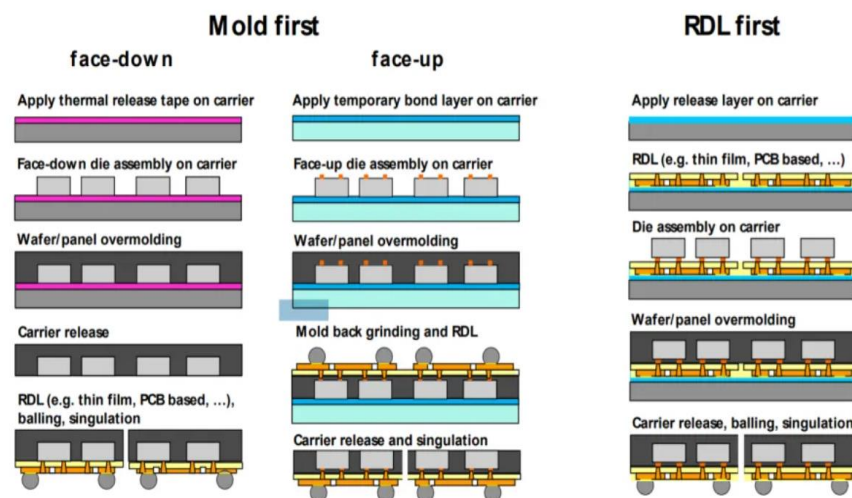
1.2.5 玻璃基材综合性能适配先进封装

- ◆ **Fan-in封装**将 I/O接口放在晶片下方，受限于芯片尺寸与I/O 接口数量。Fan-out封装利用RDL和EMC材料，EMC经模塑填充，在芯片轮廓外侧形成连续平整介质区域，提供额外布线面积。Fan-Out封装主要分为**Mold First（Die First）与RDL First（Die Last）两种工艺路线**。Mold First为先贴装芯粒、后塑封、最后制备 RDL 的工艺流程，普遍存在芯粒偏移问题，芯粒位置仍会受塑封料固化收缩、模塑流体扰动、多层材料 CTE 失配翘曲、临时胶带粘附稳定性等多重因素影响，产生位移。因此采用RDL First，先布线、贴装，后塑封，使芯粒不再承受模塑成型阶段的流体与应力扰动以解决位移问题。
- ◆ **玻璃基板兼具硅材料的加工精度和EMC塑封体系配套的大面积扇出拓展能力**。玻璃基板刚性较高，结构稳定性与硅材料接近，满足高密度RDL布线的精度要求；也可通过刻蚀开槽形成结构化腔体，配合EMC材料也可实现**额外布线面积增量**。既可适配Mold First工艺的大面积拓展需求，也可匹配RDL First高精度布线流程，拓宽Fan-out封装的工艺实现路径。

图：Fan-in与Fan-out封装工艺对比



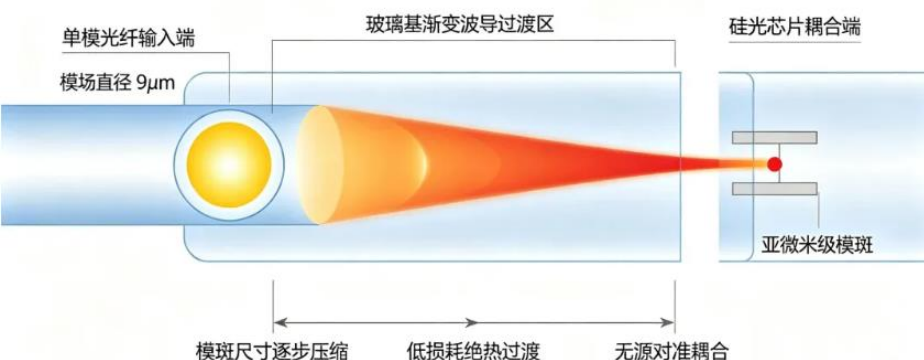
图：Fan-out封装中Mold First与RDL First 工艺对比



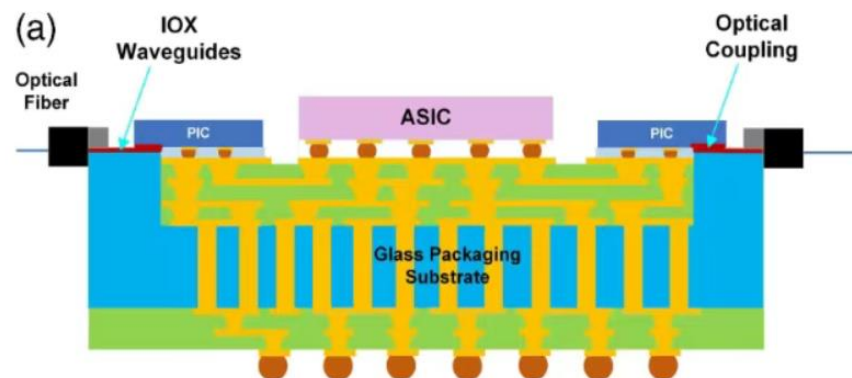
1.2.6 玻璃基材综合性能适配先进封装

- ◆ **FAU方案耦合损耗高、可维护性与集成密度均存在硬瓶颈。**FAU方案受尺寸失配影响，PIC单模波导截面数百nm，与9μm标准单模光纤纤芯存在数十倍的尺寸失配，传统FAU单端面耦合损耗普遍维持在**1.5-3dB**，FAU一体化封装结构不支持单通道独立维修，单点光路异常即造成整组光引擎报废；且**FAU通道间距127μm**，无法适配下一代高密度48通道、64通道以上的超密光阵列集成需求。
- ◆ **康宁Glass Bridge为模块化可拓展无源光互连平台。**其依托晶圆级离子交换（IOX）工艺在玻璃内部制备渐变埋入式光波导，在Glass Bridge内部完成**μm级光纤纤芯到数百nm级PIC**的模斑尺寸转换。产品采用标准TMT插芯物理对接端面，单只连接器支持24路以上光路通道，最低支持30μm通道排布，较FAU同等面积下集成密度可提升约4倍，同时可将单端面耦合损耗控制在**1.5dB**。
- ◆ **康宁Glass Works晶圆级CPO整套工艺适配高端高密度算力光引擎。**Glass Works面向AI数据中心全链路光互连需求搭建，能同时**满足IOX光波导和TGV打孔两种工艺需求**，缩短光电信号传输路径，减少多层界面带来的附加损耗与装配偏差，适配下一代多芯粒、大尺寸、高密度算力光引擎需求。

图：Glass Bridge光纤 - PIC模斑转换原理



图：集成电互连结构和光波导的玻璃基板



1.3.1 国内外头部企业玻璃基板领域布局情况

表：国内外头部企业玻璃基板领域布局情况

公司名称	国家 / 地区	玻璃基板领域布局情况
英特尔	美国	十年前启动有机基板研发，在亚利桑那州工厂投入十亿美元搭建玻璃基板试验产线；采用75μm TGV玻璃通孔，通孔纵横比20:1，基板核心厚度1mm，规划2030年实现玻璃基板封装芯片批量生产；
台积电	中国台湾	推出CoPoS大尺寸玻璃面板封装方案，用于超大算力Chiplet集成，替代传统硅中介层；已发布专项玻璃基板开发计划，针对英伟达Rubin Ultra多芯粒封装痛点攻关，现阶段完成多轮样品验证，规划2027年前后落地量产产线，适配下一代高端AIGPU封装需求。
康宁	美国	打造GlassWorks一体化晶圆级CPO解决方案，同步布局IOX晶圆离子交换光波导与高精度TGV玻璃通孔两大核心工艺；旗下GlassBridge光互连组件已正式发布，2026年ECTC展会联合格芯完成硅光平台全无源集成验证；目前处于客户样品认证阶段，可同步实现基板高速电布线与内置光路集成。
京东方	中国大陆	2020年启动玻璃基板技术调研，2022年投入3.9亿元搭建晶圆级创新实验平台，2024年追加9.93亿元建设国内首条板级玻璃基封装载板试验线；2025年完成大尺寸高层数（9-2-9，20层）玻璃基载板样品开发并送样，2026年上半年试验线实现全自动化设备通线，设计月产能1000片，已完整打通TGV开孔、深孔填铜、多层布线全流程工艺。
沃格光电	中国大陆	2022年6月成立湖北通格微专项布局TGV业务，2024年武汉一期年产10万平米产线完成；与华为共建松山湖联合中试线，凭借自主研发TGV技术可实现最小孔径3μm、深宽比150:1。
蓝思科技	中国大陆	2023年成立创新研究院，将脆性材料（包括玻璃基板）作为重点研发方向；2026年CES展首次公开发布E级超算用TGV基板成品；2026年6月攻克510mm大尺寸超薄玻璃微孔加工工艺，单基板可一次性加工超300万个微米级通孔，贯通率达100%；目前正联合北美、韩国头部客户验证22层玻璃芯载板，公司同步推进3万平米TGV玻璃基板厂房在建，预计2026年底投产。

目录



■ 一、AI 算力驱动带宽升级，玻璃基板开启材料革命

■ 二、面板级封装：CoPoS 玻璃载具利好终端设备

■ 三、玻璃芯载板：替代有机核心层，强化载板性能

■ 四、CPO玻璃桥：玻璃波导破解光纤-PIC 耦合难题

■ 五、TGV加工工艺：关注国产设备材料机会

■ 六、相关公司投资建议

■ 七、风险提示

2.1.1 带宽需求驱动封装工艺升级

- 封装工艺持续演进的本质，是为算力芯片与HBM之间打通更高带宽、破解“存储墙”。算力与存储能力均指数级提升，但二者数据交换受制于互连带宽，计算核心常因“等待数据”而闲置；根据Yole数据，2024年全球先进封装市场约为**460亿美元**，**同比+19%**，预计2030年有望突破794亿美元，期间年CAGR约9.5%，体现先进封装已成为后摩尔时代提升系统性能的关键路径。
- 提升带宽主要为增加I/O密度与缩短信号传输距离两条基本路径。1) 由引线键合仅能在芯片边缘布点，发展为倒装焊的全平面阵列互连；2) 缩短走线以降低RC时延与传输损耗。由此封装互连沿“由点到线、由线到面”逐代演进：**引线键合(1975)→倒装焊(1995)→热压键合(2012)→扇出(2015)→混合键合(2018)**。
- 随工艺演进，互连密度、加工精度与能效同步大幅优化。I/O密度由**5-10个/mm²**升至**1万-100万个/mm²**，加工精度由20-10μm收敛至0.5-0.1μm，单位比特能耗由**10pJ/bit**降至**<0.05pJ/bit**，为2.5D/3D先进封装与Chiplet生态奠定物理基础，并带动后道测试与封装设备需求上行。

图：封装互连技术演进

	引线键合 (Wire Bonding, 1975)	倒装芯片键合 (Flip Chip, 1995)	热压键合 (TCB Bonding, 2012)	扇出封装 (HD Fan Out, 2015)	混合键合 (Hybrid Bonding, 2018)
结构					
工艺种类	 引线	 锡球/铜柱凸块	 铜柱凸块	 RDL/铜柱凸块	 铜-铜键合
连接密度	 5-10 I/O接口/mm ²	 25-400 I/O接口/mm ²	 156-625 I/O接口/mm ²	 500+ I/O接口/mm ²	 1万-100万 I/O接口/mm ²
基板	有机物/引线框架	有机物/引线框架	有机物/硅		
精度	20-10μm	10-5μm	5-1μm	5-1μm	0.5-0.1μm
能耗/比特	10pJ/bit	0.5pJ/bit	0.1pJ/bit	0.5pJ/bit	<0.05pJ/bit

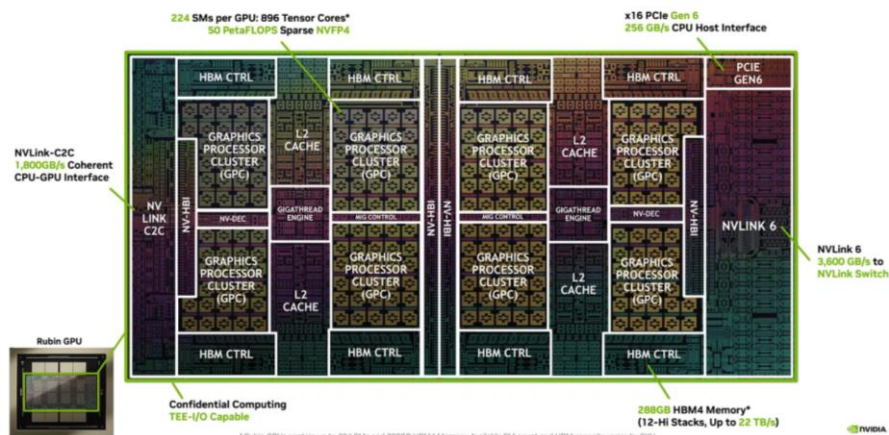
数据来源：元器件封装测试之友、Yole、JEDEC官网、Semi Analysis，东吴证券研究所

2.1.2 2.5D封装：共享中介层将HBM与GPU紧邻部署

- 先进封装先解决的问题，是把HBM从独立系统移到GPU旁、共享同一层RDL中介层。HBM与GPU以微凸块并排贴装于RDL中介层之上（Rubin的CoWoS-L架构），中介层内数千条亚微米布线直接对接双方I/O，互连路径仅数毫米、损耗远低于PCB，实现最短、最宽、低功耗、低时延的数据通道，是高端GPU、AI芯片与Chiplet生态的关键使能技术。
- HBM突破“内存墙”，依靠“超宽接口+立体堆叠”两个维度。空间上以**1024/2048位**超宽接口（8/16通道）替代GDDR的32位窄接口，立体上以3D堆叠+TSV缩短片内路径；以HBM2E为例， **$3.2\text{Gbps} \times 1024\text{位} \div 8 \approx 409.6\text{GB/s}$** ，凭超宽位宽即取得惊人带宽。
- 以NVIDIA Rubin为例，共享中介层支撑起极致显存带宽。单封装集成**288GB HBM4（8颗堆叠）**，显存带宽**22TB/s**，片间NVLink 6带宽**3.6TB/s**（较上代带宽翻倍）；对照之下，CPU所用DRAM为独立内存系统、并不与其共封装。

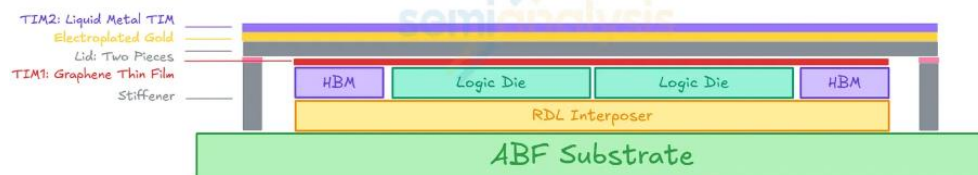
图：NVIDIA Rubin GPU架构（HBM4/288GB/22TB/s）

NVIDIA Rubin GPU Architecture



图：Rubin封装结构，HBM与Logic共享RDL中介层

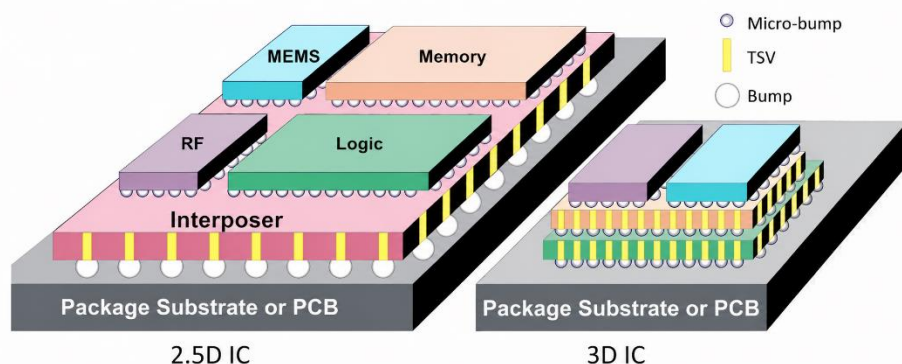
Rubin Package Structure



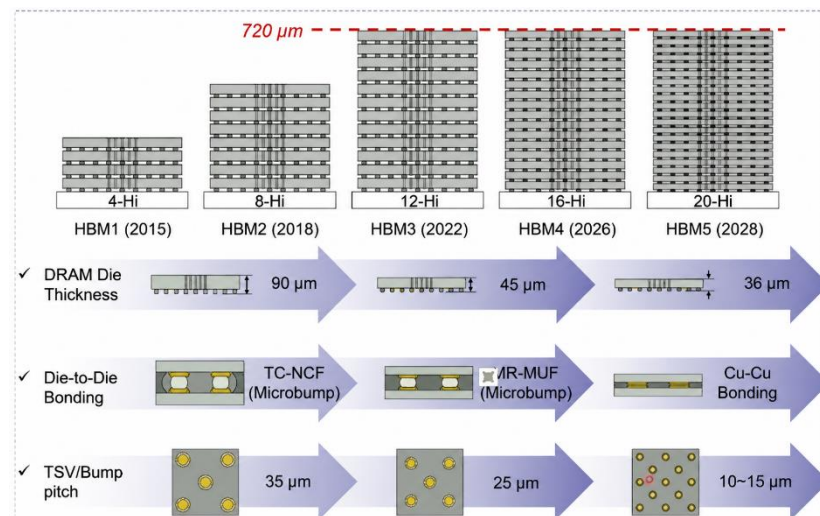
2.1.3 向 3D 封装演进：混合键合进一步压缩互连距离

- **2.5D是“共享中介层”的并排集成。**芯片本身未垂直堆叠，而是并排安装在带TSV的硅中介层上——中介层在水平方向提供超高密度布线、在垂直方向经TSV建立电气连接；信号需先出芯片、经中介层横向走线再进入另一芯片，是支撑高端GPU与AI芯片的关键集成方式。
- **3D是“垂直堆叠”的直连集成，路径更短、带宽更高。**芯片经TSV垂直堆叠、直上直下互连，省去中介层横向走线；配合混合键合(Cu-Cu)以铜-铜直接键合取代微凸块，使互连间距进入个位数微米，目前HBM与3D NAND是3D封装两大主战场，**美光、SK海力士、三星**均以堆叠方式制造HBM。
- **HBM代际路线图印证互连持续微缩的趋势。**由**HBM1(4-Hi,2015)演进至HBM4(16-Hi,2026)、HBM5(20-Hi,2028)**，**DRAM单die厚度由90 μ m降至36 μ m**，键合由**TC-NCF/MR-MUF过渡到Cu-Cu**，TSV/Bump间距由35 μ m收敛至10-15 μ m，封装总高受JEDEC上限约束。

图：2.5D IC与3D IC结构对比



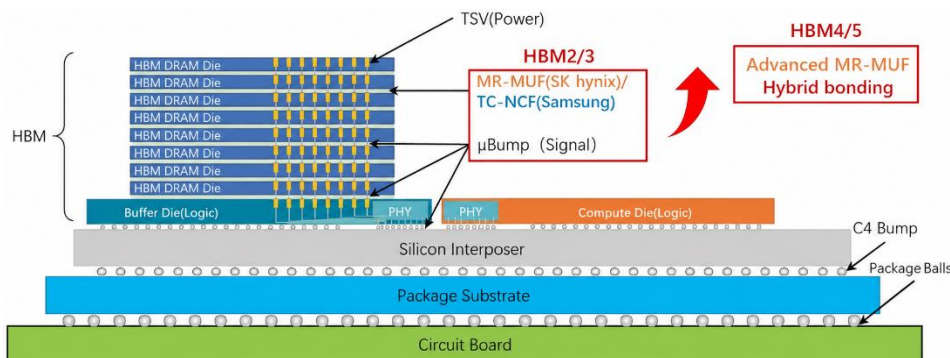
图：HBM代际路线图



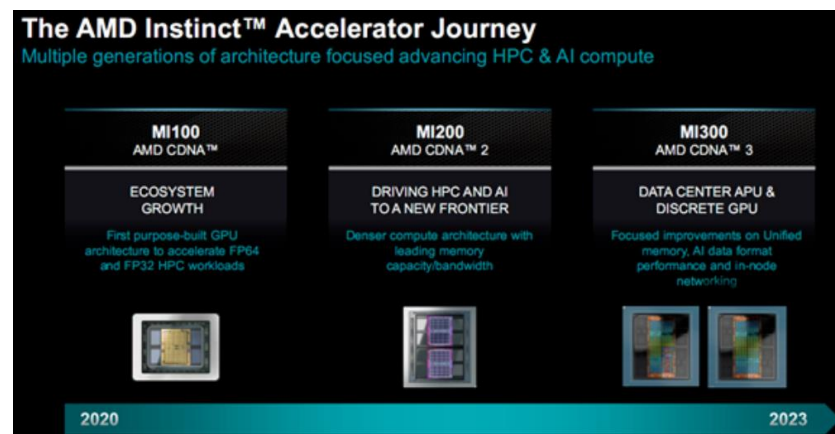
2.2.1 中介层的两大核心作用

- **中介层的第一大作用：拼接不同制程的异构芯片。**逻辑芯片采用先进制程（3nm乃至2nm）、HBM采用14nm等成熟制程，通过中介层拼接按需组合，既提升良率与效率，又显著降低系统成本、缩短产品开发周期；如AMD MI300即以N5计算die叠加N6的IO/缓存die实现异构集成，在同一封装内兼顾性能与成本。
- **中介层的第二大作用：完成纳米级到微米级的尺度过渡。**芯片I/O为**纳米级**、封装基板为**微米级**，二者数量级落差无法直连，硅中介层以0.4-2 μ m亚微米布线逐级转接、平衡走线密度，TSV绝缘层为SiO₂、导体为铜，实现信号平顺连通。
- **2.5D设计规则划定了方案的物理可行边界。**中介层最大面积约**2500mm²**（受光罩与良率限制）、厚度100-800 μ m；TSV节距50-200 μ m、深宽比5:1-10:1；RDL亚微米级、通常2-8层；微凸块节距由40/55 μ m迈向**25 μ m**，载板焊球节距0.8-1.0mm，各项参数共同决定互连密度与可靠性上限。

图：2.5D封装剖面



图：AMD MI300加速器发展史



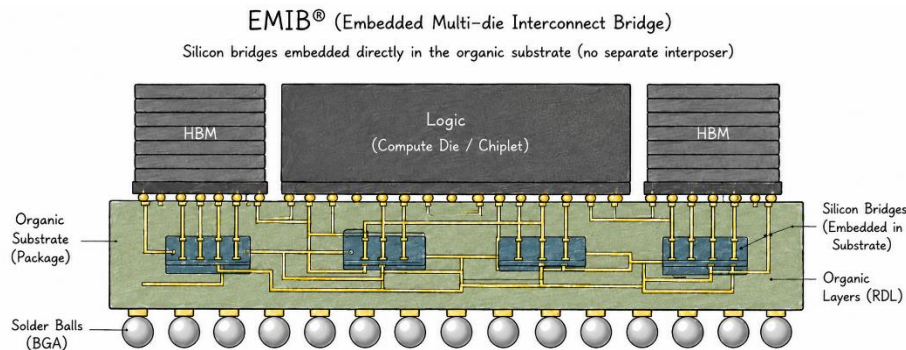
2.2.2 两大主流技术路线：台积电CoWoS与英特尔EMIB

- **2.5D两大主流方案的本质，都是在芯片与载板间引入硅基中介层。**其差异在于中介层形态：台积电CoWoS用整片硅中介层或硅桥，英特尔EMIB用嵌入载板的局部硅桥；国内长电科技、通富微电、华天科技等封测厂主要沿CoWoS路线追赶。
- **台积电CoWoS三条路线各有侧重、均含中介层。****CoWoS-S**硅中介层，性能最佳、成本最高、支持8颗HBM，面积约3.3倍光罩(~2700mm²)；CoWoS-R有机RDL，成本最低、尺寸弹性高；**CoWoS-L** (RDL+局部硅互连LSI) 性能成本折中、支持多达**12颗HBM**，用于Blackwell GB200等。
- **英特尔EMIB以局部小硅桥替代整片中介层，相对低成本。**硅桥仅2-8mm²、厚<75μm，焊盘节距55μm、互连密度256-625/mm²，高速信号走硅桥、供电与低速IO走有机基板，较CoWoS**成本降低约30%-40%**；EMIB-T引入TSV支持HBM4/UCIe，规划2026年以**20+ EMIB实现120×120mm/12颗HBM**。

图：CoWoS三种类型对比

CoWoS 三種類型簡述及比較 CoWoS: A Brief Introduction and Comparison of Three Types Reference: tsmc Integrator: Chilly			
Feature (特性)	CoWoS-S	CoWoS-R	CoWoS-L
Interposer (中介層)	Silicon Interposer (矽中介層)	Redistribution Layer (RDL, 重分佈層)	RDL + Local Silicon Interconnect (LSI, 重分佈層 + 局部矽互聯)
Cost (成本)	Highest (最高)	Lowest (最低)	Medium (中等)
Performance (性能)	Best (最佳)	Lower (較低)	Between S and R
Size Flexibility (尺寸彈性)	Lower (較低)	Higher (較高)	Higher (較高)
HBM Stacking (HBM 堆疊數量)	8 chips (8 顆)		Up to 12 chips (最多 12 顆)
Application (應用)	AI, HPC (AI · HPC)	Network communication, Edge AI (網通 · 邊緣 AI)	AI, HPC (AI · HPC)

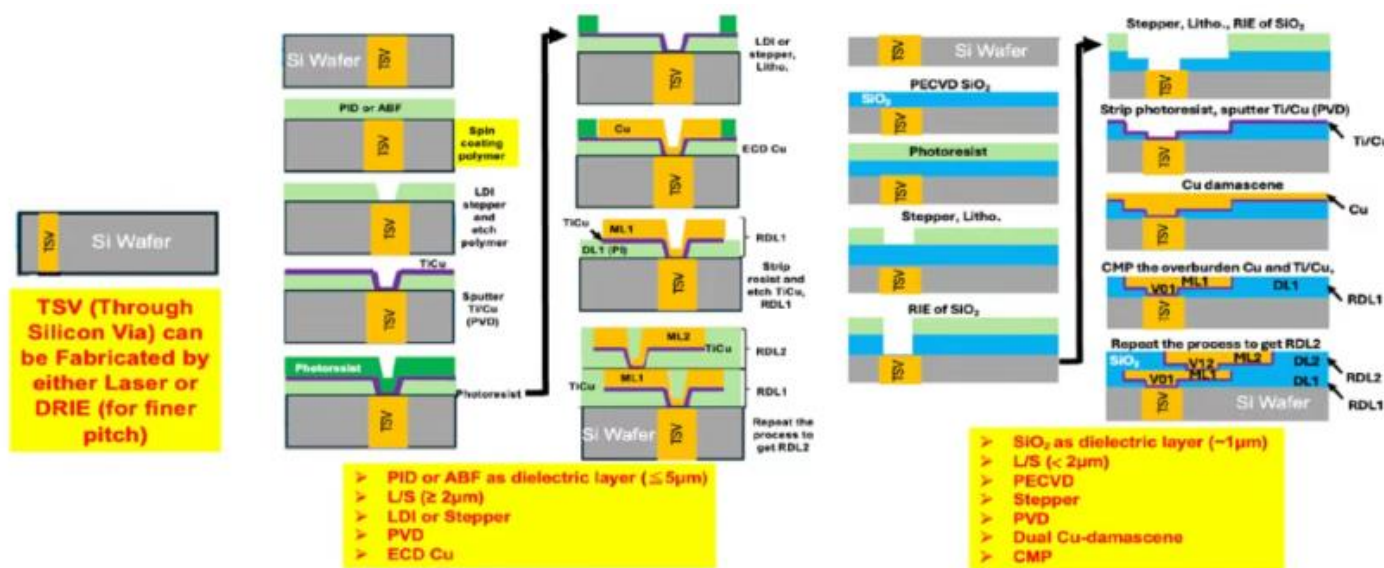
图：英特尔EMIB——硅桥嵌入有机载板



2.2.3 CoWoS-S硅中介层制造工艺

- 在TSV之上制备RDL重布线，决定中介层的布线密度与性能。RDL由金属层（铜）与介质层交替堆叠而成，把芯片I/O重新分布、并把纳米级信号逐级转接到微米级载板；按线宽/线距(L/S)不同，分电镀法与大马士革法两条路线，二者按密度与成本需求取舍，RDL层数通常2-8层。
- 电镀法（半加成）成本低，适合中低密度($L/S \geq 2\mu m$)。以PID或ABF等聚合物为介质、旋涂于硅片，经溅射Ti/Cu种子层→光刻→图形电镀铜→蚀刻去除种子层成线；工艺继承自晶圆凸块产线、成本可控，是**CoWoS-R与有机中介层**的主流做法，工艺相对简单、良率较高。
- 大马士革法精度最高，是CoWoS高密度互连的核心($L/S < 2\mu m$)。以PECVD沉积 SiO_2 介质，光刻+刻蚀出沟槽，再溅射TaN/Ta阻挡层与铜种子层、电镀铜填充、CMP去除多余铜（“先刻槽后填金属”）；双大马士革可一次成型通孔+沟槽，台积电以64nm级工艺将CoWoS最小线距做到**0.4 μm** 。

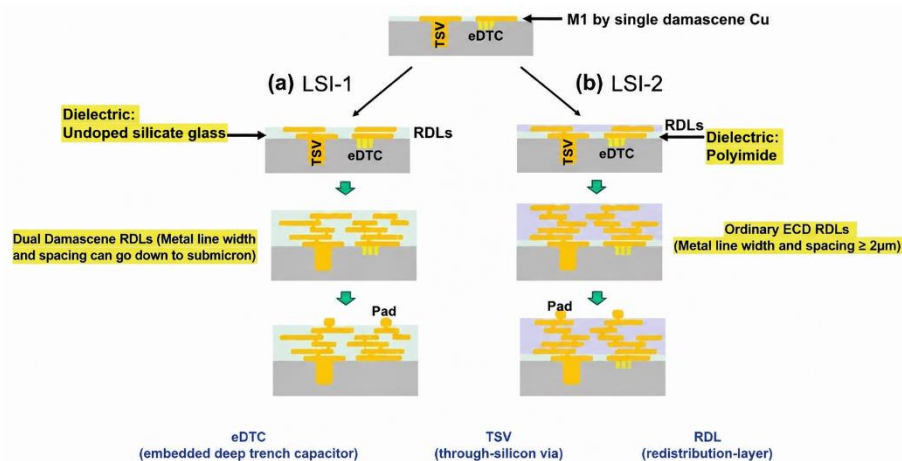
图：TSV上RDL——电镀法与大马士革法对比



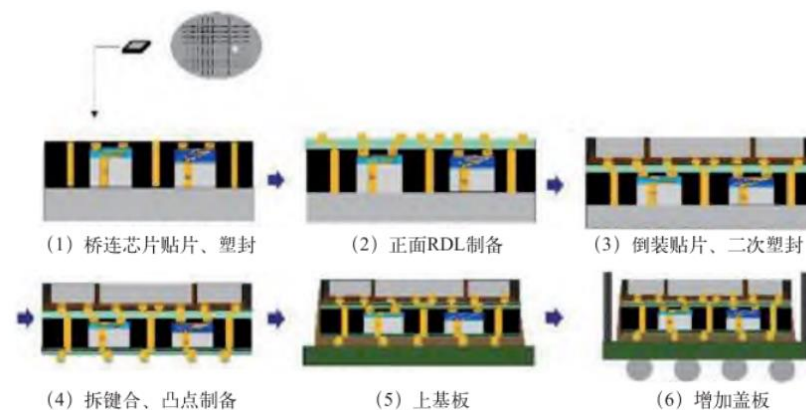
2.2.4 CoWoS-L与LSI硅桥方案：降本与大尺寸扩展

- CoWoS-L以LSI局部硅桥替代整片硅中介层，已成主流。纯硅中介层受光刻可加工面积限制、尺寸难以放大；LSI硅桥只在关键高速互连处用硅、其余区域走RDL/载板，**既降本又拓展更大尺寸**，拼接后等效面积可超3000mm²、支持12颗HBM（博通3.5D XDSiP达约5.5倍光罩）。
- 其制备采用“RDL优先”的硅桥后置型工艺。先在小硅块上完成BOEL精细布线制成LSI硅桥、以**EMC塑料**浇筑包封，再做扇出RDL；LSI-1用USG介质+双大马士革(线宽/线距0.8μm、厚2μm)，LSI-2用聚酰亚胺+半加成(2μm/2μm、厚2.3μm)，大马士革方案插入损耗更低，硅桥内可集成eDTC与TSV。
- 中介层整体制备约6步，兼顾高密度与低成本。桥连芯片贴片塑封→正面RDL制备→倒装贴片二次塑封→拆键合/凸点→上基板→增加盖板，形成“硅桥+扇出RDL”混合中介层；苹果M1 Ultra即以LSI实现2.5TB/s、带宽较同类方案提升4倍。

图：LSI硅桥BOEL制备



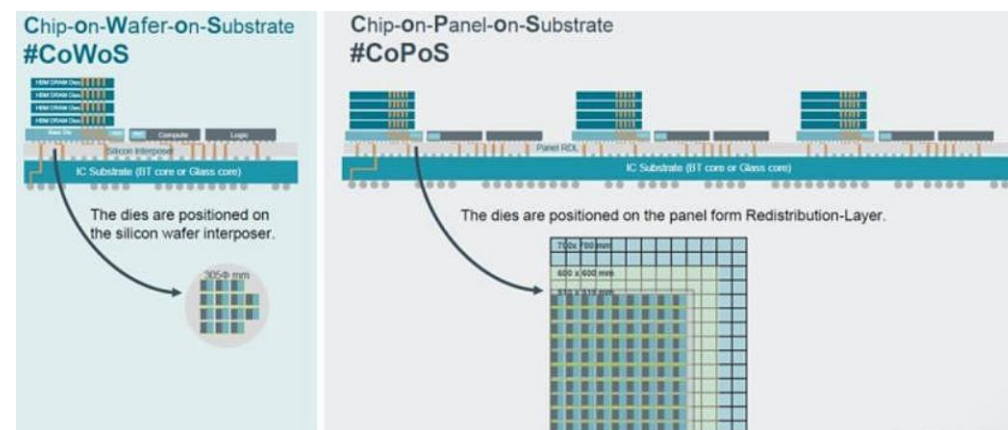
图：CoWoS-L中介层6步制备流程



2.3.1 大尺寸与低损耗：玻璃基板材料核心优势

- 玻璃基板以面板级大尺寸加工重构封装经济性，是CoPoS（面板级芯片封装）的核心技术载体。玻璃原料成本低于硅，可面板级加工（510×515mm乃至750×620mm）；以310×310mm面板计，面积利用率由**45%提升至81%**，单次产出约合12英寸晶圆的4-8倍，直接摊薄设备与工艺成本、缓解CoWoS产能瓶颈。
- CTE可调与低介电损耗，兼顾可靠性与高频性能。玻璃可通过组分调节将CTE做到**3-9ppm/°C**、与硅芯片高度匹配，配合<10μm的超高平整度，显著抑制大尺寸封装翘曲；天然绝缘、Dk/Df低于硅与有机材料，适配112G/224G/448G高速传输；热导率偏低（~1W/mK）为主要短板，需散热协同设计。
- CoPoS封装的工艺路径与硅基CoWoS高度同源，TGV是价值量核心。玻璃基板沿“成孔→金属化→RDL”推进，与硅TSV工艺一一对应、可复用成熟设备体系；其中TGV打孔与填铜电镀是国产设备材料切入的核心环节。

图：CoPoS替代CoWoS-L为长期趋势



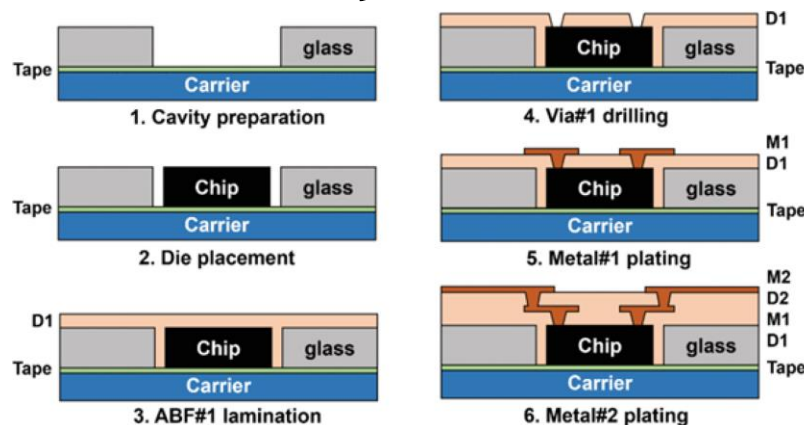
图：硅/有机/玻璃基板材料特性对比

指标	硅	有机	玻璃
CTE(ppm/°C)	~3.2	15-17	3-9 可调
介电损耗Df	较高	中	低
热导率(W/mK)	~150	低	~1
加工形态	圆晶圆	面板	大面板
综合成本	高	低	中(潜力大)

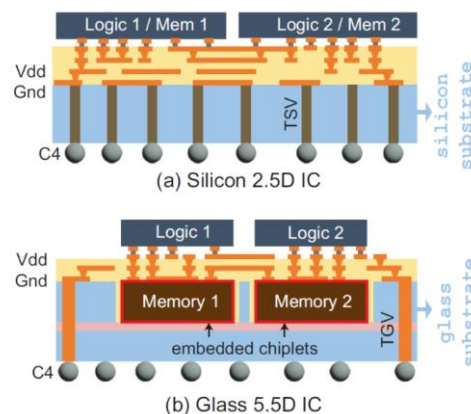
2.3.2 玻璃嵌入（GPE）与方形扇出（日月光FOPLP）

- 玻璃更大的价值，在于打开先进封装的构型想象空间。EMC扇出方案中RDL利于高密度布线，但大尺寸下EMC固化收缩导致**芯片偏移（die shift）**，偏移量随距面板中心增大而上升、大尺寸面板可达**上百微米**，是扇出型方案扩大规模的主要障碍。
- 以玻璃基替代塑料基的GPE方案可弥补芯片偏移的短板。GPE（玻璃面板嵌入）约6步：型腔制备→芯片贴装→ABF叠层→Via钻孔→Metal#1电镀→Metal#2电镀；玻璃可掏槽内嵌多元件、以TGV垂直互连，凭高刚性与平整度改善 die shift，演化出**5.5D**封装（嵌入式芯片+顶部倒装的3D堆叠）。
- 多方研究印证玻璃**5.5D**的系统级收益。Georgia Tech以商用 RISC-V 验证，相比硅2.5D，成本仅增约15% 下面积提升**2.6倍**、走线缩短21倍、全芯片功耗降**约18%**、信号完整性提升**64.7%**、功率完整性提升**约10倍**。
 - 产业测：日月光以“玻璃载板+Chip-Last（RDL-First）”路线推进面板级方形扇出（FOPLP）玻璃载具路线。在515×510mm临时玻璃载板上先制RDL（涂离型层与感光介质→PVD Ti/Cu 种子层→激光直写→电镀铜），再倒装贴片、EMC 塑封、解键合；以刚性固定材料替代部分EMC、并借玻璃高平整度抑制大面板翘曲与芯片偏移——玻璃作为可解键合的临时载体，不进入最终封装体。

图：GPE玻璃面板嵌入6步流程



图：硅2.5D IC与玻璃5.5D IC对比（内嵌chiplet+TGV）



目录



■ 一、AI 算力驱动带宽升级，玻璃基板开启材料革命

■ 二、面板级封装：CoPoS 玻璃载具利好终端设备

■ 三、玻璃芯载板：替代有机核心层，强化载板性能

■ 四、CPO玻璃桥：玻璃波导破解光纤-PIC 耦合难题

■ 五、TGV加工工艺：关注国产设备材料机会

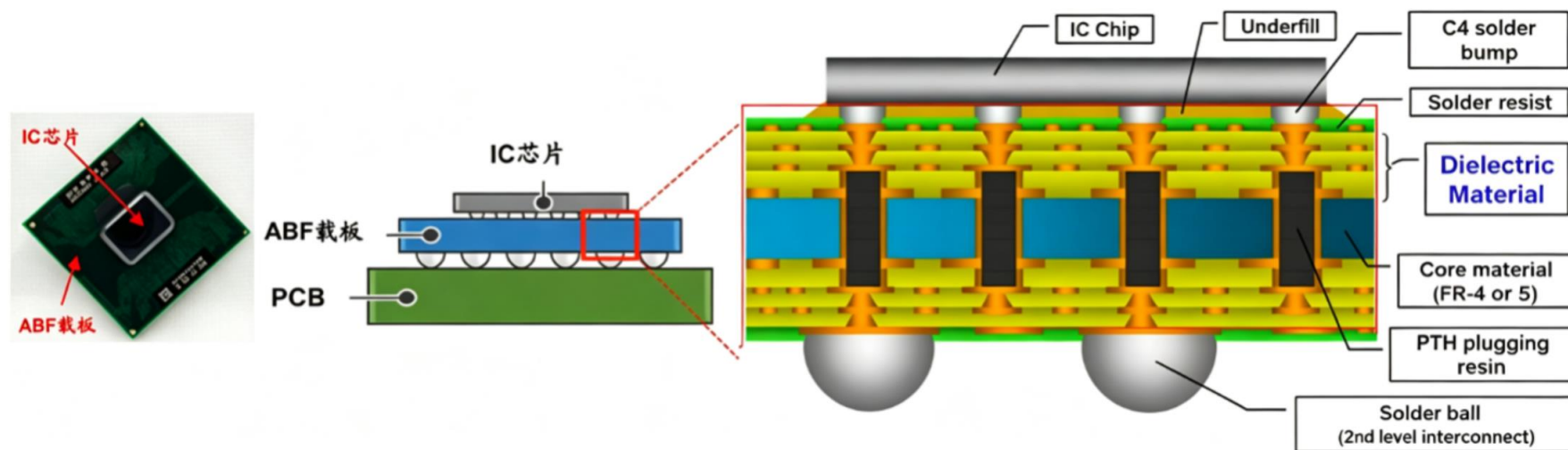
■ 六、相关公司投资建议

■ 七、风险提示

3.1.1 过往的封装基板材料构成

- 过往的封装基板主要使用有机材料制成，核心层为覆铜板CCL，增层是ABF膜+铜种子层：
 - （1）核心层（覆铜板CCL）：过往封装基板通常采用有机材料作为核心层，最常见材料为覆铜板CCL，其由**玻璃纤维布浸渍环氧树脂等热固性树脂并覆以铜箔制成**，为基板提供基础的机械支撑。
 - （2）增层介质层（ABF膜）：在核心层之上，增层的关键绝缘材料是ABF（Ajinomoto Build-up Film）膜，一个由**日本味之素公司垄断**的多层结构高性能复合材料，其结构设计可提供优异的电气性能、机械强度和热稳定性，支持更细线路和更高引脚计数，满足高密度互连与高速信号传输需求。
 - （3）导电层（铜种子层）：在SAP工艺中，首先在ABF膜表面化学沉积一层极薄的铜作为种子层，再通过电镀加厚并蚀刻形成精细线路，从而实现高密度互连布线。

图：ABF载板内部结构示意图



3.1.2 ABF载板的SAP制作工艺

- **ABF载板制造采用半加成法（SAP）工艺。**SAP先通过化学沉积形成薄铜种子层，再通过图形电镀加厚目标线路，最后闪蚀去除非线路区域薄铜。相比减成法限制在30 μm 的线条和空间内，SAP在精度与材料利用率上显著更优，可将线宽/线距做到 $\leq 15\mu\text{m}$ ，是实现ABF载板精细线路的关键工艺。
- **mSAP法为改良型半加成法。**其核心为“种子层薄易去除+VCP电镀加成增厚成路”，由于种子层较薄，因此可减轻侧蚀，其线宽线距能力约15-25 μm ，主要应用于类载板等中密度领域。
- **SAP制作工艺的精度显著高于mSAP法。**mSAP技术在20-25 μm 的线宽和空间宽度方面表现出色，而SAP技术更进一步，允许线条和空间最小至10 μm 以下，所以玻璃芯载板的高密度RDL更依赖SAP级精细工艺。

图：减成法-mSAP-SAP加工工艺流程对比



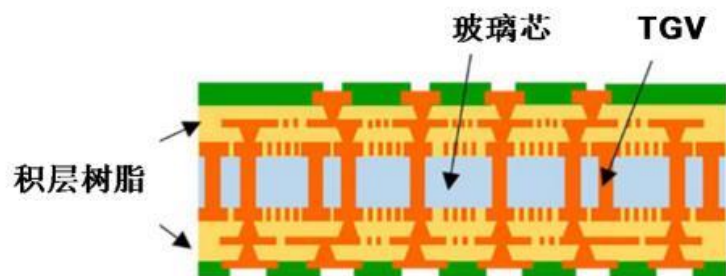
图：主流PCB加工工艺对比表

工艺类型	核心逻辑	线宽/线距能力	铜层均匀性	材料利用率	适用场景
减成法	基板覆铜-蚀刻去除多余铜	$\geq 30 \mu\text{m}$	较差 ($\pm 10\%$)	低 (50%-60%)	普通消费电子PCB
改良半加成法 (mSAP)	超薄种子层-差分蚀刻	15-25 μm	良好 ($\pm 5\%$)	高 (90%-95%)	类载板、1.6T光模块、BT载板
半加成法 (SAP)	无铜基板-化学镀+电镀	$\leq 15 \mu\text{m}$	优秀 ($\pm 3\%$)	高 (95%以上)	ABF载板、玻璃基板

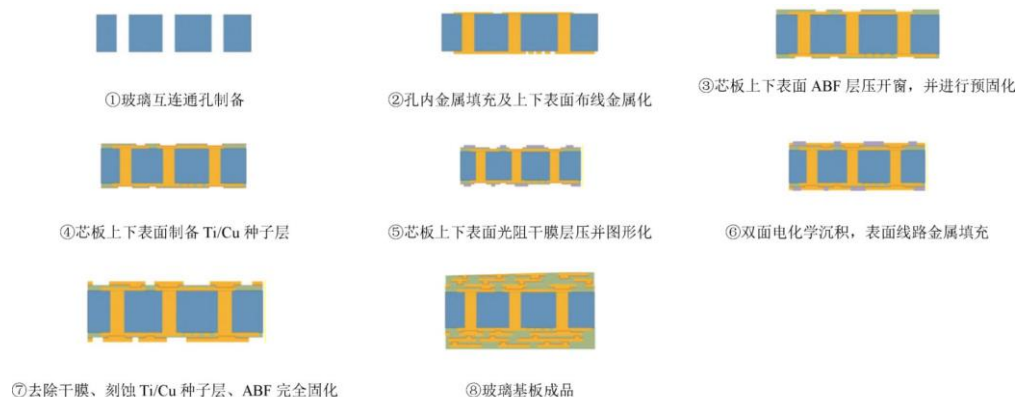
3.2.1 玻璃芯封装载板方案

- 玻璃芯基板（GCS）是一种以特种玻璃为核心承载层、依托玻璃通孔（TGV）实现垂直互连、在上下表面制作重布线层（RDL）的先进封装基板，用于替代传统有机或陶瓷基板，适配 AI 芯片、芯粒异构集成等高性能场景。玻璃芯层通过TGV实现两侧积层之间的跨层信号互连，从而支撑高密度、大面积的三维互连。
- GCS 是下一代异构集成的重要候选方案。传统的有机塑封基板在封装尺寸扩展、低线宽/线距工艺及热机械稳定性等方面难以满足高密度大尺寸载板的需求。相较有机方案，GCS在尺寸稳定性、布线密度和信号完整性上均实现数量级提升，且支持面板级制造，有望打破有机基板的物理极限。
- GCS典型制造流程通常包括：**TGV成孔→种子层制备→通孔填充→芯层RDL布线→ABF积层增层→开孔→光刻图形化→钝化层制备→焊盘开窗**。基板制造工艺中的管控重点主要包括对位精度、层间结合力、翘曲、涨缩、阻抗控制及导通稳定性等方面。

图：GCS的结构示意



图：GCS的典型制造流程



3.2.2 玻璃芯封装载板的优点

- **机械性能优于有机材料，不易翘曲。**翘曲直接影响制造对位精度，并在服役中对互连结构施加附加载荷。玻璃的热膨胀系数CTE可调（3–10ppm/°C），与硅芯片高度匹配，高温翘曲比有机基板低**约50%**，对位精度提升**约35%**。得益于玻璃的良好尺寸稳定性，以玻璃为基体在制造中具有更高的对位精度与更优的翘曲控制，相较于以有机芯层为基体的封装方案更具优势。
- **高频电学性能优于有机材料，满足高频信号传输要求。**玻璃较低的介电常数与损耗因子使GCS在高频高速互连中更易实现阻抗控制，并具有更低的信号传输损耗。以康宁（Corning）的半导体封装用玻璃为例，其退火玻璃在**10GHz频率下具有介电常数低于5.0、损耗因子低于0.003**的优异特性，玻璃基传输线的损耗远低于硅基方案，成为高频高速场景下的理想基材。

图：有机材料与玻璃材料关键性能对比表

材料	Dk	Df	热导率	CTE
FR4 (通用有机材料)	4.5 @10GHz	0.025 @10GHz	0.25–0.5 W/m-K	15-19 ppm/° C
Duroid 6010.2 LM™ (罗杰斯高频有机材料)	10.2 @10GHz	0.0023 @10GHz	0.860 W/m-K	24 ppm/° C
康宁半导体封装专用玻璃材料	4.5–5.5 @10GHz	0.002–0.003 @10GHz	0.2 W/m-K	3–10 ppm/°C
氧化铝基HTCC (陶瓷材料)	8.5–10 @10GHz	0.0005–0.0025 @10GHz	25 W/m-K	7.2 ppm/°C

目录



■ 一、AI 算力驱动带宽升级，玻璃基板开启材料革命

■ 二、面板级封装：CoPoS 玻璃载具利好终端设备

■ 三、玻璃芯载板：替代有机核心层，强化载板性能

■ 四、CPO玻璃桥：玻璃波导破解光纤-PIC 耦合难题

■ 五、TGV加工工艺：关注国产设备材料机会

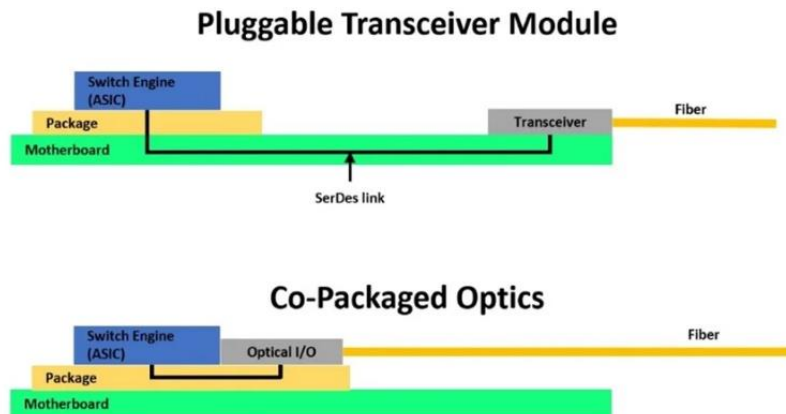
■ 六、相关公司投资建议

■ 七、风险提示

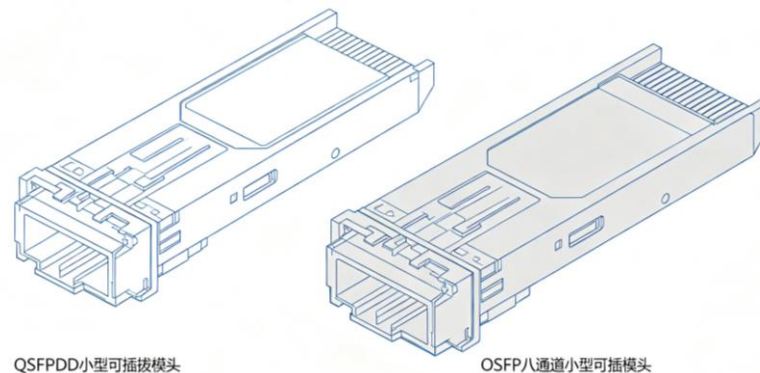
4.1.1 传统方案：可插拔光模块架构详解

- 传统可插拔光互连架构采用成熟的分立式长电链路设计。信号链路为：**AI/交换芯片 → 主板PCB长铜走线 → 面板插槽 → 独立外置光模块 → 光纤**。其本质是将光电转换功能从芯片侧剥离，形成独立的可维护单元，是当前数据中心最成熟的互连方案。
- 标准化、易运维、散热分离多重优势支撑传统可插拔方案长期占据市场主流。传统可插拔光模块依托统一行业标准与全产业链兼容特性，长期占据数据中心光互连主流方案。其支持热插拔设计，故障模块可单独替换，运维恢复效率高；采用QSFP/OSFP全球通用标准化封装，供应链成熟、规模化量产带来突出成本优势；光模块与主板散热体系相互独立，大幅降低整机热管控设计难度；适配城域网、骨干网等中长距离光传输场景，落地场景覆盖面广。
- 传统可插拔架构存在损耗、功耗、密度与时延多重短板，无法匹配远期AI超高带宽算力需求。在AI算力需求高增带来的超高速率、超低功耗需求下，其固有物理特性制约极限性能突破。高频PCB长走线信号衰减显著；单bit功耗10-15pJ，约为CPO方案2-3倍；外置模块限制端口集成密度，长电链路带来额外传输时延。当前可插拔方案仍是市场主流，短期持续广泛应用，但难以适配远期超高带宽算力场景。

图：可插拔光模块整机架构示意图



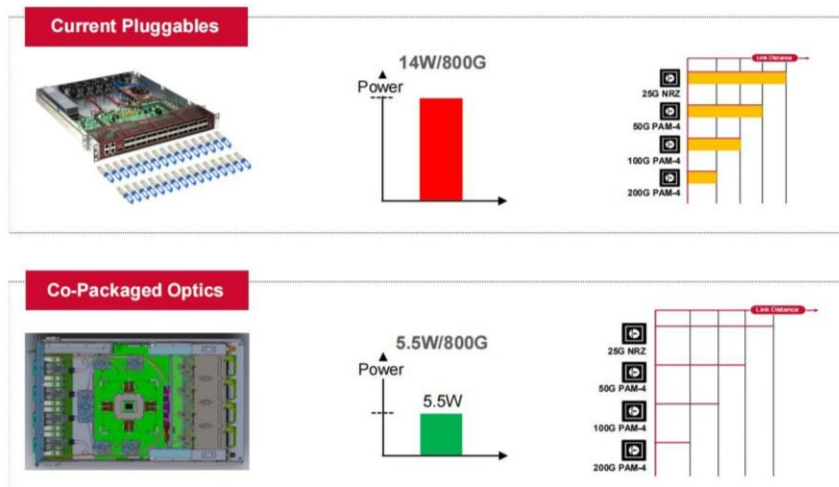
图：QSFP/OSFP标准化封装外形对比图



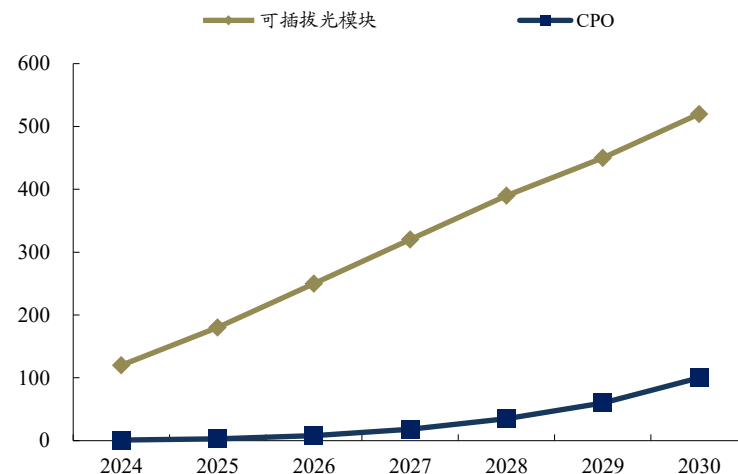
4.1.2 CPO可插拔进阶方案：更高集成 & 更低功耗

- CPO以光电共封装大幅降低功耗。在800G传输速率下，CPO方案的单通道功耗仅为传统可插拔光模块的1/3，在51.2T交换机等高密度场景下，整机功耗可降低约50%，显著优化数据中心的PUE指标与运营成本；单比特功耗**降至5-8 pJ/bit**，相比可插拔方案降低60%以上；
- 去除DSP重定时器与缩短长电链路导致能效与带宽密度双升。带宽密度在提升5-10倍后，可有效缓解数据中心机柜空间压力；同时省去中间的电信号处理环节，大幅降低传输延迟；OIF CEI-112G系列标准已确立，**IEEE 802.3df/ck标准为800G/1.6T以太网**提供规范，产业链上下游协同加速。
- CPO方案市场空间广阔。根据Light Counting数据，2030年全球CPO市场规模将突破100亿美元，在AI服务器和超算领域的渗透率将持续攀升。CPO通过光电共封装实现“降本增效”，其长期替代趋势明确。

图：CPO较传统方案的功耗优化



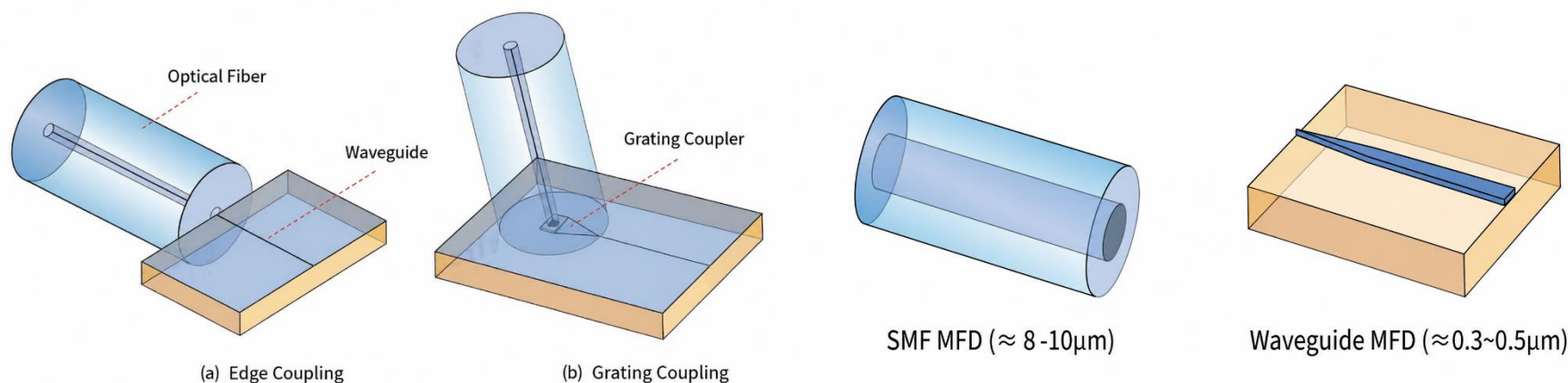
图：全球CPO与可插拔光模块市场规模对比（亿美元）



4.1.3 CPO耦合环节-光引擎与光纤的对准

- **CPO耦合环节为核心瓶颈。** CPO技术要求光引擎与光纤同时满足低损耗、高密度、可制造性与可维护性四大严苛条件，其核心在于实现微米级的精准对准，是技术实现与成本控制的最大挑战。
- **不同CPO耦合环节技术对比：**
 - **光栅耦合：** 通过芯片表面的光栅结构使垂直入射光发生衍射并耦合进波导。其对准容差大、支持晶圆测试，封装工艺更灵活；但固有损耗较高(通常 $>3\text{dB}$)、温度敏感性强，且带宽相对受限。
 - **边缘耦合：** 光信号从芯片抛光端面直接耦合入波导，光路呈直线传输。其损耗极低($0.35\text{--}2.0\text{ dB}$)、带宽宽，适合高速传输；但对准容差极小($\sim 1.75\mu\text{m}$)，对装配工艺精度要求极高，量产难度大。
 - **商业化落地难点：** 高密度场景下，光纤数量激增导致主动对准的时间与成本难以接受；同时，长期热循环与机械应力会引发耦合点偏移，成为制约产品可靠性与良率的核心因素。

图：边缘耦合和光栅耦合原理对比图



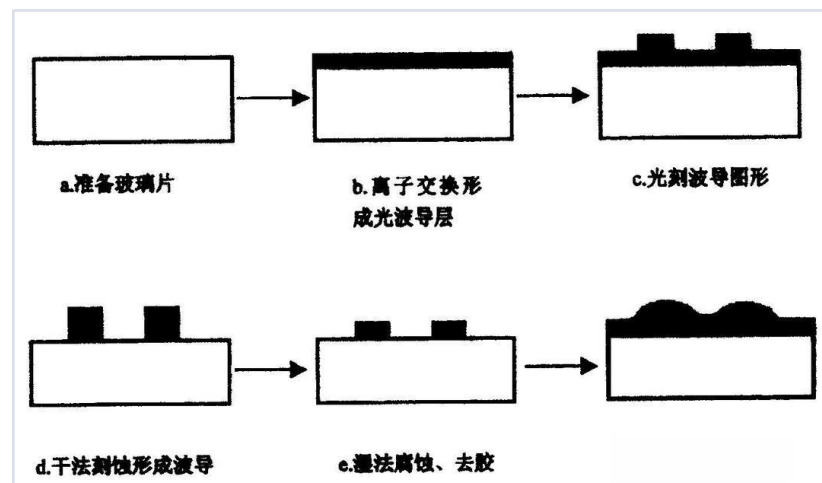
4.2.1 玻璃桥方案的原理及优点

● 康宁 GlassBridge: 晶圆级玻璃IOX波导 + 被动对准 → 破解CPO光纤-PIC耦合难题

- **技术定义:** Fiber-to-PIC互联新范式康宁推出的革命性连接器平台，利用晶圆级玻璃离子交换(IOX)技术在玻璃片上刻蚀出光路通道，将光纤阵列牵引至PIC芯片边缘，通过物理接触实现光信号的低损耗传输，是CPO封装的关键互联技术。
- **核心优势:** 被动对准省去昂贵的主动对准设备，封装成本降低40%以上；单连接器支持>24个光学通道，适配800G/1.6T高速光模块，集成度高；支持光纤与玻璃桥的无损插拔，便于现场调试与故障修复。
- **产业红利:** 1) 设备端: 激光加工、TGV通孔成型设备及面板级封装设备需求高增；2) 材料端: 玻璃基板是核心耗材，国内凯盛、旗滨等厂商迎来国产替代与技术升级的双重机遇，有望切入全球供应链。

- 玻璃桥通过离子交换在玻璃晶圆内部形成折射率渐变的波导层，替代传统光纤直接耦合。该方案把光纤与芯片之间难度极高的精密光路对准，转化为玻璃载体和芯片间的机械定位装配，依靠无源自匹配结构降低封装对准难度，显著提升量产良率。

图：康宁（Corning）玻璃桥方案核心原理示意图



目录



■ 一、AI 算力驱动带宽升级，玻璃基板开启材料革命

■ 二、面板级封装：CoPoS 玻璃载具利好终端设备

■ 三、玻璃芯载板：替代有机核心层，强化载板性能

■ 四、CPO玻璃桥：玻璃波导破解光纤-PIC 耦合难题

■ 五、TGV加工工艺：关注国产设备材料机会

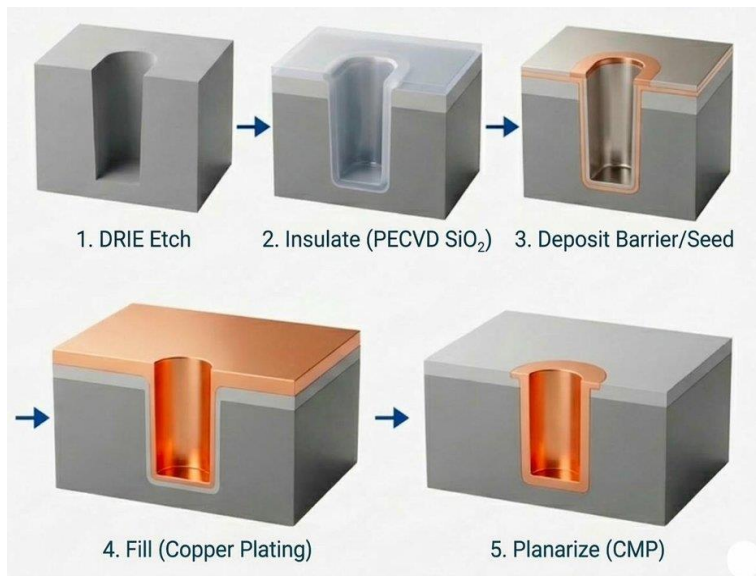
■ 六、相关公司投资建议

■ 七、风险提示

5.1.1 TSV工艺已形成成熟设备体系，TGV可借鉴其垂直互连思路

- TSV通过在硅中介层中形成垂直通孔并填铜，实现芯片间的垂直互连。核心工艺包括**深硅刻蚀成孔、PVD/CVD沉积绝缘/阻挡/种子层、电镀铜填孔及后续CMP/RDL等步骤**。TSV首先通过深硅刻蚀在硅基板上形成高深宽比通孔，随后通过PVD/CVD等薄膜沉积工艺在孔壁形成绝缘层、阻挡层和种子层，再通过电镀设备进行铜填充，最后经CMP、减薄、RDL等步骤完成互连结构。由于TSV已大规模应用于HBM等场景，其刻蚀、沉积、电镀等设备体系相对成熟，也为后续TGV工艺提供了可借鉴的技术基础。
- TSV工艺成熟度较高，主要设备环节由海外半导体设备龙头主导。TSV核心工艺主要对应深硅刻蚀设备、PVD/CVD薄膜沉积设备和电镀设备。过往TSV相关设备主要由**Lam（泛林）、AMAT（应用材料）、TEL（东京电子）**等海外半导体设备龙头主导，国内盛美上海在先进封装电镀设备领域具备一定布局。

图：TSV核心工艺流程示意图



图：TSV核心设备供应商

TSV核心环节	工艺目的	对应设备	主力供应商
硅通孔刻蚀	在硅基板中形成高深宽比垂直通孔	深硅刻蚀设备、DRIE、Bosch刻蚀设备	Lam、TEL、AMAT
绝缘/阻挡/种子层沉积	在通孔内壁形成绝缘层、阻挡层和铜种子层，为后续铜填充做准备	PVD、CVD、ALD等薄膜沉积设备	AMAT、Lam、TEL
铜电镀填充	在通孔内填充铜，形成上下贯通的垂直导电通道	电镀设备、ECP设备	Lam、AMAT；盛美上海

5.2.1 TGV通孔方式多路线并存

- **TGV成孔是玻璃基板制造中的关键前置工艺。**其目标是在玻璃基底中制备高深宽比、窄间距、侧壁光滑且低损伤的垂直通孔。TGV成孔方式分为**激光类成孔、等离子体刻蚀、感光玻璃光刻三大类**及其他传统加工方式。
1) 激光类方法包括红外激光、紫外激光以及激光诱导刻蚀；2) 等离子体刻蚀主要依赖掩膜和反应性离子刻蚀；3) 感光玻璃法则利用曝光、热处理和湿法刻蚀实现选择性去除；4) 其他方法包括磨料喷射、电化学放电等。
- **不同成孔方法在加工效率、孔径范围、侧壁粗糙度、微裂纹控制、材料适配性和成本方面存在差异。**1) 红外激光加工灵活但热影响明显，紫外激光热损伤较低，激光诱导刻蚀通过“激光改性+湿法刻蚀”兼顾小孔径和高深宽比；2) 等离子体刻蚀孔壁质量较好但流程复杂；3) 感光玻璃法精度较高但材料受限；4) 磨料喷射和电化学放电工艺相对简单，但孔径、侧壁质量和一致性方面存在限制。

图：主要TGV通孔工艺对比

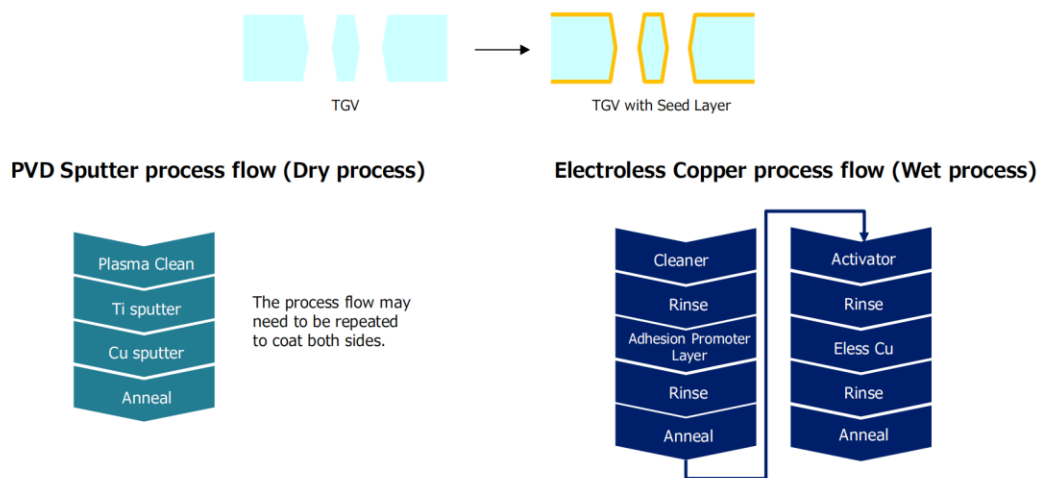
大类	具体方法	工艺流程	孔质量特征	特点/说明
激光类成孔	红外激光/CO2激光	利用玻璃对红外波段的吸收，将光能转化为热能，通过局部熔融、汽化去除玻璃材料	孔垂直度较好，但容易产生热应力、侧壁裂纹	工艺直接、加工灵活，但热影响区和微裂纹控制较难
激光类成孔	紫外激光/准分子激光	利用深紫外高能光子打断玻璃化学键，实现材料去除	相比红外激光热应力更低，孔壁裂纹更少，但孔壁粗糙度可能较大	193nm准分子激光常被归为冷加工，适合降低热损伤
激光类成孔	激光诱导刻蚀/LIDE	先用超短脉冲激光在玻璃内部形成改性区，再通过HF/KOH等湿法刻蚀选择性去除改性区域	可实现小孔径、高深宽比、低裂纹通孔；部分资料显示典型深宽比约10:1，特殊条件可至50:1	与光敏玻璃法类似，都是先改性、后刻蚀，但LIDE不依赖特殊光敏玻璃
等离子类	等离子体刻蚀/ICP RIE	先制作硬掩膜/光刻图形，再用反应性等等离子体刻蚀玻璃形成通孔	侧壁粗糙度低、损伤小；广发资料提到侧壁粗糙度可小于150nm	成孔质量较好，但流程复杂、成本较高、刻蚀速率较慢
感光玻璃类	光敏玻璃光刻	使用掩膜进行紫外曝光，再热处理使曝光区域晶化，最后用HF湿法刻蚀去除改性区域	可实现高密度、高深宽比、较高精度孔阵列	孔质量较好，但受限于光敏玻璃材料，且需热处理、成本较高
其他	磨料喷射/喷砂法	先制作复合掩膜，再用高速磨料颗粒冲击玻璃表面，通常需双面加工形成通孔	孔径较大、节距较大、侧壁粗糙，表面损伤明显	工艺相对简单，但精度和孔壁质量难满足高端先进封装需求
其他	电化学放电加工	在碱性电解液中通过工具电极产生氢气膜，电压升高后发生放电和局部熔融/腐蚀去除玻璃	可快速成孔，但孔径偏大，常形成上天下小的锥形孔	设备要求较低、成本较低，但孔形和精度限制较明显

5.3.1 TGV金属化：种子层沉积实现孔壁导电化

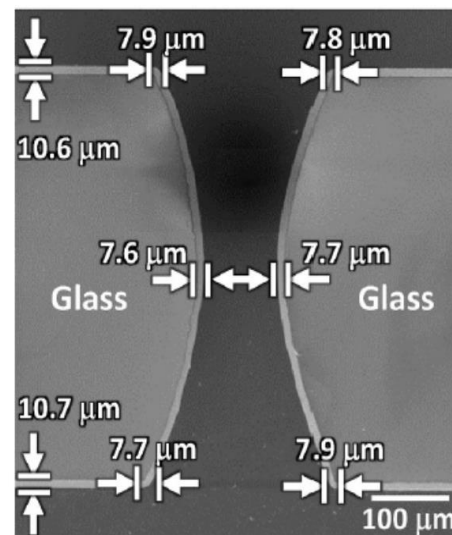
- TGV成孔后，玻璃孔壁仍为绝缘表面，需要先通过金属化工艺形成连续导电层，再进行铜电镀以实现垂直互连。常用种子层沉积路线主要包括：**1) PVD 磁控溅射**通过真空溅射沉积 Ti/Cu、Cr/Cu 等附着层和种子层，膜层质量较高、工艺成熟，但在高深宽比通孔内可能面临侧壁覆盖不足；**2) 化学镀**通过清洗、活化、化学镀铜等湿法步骤在孔壁形成导电层，对复杂孔壁覆盖更友好，但对前处理、镀液稳定性和附着力控制要求较高。
- 金属化质量直接影响 TGV 的导通性能和可靠性，主要包括**孔壁覆盖连续性、金属层附着力、铜厚均匀性以及是否存在空洞/裂纹等缺陷**。从截面结果看，理想的 TGV 金属化应在孔口、孔腰和孔底形成连续且厚度相对均匀的金属层，避免因种子层断裂、电镀不均或孔内空洞导致电阻升高、互连失效和封装良率下降。

图：两种种子层金属化路线

Two main methods of seed layer metallization are:



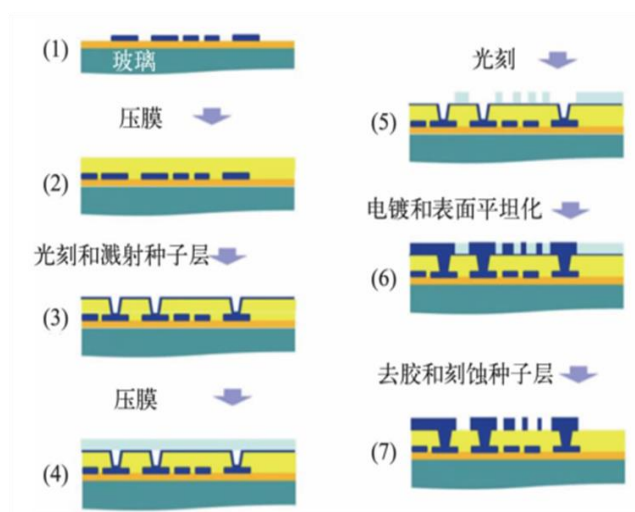
图：Ti/Cu沉积后电镀截面



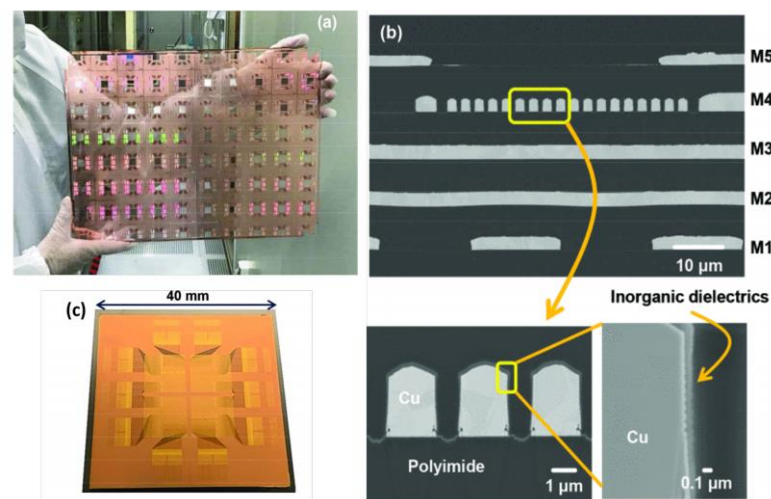
5.4.1 RDL承接TGV垂直互连，实现高密度横向布线

- RDL承接TGV后的横向互连，是玻璃基板实现高密度布线的关键环节。TGV完成玻璃基板上下表面的垂直导通后，仍需通过RDL在基板表面进行横向布线，将芯片焊盘、HBM、TGV孔与封装基板之间的连接重新分配。RDL本质上是**金属重布线层**，而非单一工艺方法，其核心作用在于提升I/O连接密度、缩短信号传输路径，并实现信号、电源和地线的高密度分配。玻璃基板具备高平整度、低翘曲和尺寸稳定性优势，有利于支撑更细线宽/线距的RDL制造。
- RDL工艺路线随线宽线距要求提升而升级，细线宽场景对制程精度提出更高要求。普通RDL通常采用聚合物介质层配合电化学沉积铜形成线路，适用于 $L/S \geq 2\mu\text{m}$ 的布线场景；当线宽线距进一步**缩小至 $2\mu\text{m}$** 以下时，需引入PECVD沉积 SiO_2 介质层、双铜大马士革及CMP等更精细的类前道工艺。SAP、mSAP、PTE、CTT等均属于RDL的具体制造路线，核心目标都为在玻璃表面实现更高密度、更可靠的金属互连。

图：改进型半加成法（SAP）多层RDL制造流程



图：玻璃基板上高密度RDL铜走线及截面形貌

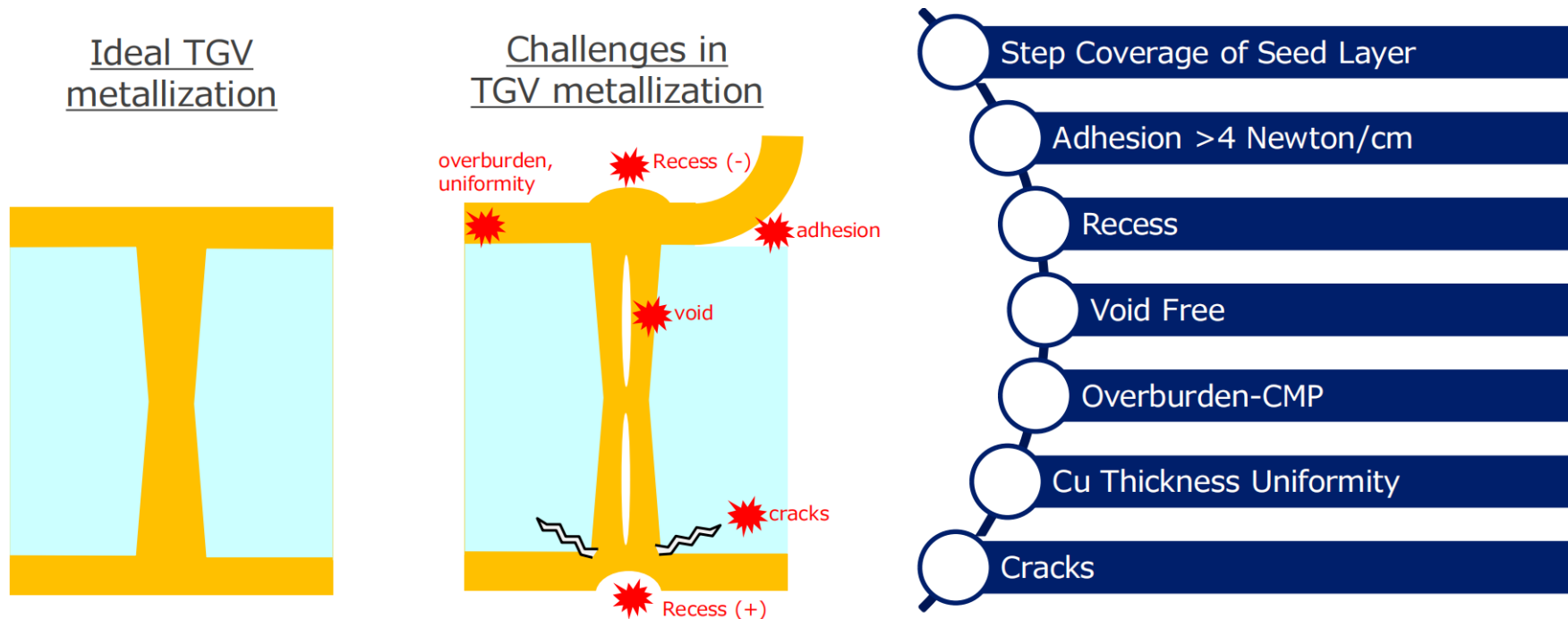


5.5.1 玻璃基板产业化仍面临成孔、填孔与可靠性瓶颈

● 玻璃基板产业化仍面临成孔、填孔与可靠性等多项工艺瓶颈：

- **高深径比成孔**：随孔径缩小、深径比提升，孔型、孔壁质量及大面积一致性更难控制；
- **无缺陷电镀**：高深径比孔内种子层覆盖与电流分布不均，易生空洞、接缝、侧壁填充不足；
- **玻璃开裂**：玻璃硬脆，成孔、薄化、切割、搬运易生微裂纹并在热循环中扩展；
- **界面附着**：玻璃表面光滑，与铜及介质结合力弱，存在剥离与分层风险；
- **翘曲与量产一致性**：CTE 失配叠加大尺寸薄型化，加大翘曲、平整度与整板良率难度。

图：TGV金属化挑战示意图



目录



■ 一、AI 算力驱动带宽升级，玻璃基板开启材料革命

■ 二、面板级封装：CoPoS 玻璃载具利好终端设备

■ 三、玻璃芯载板：替代有机核心层，强化载板性能

■ 四、CPO玻璃桥：玻璃波导破解光纤-PIC 耦合难题

■ 五、TGV加工工艺：关注国产设备材料机会

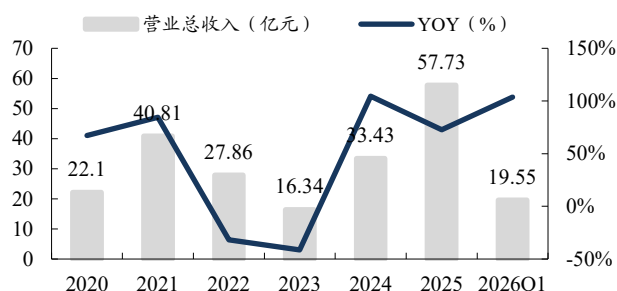
■ 六、相关公司投资建议

■ 七、风险提示

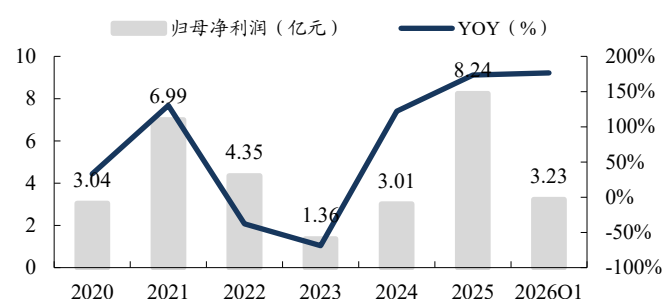
6.1 大族数控：PCB 设备龙头布局 TGV 激光加工

- 公司2025年营收 57.73亿元，同比增长 72.68%；归母净利润 8.24 亿元，同比增长 173.68%。2026年Q1公司实现营业收入 19.55亿元，同比增长 103.69%，实现归母净利润 3.23亿元，同比 176.53%。
- 公司是行业内少数可针对 AI 算力 PCB 复杂结构需求提供成套设备的企业；从先进封装技术快速发展入手，提供无损玻璃基板通孔产品。未来公司将在玻璃基板成套方案领域持续加大技术投入，不断积累研发成果，助力 PCB 行业高潜力场景的发展。
- 风险提示：TGV 技术产业化进度不及预期，行业竞争加剧。

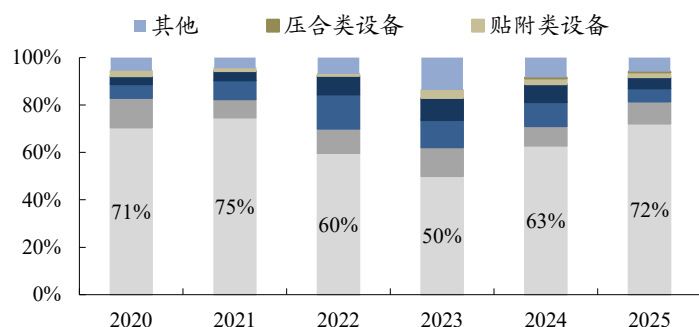
图：2020-2026Q1公司营业收入（亿元）



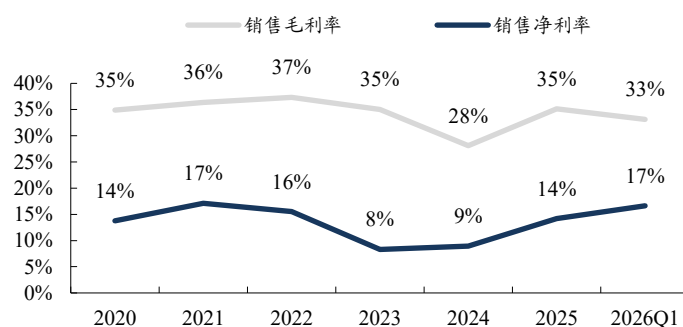
图：2020-2026Q1公司归母净利润（亿元）



图：2020-2025分业务收入占比（%）



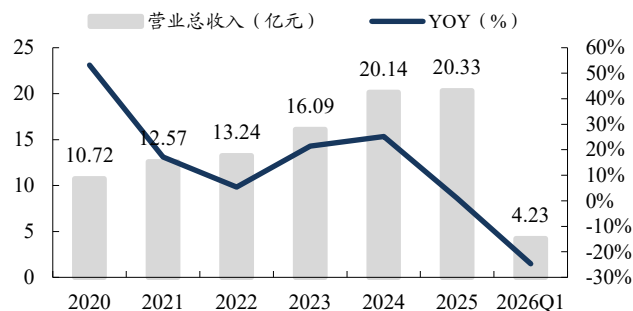
图：2020-2026Q1公司毛利率与销售净利率（%）



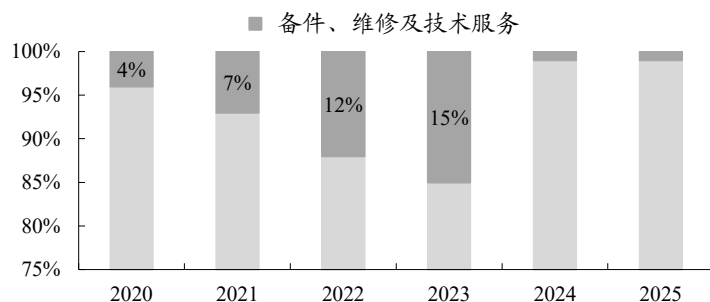
6.2 帝尔激光：光伏激光龙头突破 TGV 玻璃基板通孔

- 公司2025年营收 20.33亿元，同比 +0.93%；归母净利润 5.19亿元，同比 -1.59%。2026年Q1公司实现营业收入 4.23亿元，同比 -24.68%，实现归母净利润 1.64亿元，同比 +0.33%。
- 公司应用于半导体先进封装及显示面板等领域的 TGV 设备，已完成晶圆级和板级玻璃基板通孔设备的出货，实现晶圆级和板级 TGV 封装激光技术的全面覆盖。公司基于 MWT 电池打孔技术和 TGV 微孔技术的积累，持续推动激光钻孔技术在 PCB 行业的应用开发。
- 风险提示：TGV 设备产业化进度不及预期，下游封装厂资本开支存在波动，PCB 行业激光钻孔技术拓展存在不确定性。

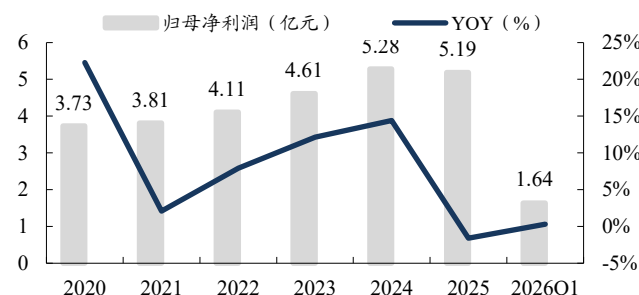
图：2020-2026Q1年公司营业收入（亿元）



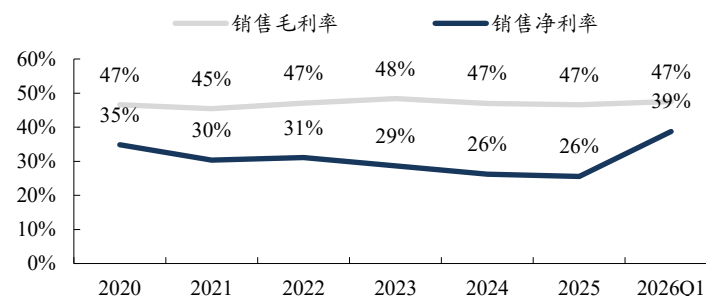
图：2020-2025分业务收入占比（%）



图：2020-2026Q1公司归母净利润（亿元）



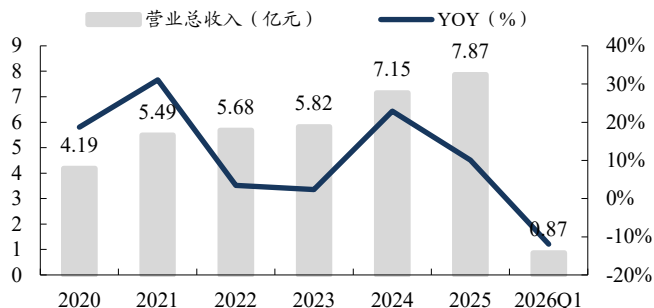
图：2020-2026Q1公司毛利率与销售净利率（%）



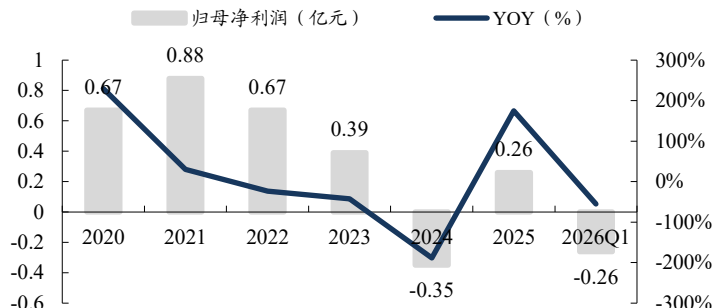
6.3 德龙激光：精密激光设备拓展TGV通孔加工

- 公司2025年营收 7.87亿元，同比 +10.10%；归母净利润 0.26亿元，同比 +174.92%。2026年Q1公司实现营业收入 0.87亿元，同比 -11.93%，实现归母净利润 -0.26亿元，同比 -55.01%。
- 公司精密激光加工设备覆盖半导体先进封装领域，其中玻璃通孔（TGV）设备是其在集成电路封装环节重点拓展方向之一。公司从上游封测阶段的晶圆切割、划片，向下游封装阶段的 TGV 等环节延伸，并推动半导体设备从功率芯片向存储芯片领域拓展。
- 风险提示：半导体设备下游资本开支波动风险，向存储芯片领域拓展进度不及预期。

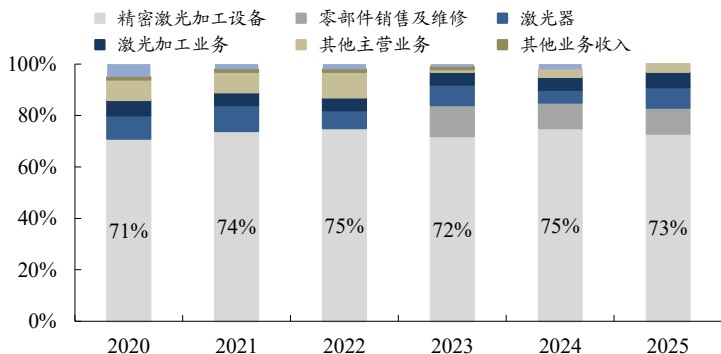
图：2020-2026Q1年公司营业收入（亿元）



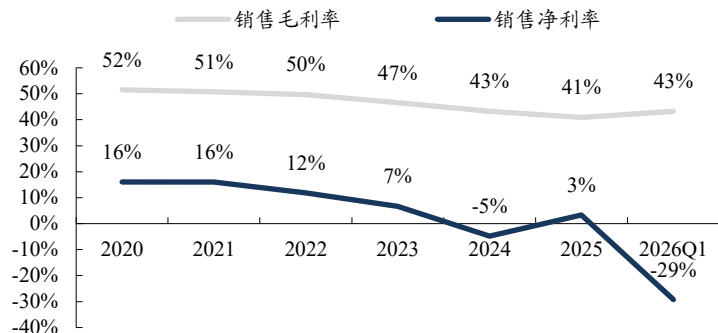
图：2020-2026Q1公司归母净利润（亿元）



图：2020-2025分业务收入占比（%）



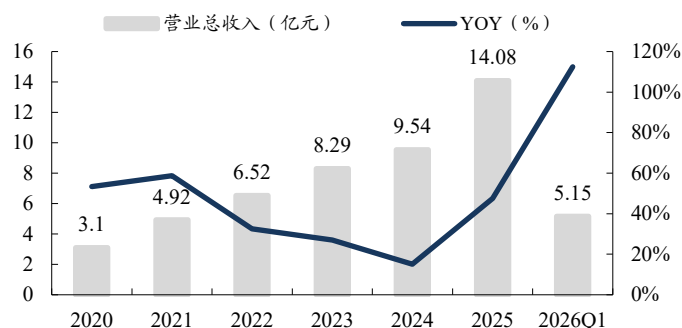
图：2020-2026Q1公司毛利率与销售净利率（%）



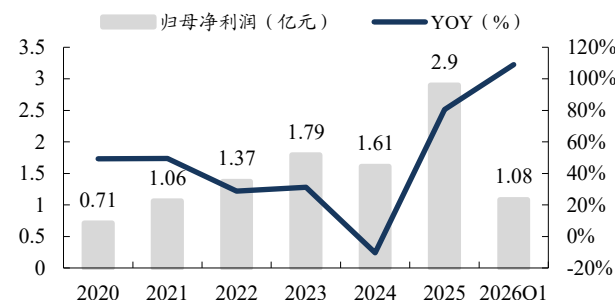
6.4 芯碁微装：直写光刻设备布局玻璃基板先进封装

- 公司2025年营收14.08亿元，同比增长47.61%；归母净利润2.9亿元，同比+80.42%。2026年Q1公司实现营业收入5.15亿元，同比+112.48%，实现归母净利润1.08亿元，同比108.98%。
- 公司直写光刻设备可用于晶圆级和面板级先进封装。PLP系列能够满足玻璃基板对2 μ m量产解析能力的要求，有效保障大尺寸基板加工过程中的工艺稳定性。PLP 2000的订单落地，是芯碁微装直写光刻技术由晶圆级向板级应用延伸的重要里程碑，也进一步验证了公司在高端直写光刻装备领域的技术积累和产业化能力。
- 风险提示：玻璃基板产业化进度不及预期，PLP设备市场拓展低于预期。

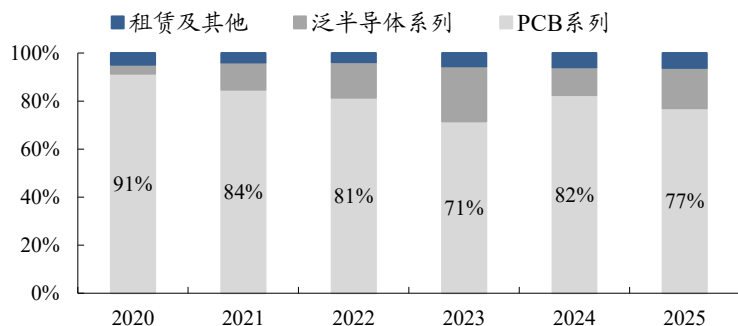
图：2020-2026Q1公司营业收入（亿元）



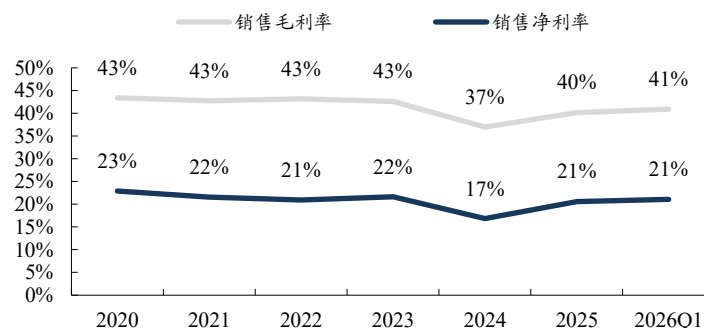
图：2020-2026Q1公司归母净利润（亿元）



图：2020-2025分业务收入占比（%）



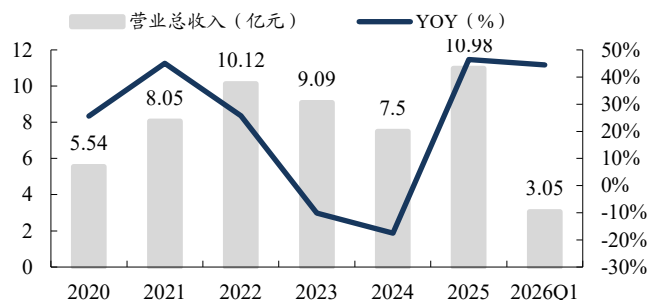
图：2020-2026Q1公司毛利率与销售净利率（%）



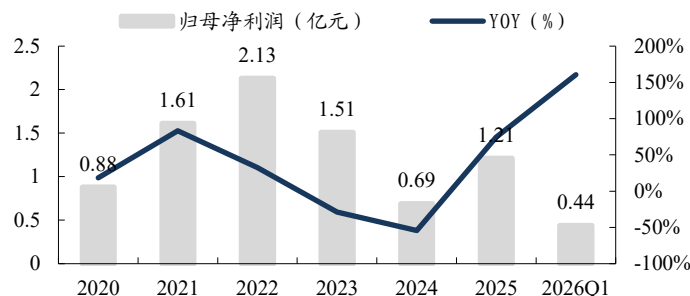
6.5 东威科技：TGV电镀设备布局玻璃基板封装

- 公司2025年营收10.98亿元，同比增长46.45%；归母净利润1.21亿元，同比增长74.58%。2026年Q1公司实现营业收入3.05亿元，同比增长44.47%，实现归母净利润0.44亿元，同比+160.59%。
- 公司的水平TGV电镀线通过电镀填充，可用于2.5D和3D集成半导体封装。此产品为业内首台，可批量水平式输送玻璃基TGV填孔产品，具备稳定的填孔效果。公司推出的玻璃基板相关设备可应用于半导体封装领域，为高端SIP和高算力芯片封装提供支持。
- 风险提示：TGV玻璃基板产业化进度不及预期，电镀设备市场竞争加剧。

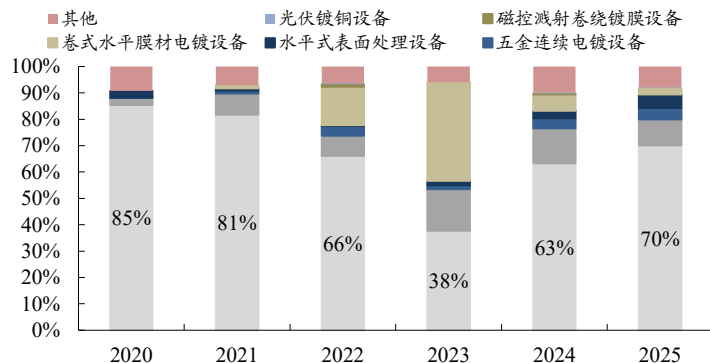
图：2020-2026Q1公司营业收入（亿元）



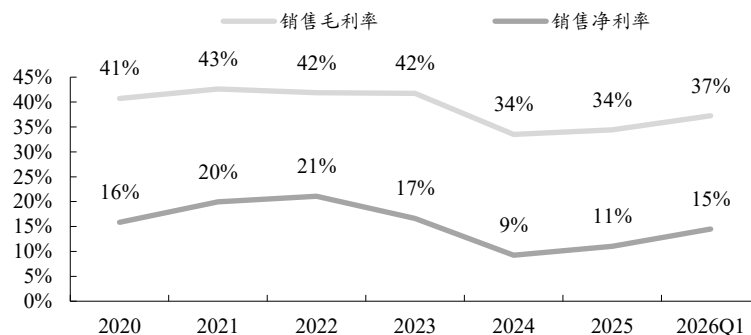
图：2020-2026Q1公司归母净利润（亿元）



图：2020-2025分业务收入占比（%）



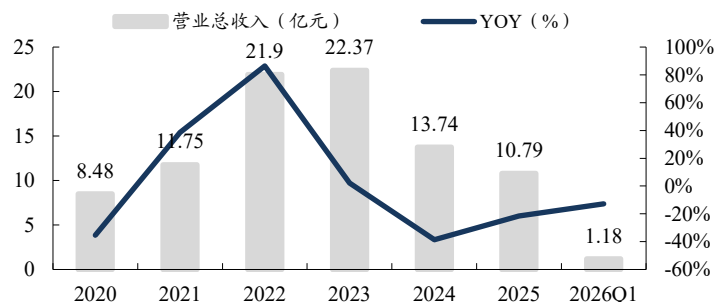
图：2020-2026Q1公司毛利率与销售净利率（%）



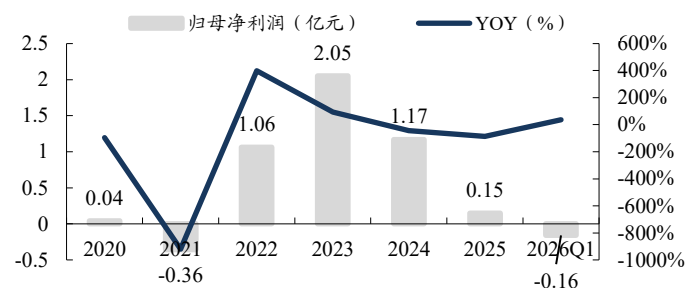
6.6 洪田股份：直写光刻设备切入TGV玻璃基板

- 公司2025年营收 10.79亿元，同比 -21.46%；归母净利润 0.15亿元，同比 -87.58%。2026年Q1公司实现营业收入 1.18亿元，同比 -12.78%，实现归母净利润 -0.16亿元，同比 +36.55%。
- 公司的精密光学设备 HL-P6-E1 应用于半导体玻璃基板孔开窗的高解析高精度直写光刻解决方案，超高对位精度，确保 TGV 每层图形与前层图形曝光时的精确套合。公司将依托洪镭光学在直写光刻设备方面的研发优势，持续深化 PCB、TGV 玻璃基板、先进封装掩模版等领域的工艺开发与客户拓展，力争将精密光学设备业务打造为公司新的业绩增长。
- 风险提示：TGV 玻璃基板应用推进不及预期，先进封装光刻设备市场拓展存在不确定性。

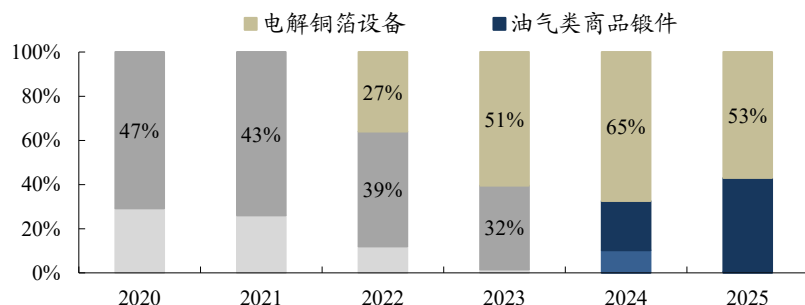
图：2020-2026Q1年公司营业收入（亿元）



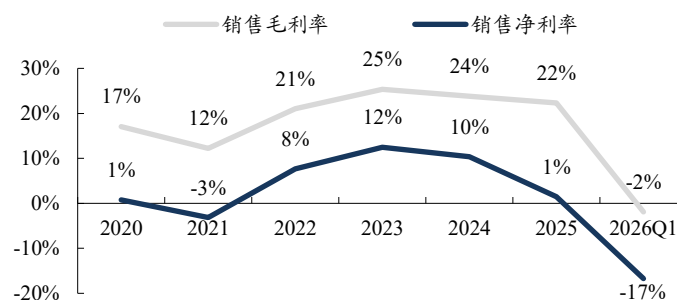
图：2020-2026Q1公司归母净利润（亿元）



图：2020-2025分业务收入占比 (%)



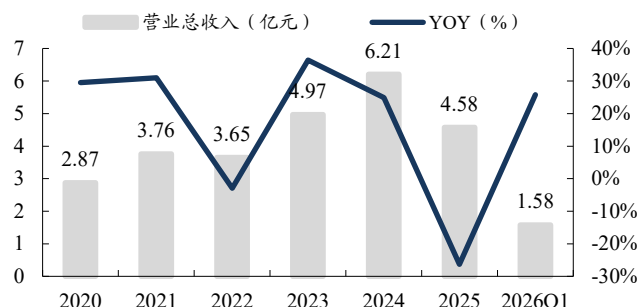
图：2020-2026Q1公司毛利率与销售净利率 (%)



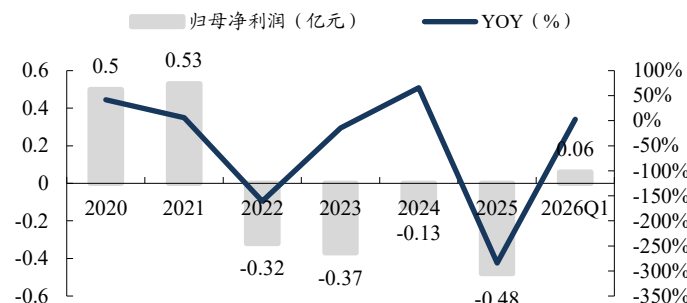
6.7 三孚新科：玻璃基板电镀设备布局先进封装

- 公司2025年营收 4.58亿元，同比-26.30%；归母净利润 -0.48亿元，同比 -284.01%。2026年Q1公司实现营业收入 1.58亿元，同比 +25.74%，实现归母净利润 0.06亿元，同比 +3.01%。
- 公司持续优化深镀能力与均镀稳定性,打造面向 AI 服务器及高算力应用的高端 PCB 表面处理解决方案，为高密度互连时代提供国产替代支撑。公司正在研发的玻璃基板电镀设备处于国内领先水平，能够基于计算流体力学模拟优化喷嘴布局，设计3级溢流系统。其采用多光谱成像技术，实现镀层表面缺陷的实时检测与分类。
- 风险提示：玻璃基板产业化进度不及预期，玻璃基板电镀设备商业化落地低于预期。

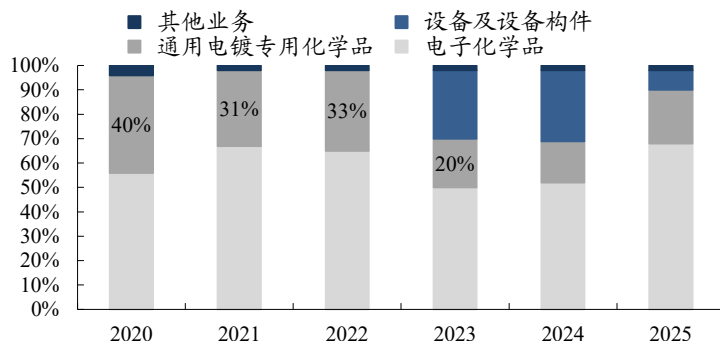
图：2020-2026Q1年公司营业收入（亿元）



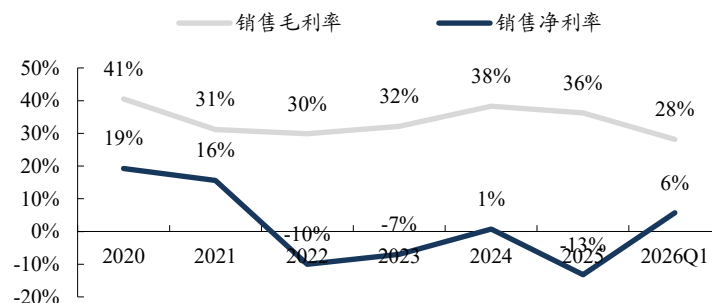
图：2020-2026Q1公司归母净利润（亿元）



图：2020-2025分业务收入占比（%）



图：2020-2026Q1公司毛利率与销售净利率（%）



目录



■ 一、AI 算力驱动带宽升级，玻璃基板开启材料革命

■ 二、面板级封装：CoPoS 玻璃载具利好终端设备

■ 三、玻璃芯载板：替代有机核心层，强化载板性能

■ 四、CPO玻璃桥：玻璃波导破解光纤-PIC 耦合难题

■ 五、TGV加工工艺：关注国产设备材料机会

■ 六、相关公司投资建议

■ 七、风险提示

7. 风险提示

- **下游巨头玻璃基板导入不及预期风险。**若英特尔、台积电、三星电机等龙头导入及量产爬坡慢于预期，则上游玻璃原片、TGV设备需求释放放缓，进而影响产业链厂商业绩兑现。
- **关键工艺良率突破不及预期风险。**若TGV通孔加工、填孔可靠性及大尺寸良率突破不及预期，则量产与降本节奏可能受阻，进而削弱玻璃基板对有机基板的替代经济性。
- **先进封装及AI算力需求不及预期风险。**若AI产业发展低于预期，云厂商资本开支放缓，则先进封装扩产及HBM升级节奏放缓，进而影响玻璃基板需求放量。

免责声明

东吴证券股份有限公司经中国证券监督管理委员会批准，已具备证券投资咨询业务资格。

本研究报告仅供东吴证券股份有限公司（以下简称“本公司”）的客户使用。本公司不会因接收人收到本报告而视其为客户。在任何情况下，本报告中的信息或所表述的意见并不构成对任何人的投资建议，本公司及作者不对任何人因使用本报告中的内容所导致的任何后果负任何责任。任何形式的分享证券投资收益或者分担证券投资损失的书面或口头承诺均为无效。

在法律许可的情况下，东吴证券及其所属关联机构可能会持有报告中提到的公司所发行的证券并进行交易，还可能为这些公司提供投资银行服务或其他服务。

市场有风险，投资需谨慎。本报告是基于本公司分析师认为可靠且已公开的信息，本公司力求但不保证这些信息的准确性和完整性，也不保证文中观点或陈述不会发生任何变更，在不同时期，本公司可发出与本报告所载资料、意见及推测不一致的报告。

本报告的版权归本公司所有，未经书面许可，任何机构和个人不得以任何形式翻版、复制和发布。经授权刊载、转发本报告或者摘要的，应当注明出处为东吴证券研究所，并注明本报告发布人和发布日期，提示使用本报告的风险，且不得对本报告进行有悖原意的引用、删节和修改。未经授权或未按要求刊载、转发本报告的，应当承担相应的法律责任。本公司将保留向其追究法律责任的权利。

东吴证券投资评级标准

资评级基于分析师对报告发布日后6至12个月内行业或公司回报潜力相对基准表现的预期（A股市场基准为沪深300指数，香港市场基准为恒生指数，美国市场基准为标普500指数，新三板基准指数为三板成指（针对协议转让标的）或三板做市指数（针对做市转让标的），北交所基准指数为北证50指数），具体如下：

公司投资评级：

买入：预期未来6个月个股涨跌幅相对基准在15%以上；

增持：预期未来6个月个股涨跌幅相对基准介于5%与15%之间；

中性：预期未来6个月个股涨跌幅相对基准介于-5%与5%之间；

减持：预期未来6个月个股涨跌幅相对基准介于-15%与-5%之间；

卖出：预期未来6个月个股涨跌幅相对基准在-15%以下。

行业投资评级：

增持：预期未来6个月内，行业指数相对强于基准5%以上；

中性：预期未来6个月内，行业指数相对基准-5%与5%；

减持：预期未来6个月内，行业指数相对弱于基准5%以上。

我们在此提醒您，不同证券研究机构采用不同的评级术语及评级标准。我们采用的是相对评级体系，表示投资的相对比重建议。投资者买入或者卖出证券的决定应当充分考虑自身特定状况，如具体投资目的、财务状况以及特定需求等，并完整理解和使用本报告内容，不应视本报告为做出投资决策的唯一因素。

东吴证券研究所

苏州工业园区星阳街5号

邮政编码：215021

传真：（0512）62938527

公司网址：<http://www.dwzq.com.cn>

仅供内部参考，请勿外传！



东吴证券 财富家园